

# Pipelinowy przetwornik analogowo-cyfrowy (pipeline ADC)

**Krzysztof Świątek**

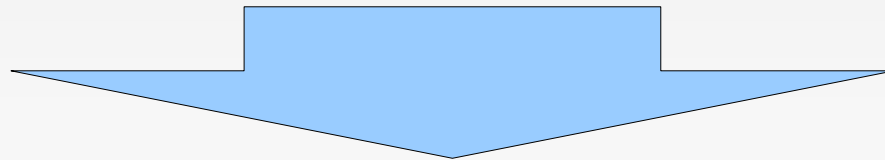
AGH University of Science and Technology  
Krakow, Poland

# Spis treści

- Czemu pipeline
- koncepcja 1,5 bitowych stopni
- Co to jest korekcja cyfrowa i po co to
- Szczegóły projektowe
  - różnicowy schemat stopnia
  - generator zegarów
- Aktualny prototyp – przykładowy wynik
- Dalsze etapy projektu

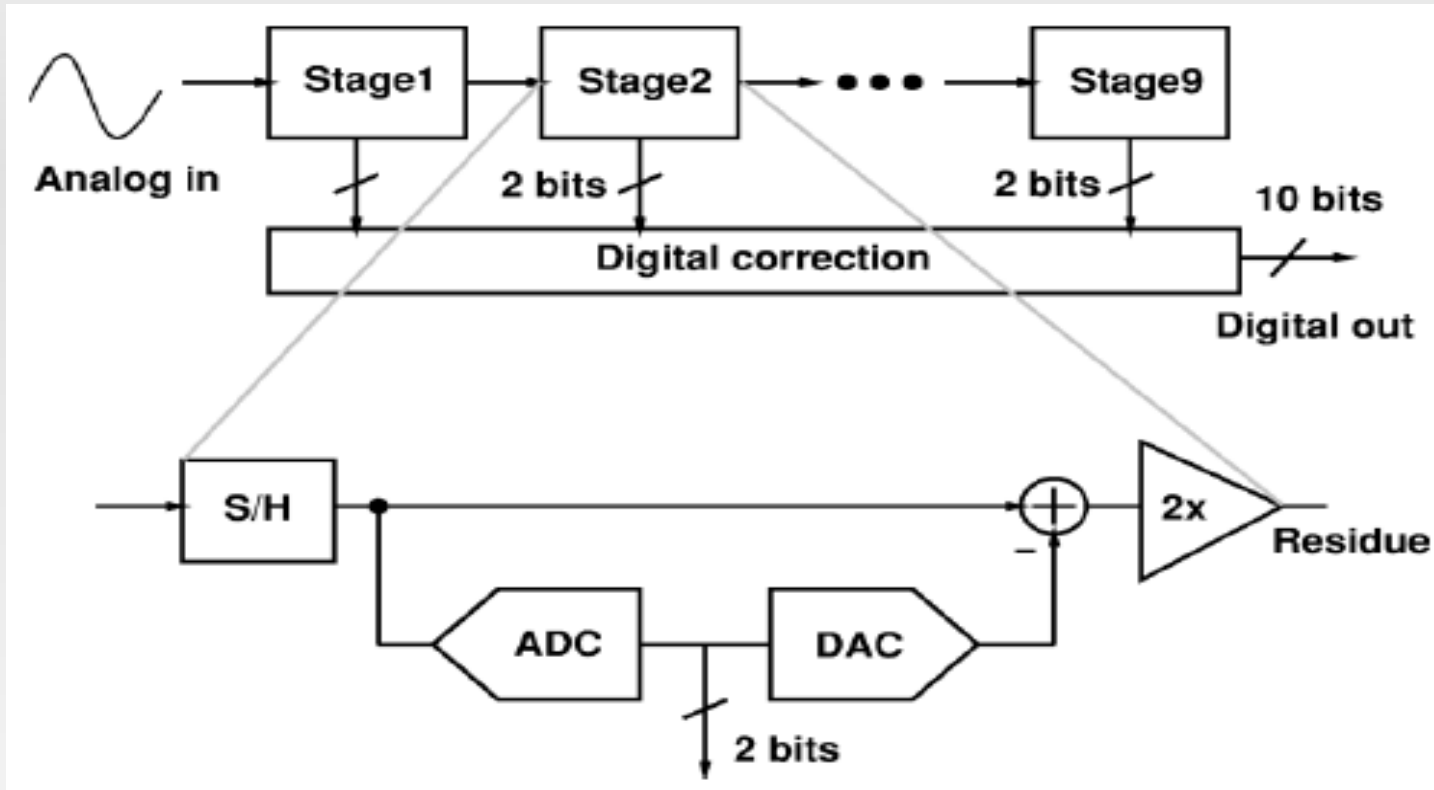
# ADC requirements & advantages

- High speed :
  - ~3MHz for one ADC per channel
  - ~30MHz for ADC per 8 channels – needs analogue multiplexer
- High resolution (eg. 10 bits) easy to achieve
- Power efficient & small area
- Latency is of less importance



**PIPELINE ADC**

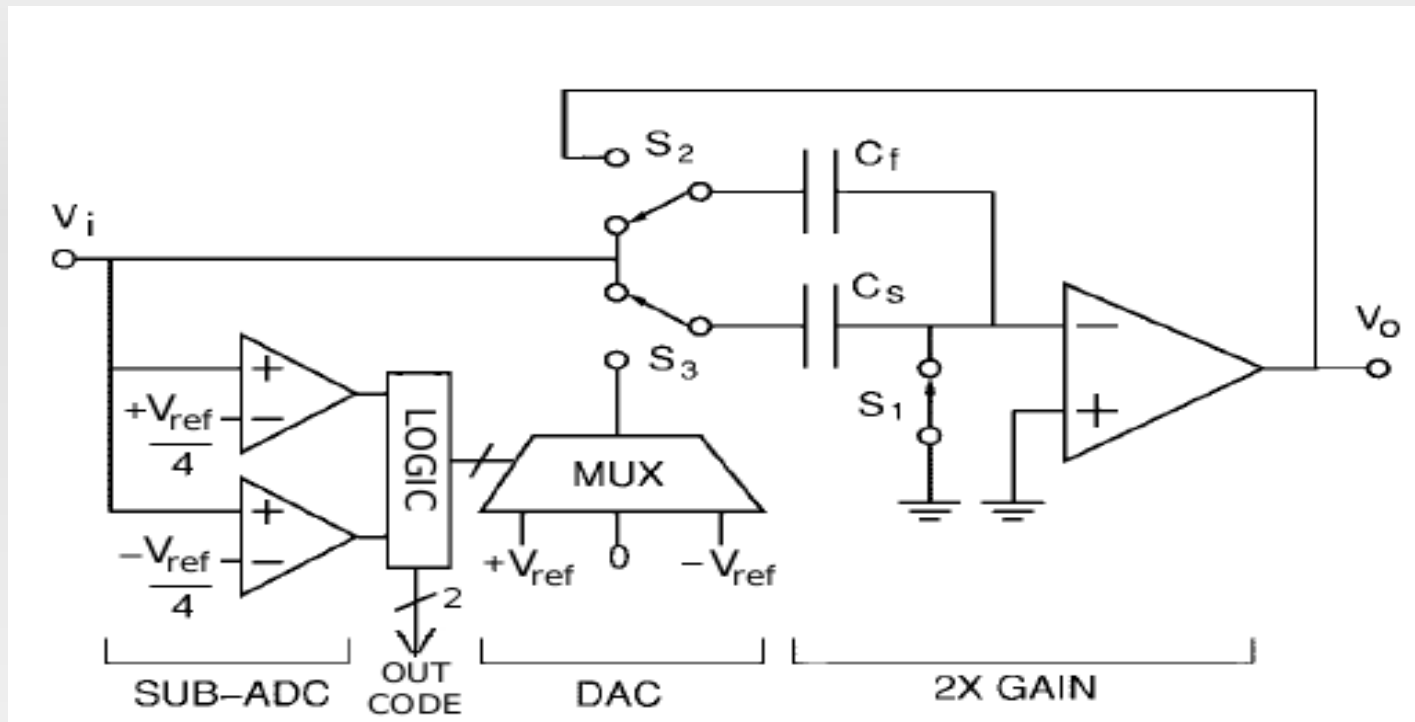
# Pipeline ADC concept



Last stage is simplified – contains only comparators

- N stages for N+1 bits (e.g. 9 stages for 10 bit)
- A stage produces 2 bits and multiplies signal by 2
- Digital correction relaxes comparator requirements

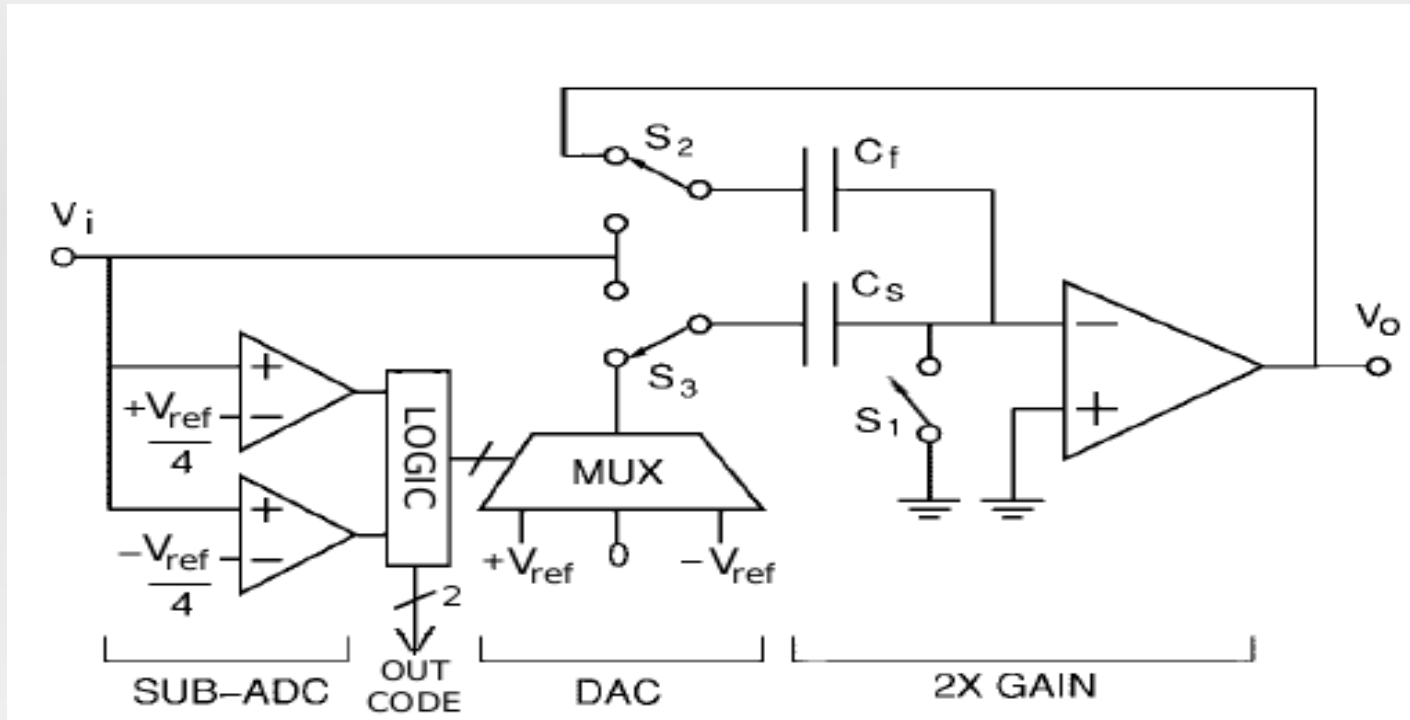
# 1.5bit stage (first phase)



3 different output values coded on 2 bits:  
**00, 01, 10**  
so it is called 1.5 bit stage

- Switch capacitor circuit – needs clock
- In first phase capacitors are charged; at the end of it comparators should decide
- $S_1$  is off before  $S_2$  &  $S_3$  change position

# 1.5bit stage (second phase)



Capacitor size influence:

- matching
- noise

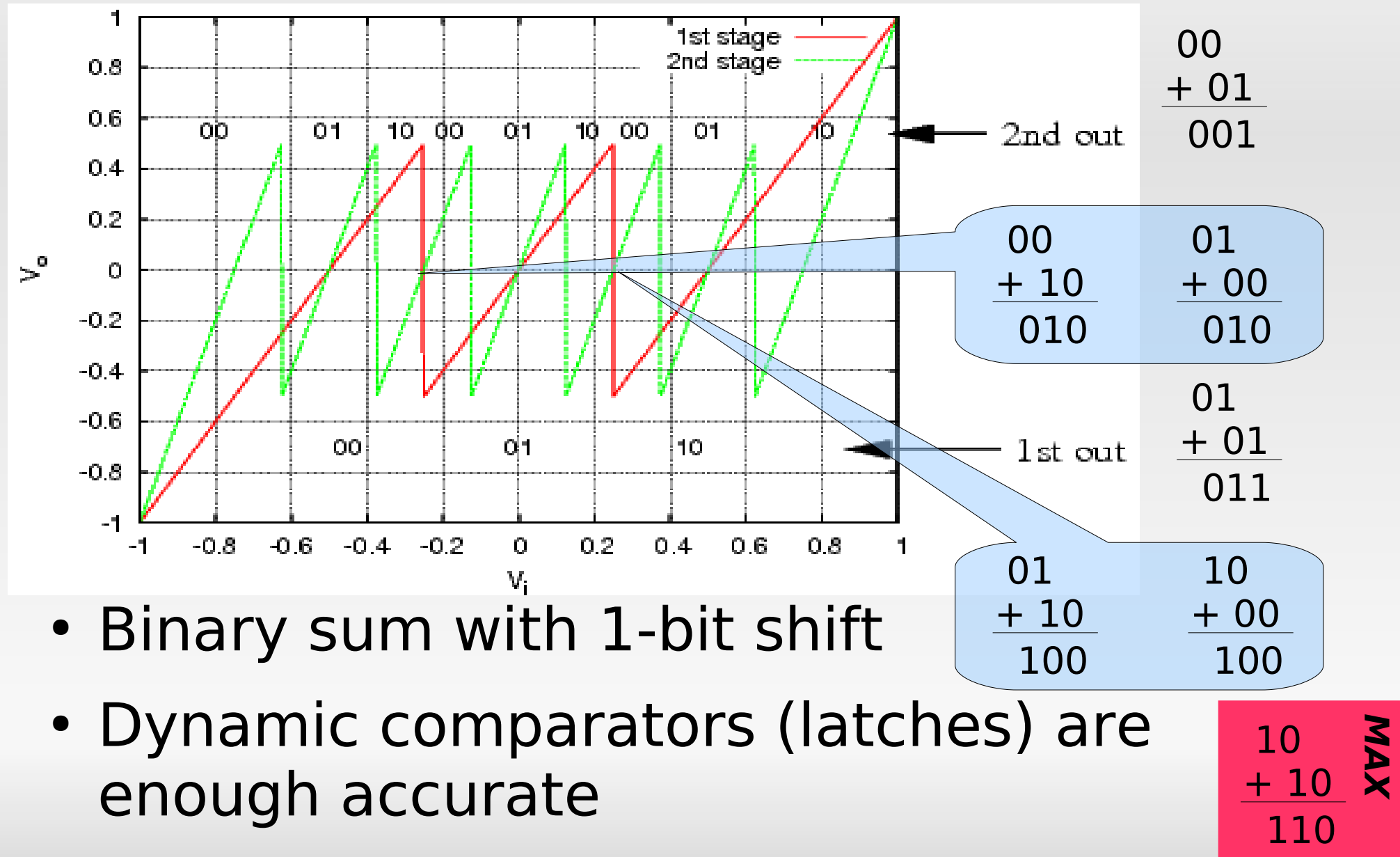
$$\sigma_v^2 = \frac{k_B T}{C_s + C_f}$$

- Second phase – subtraction and multiplication by 2

$$V_o = \left[ \left( 1 + \frac{C_s}{C_f} \right) V_i - \frac{C_s}{C_f} V_R \right]$$

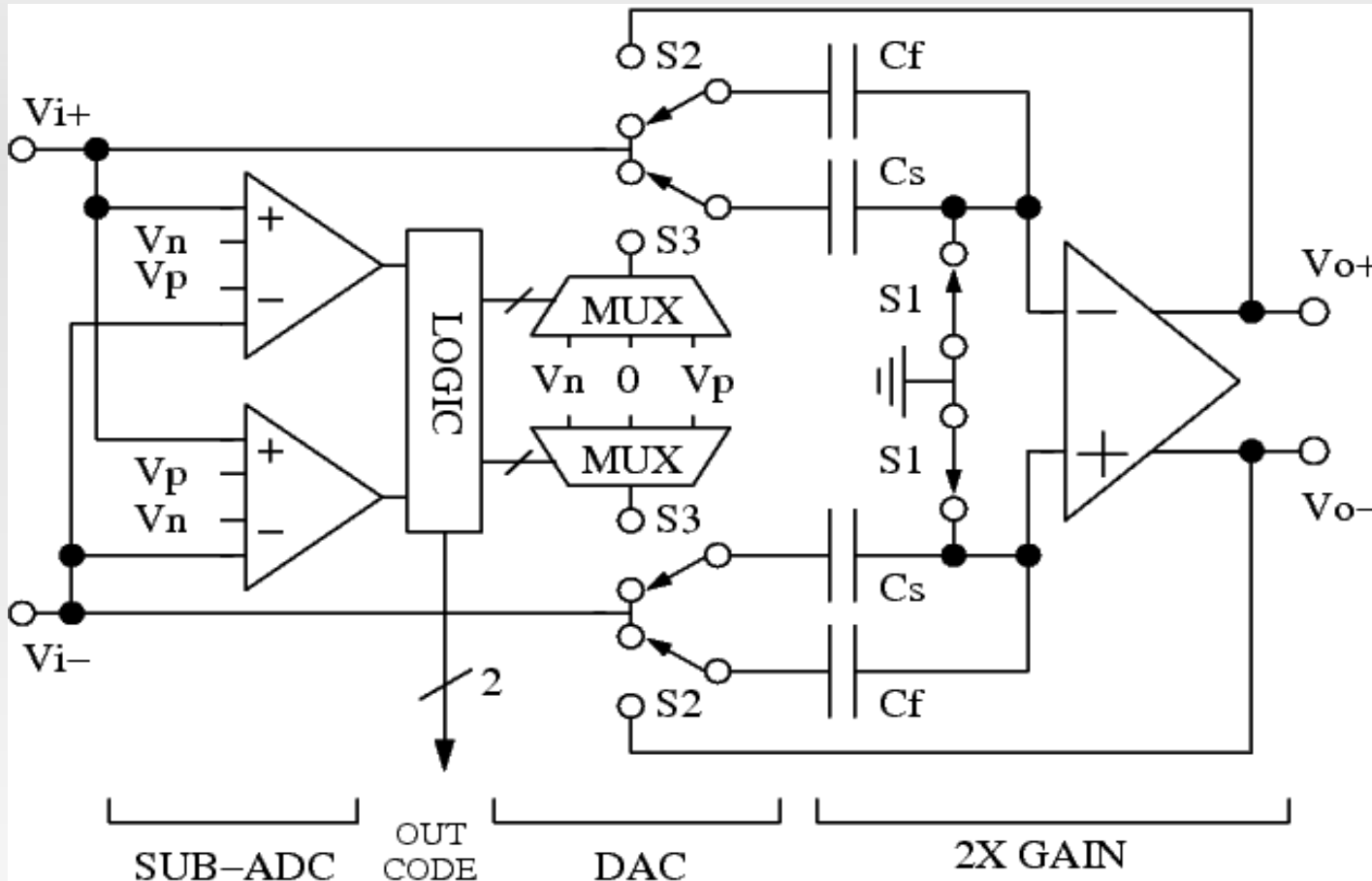
$$V_R = \begin{cases} -V_{ref} & \text{dla } V_i < \frac{-V_{ref}}{4} \\ 0 & \text{dla } \frac{-V_{ref}}{4} < V_i < \frac{V_{ref}}{4} \\ +V_{ref} & \text{dla } V_i > \frac{V_{ref}}{4} \end{cases}$$

# Digital correction



- Binary sum with 1-bit shift
- Dynamic comparators (latches) are enough accurate

# Fully differential implementation



Doubled elements:

- capacitors
- switches
- MUXes

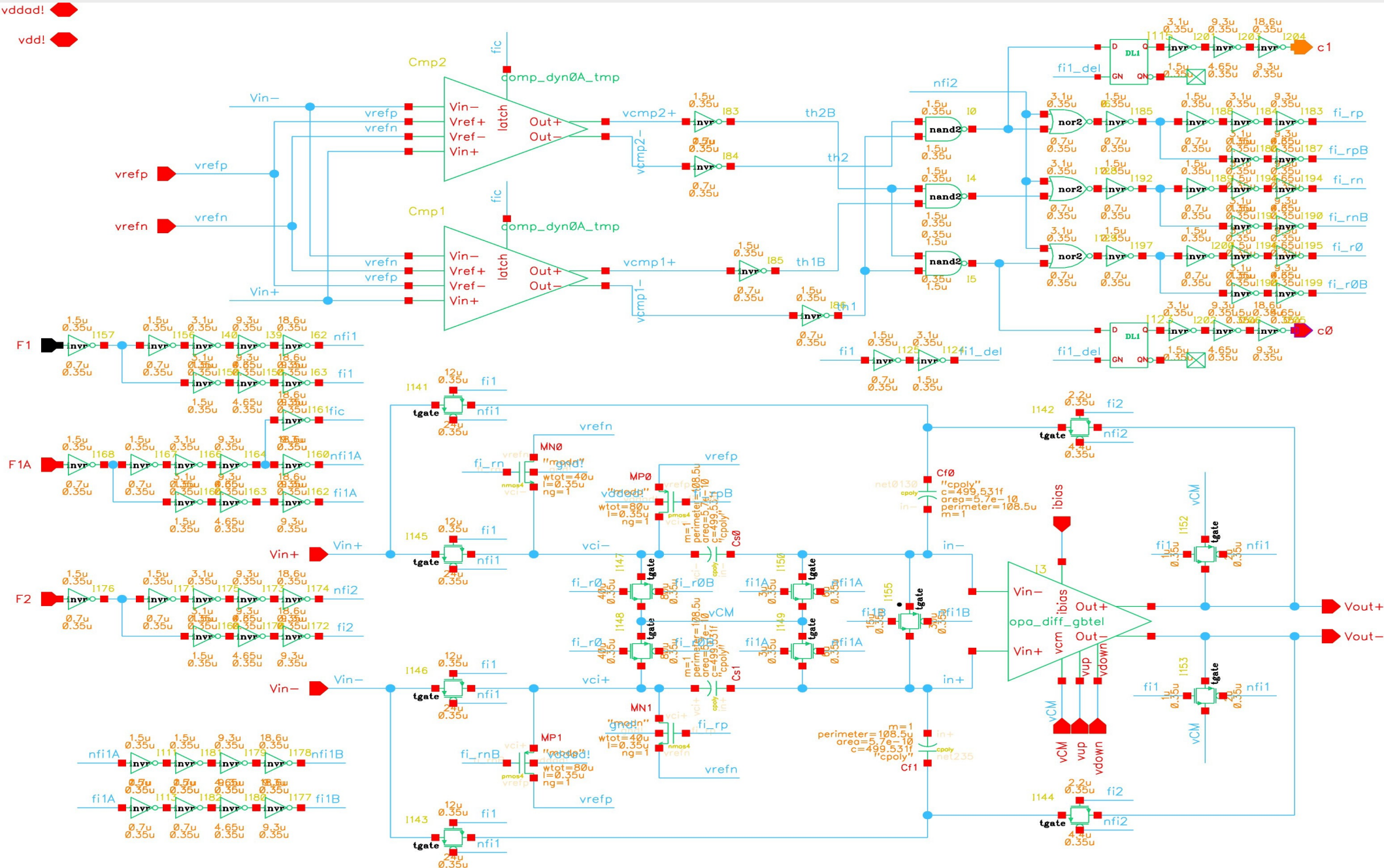
Differential elements:

- compar.
- amplifier

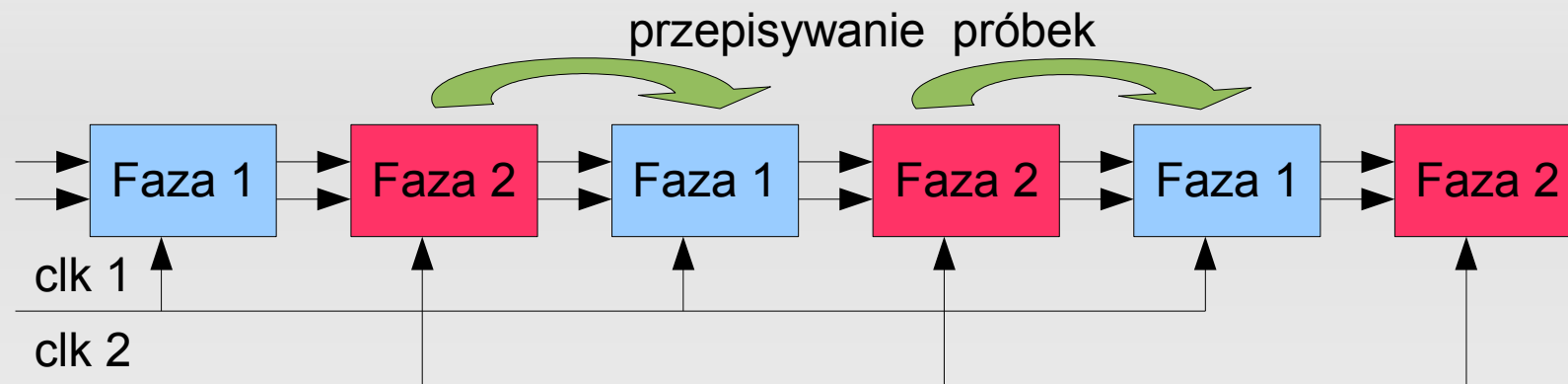
- Differential signal is not sensitive to disturbances from e.g. digital elements



# Full schematic of a 1.5 stage

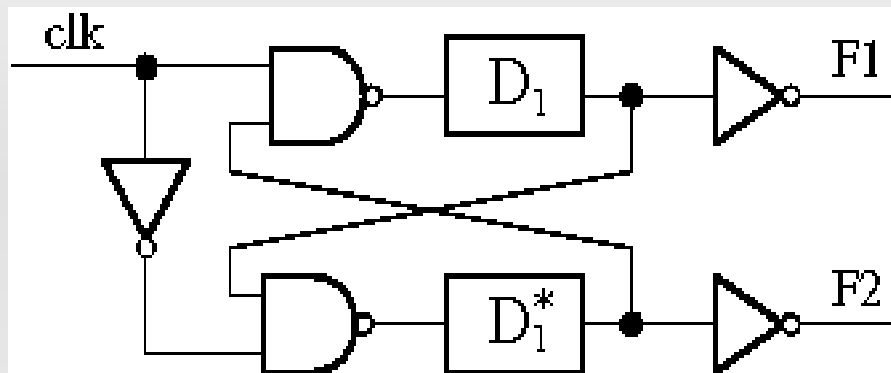


# 1.5 bitowe stopnie w łańcuchu



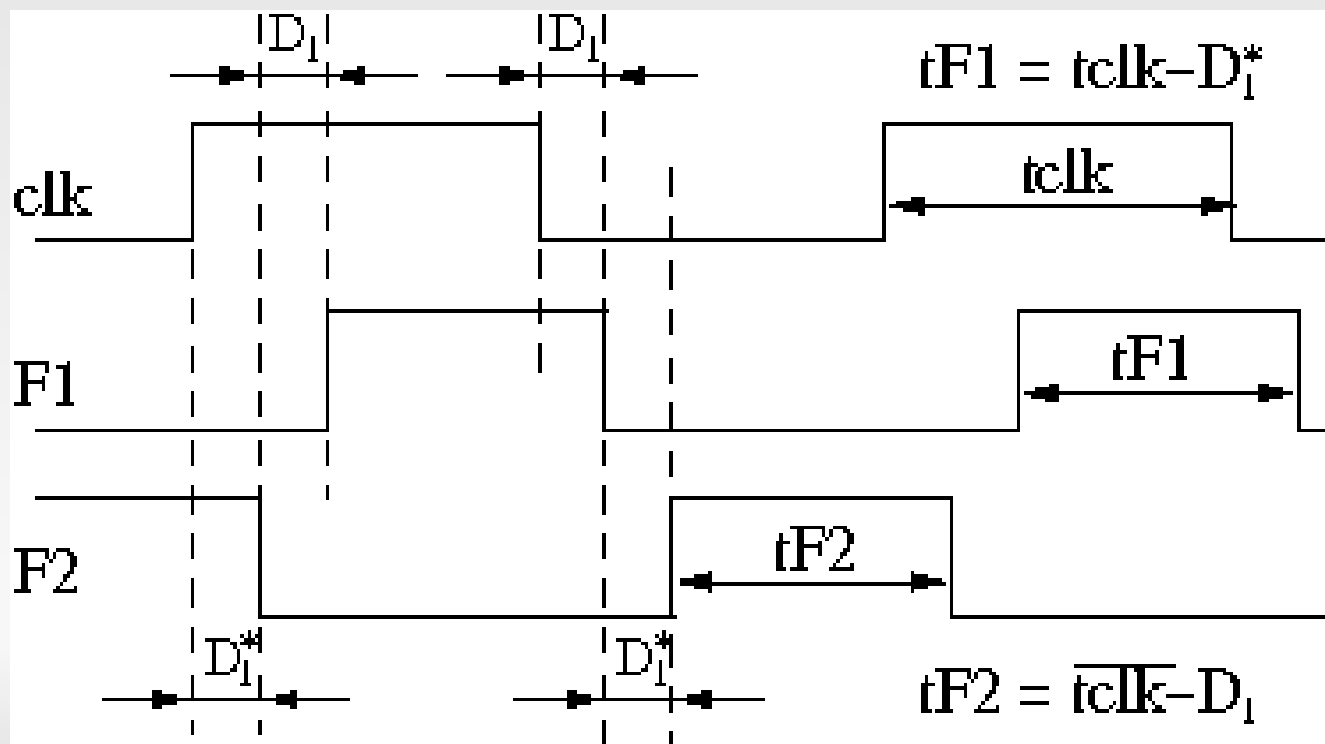
- kolejne stopnie pracują naprzemiennie
- stany wysokie zegarów nie mogą się nakładać
- potrzebny dodatkowy sygnał (zegar) do wcześniejszego rozłączania klucza S1
- co drugi wzmacniacz nic nie robi!

# Generowanie zegarów 1

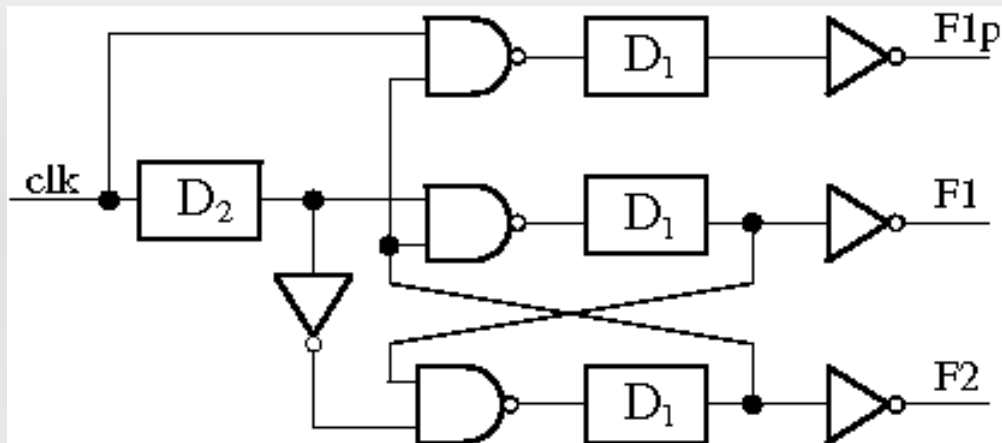


Przerzutnik RS ze spiętymi wejściami uzupełniony o linie opóźniające D.

Zegar główny clk powinien mieć wypełnienie 50%

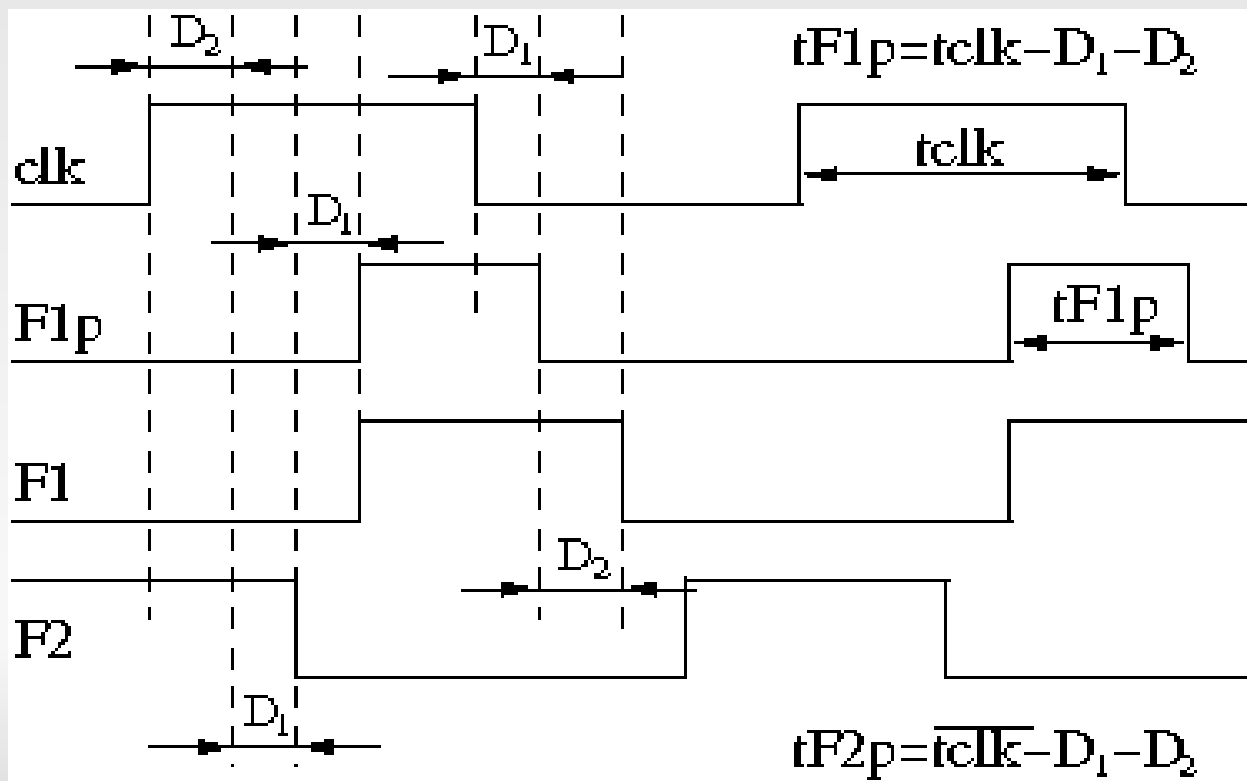


# Generowanie zegarów 2

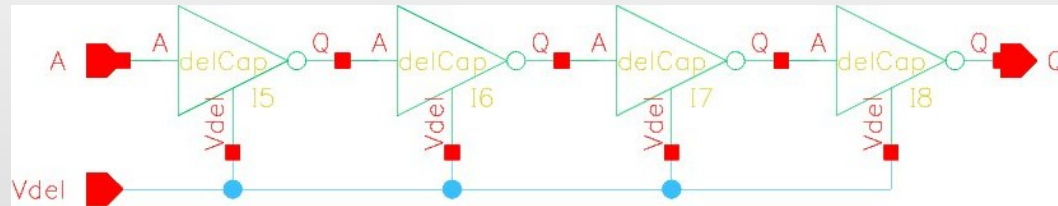


Zbocza narastające zegarów  $F_x$  mocno opóźnione wzgl.  $clk$

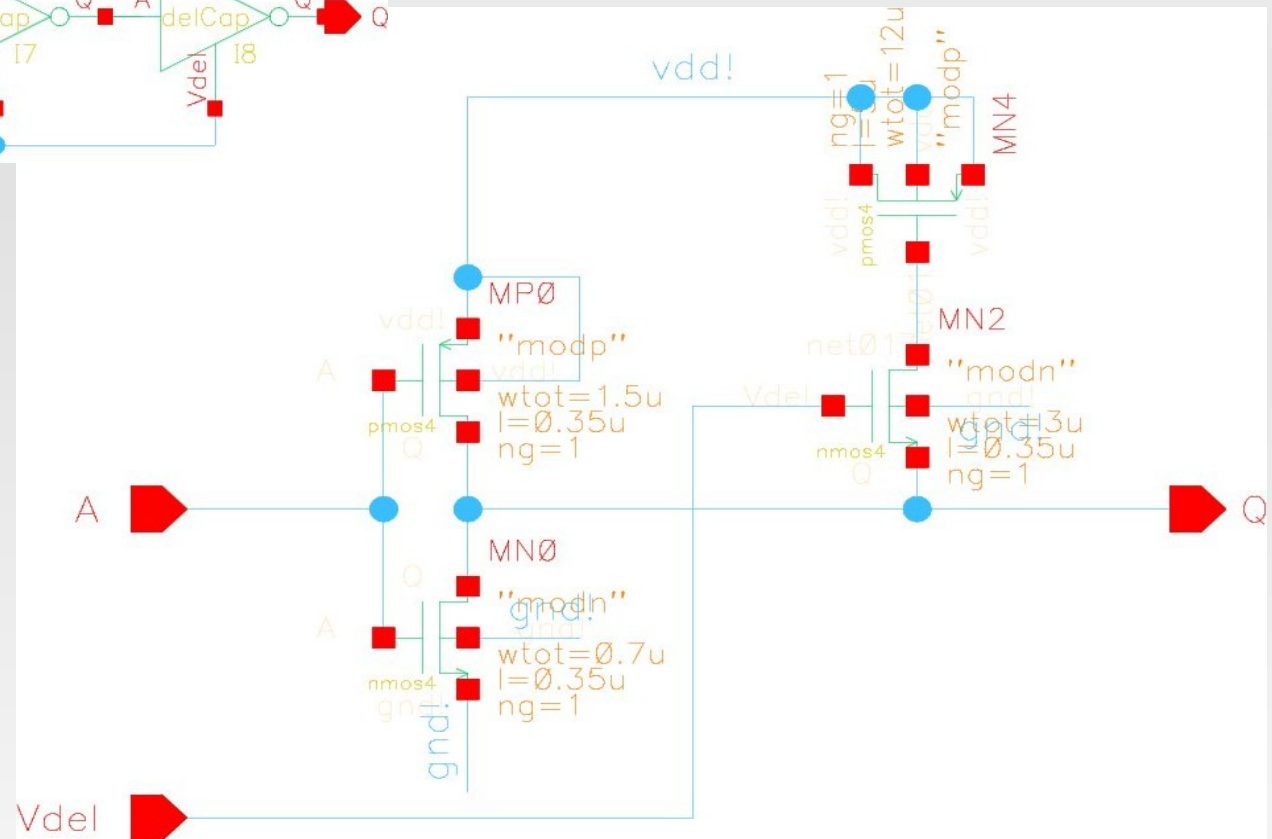
- Czas ładowania  $C_s$  i  $C_f$  to czas trwania stanu wysokiego linii  $F1p$  lub  $F2p$
- Układ musi działać szybciej niż to wynika z częst.  $clk$



# Sterowana linia opóźniająca

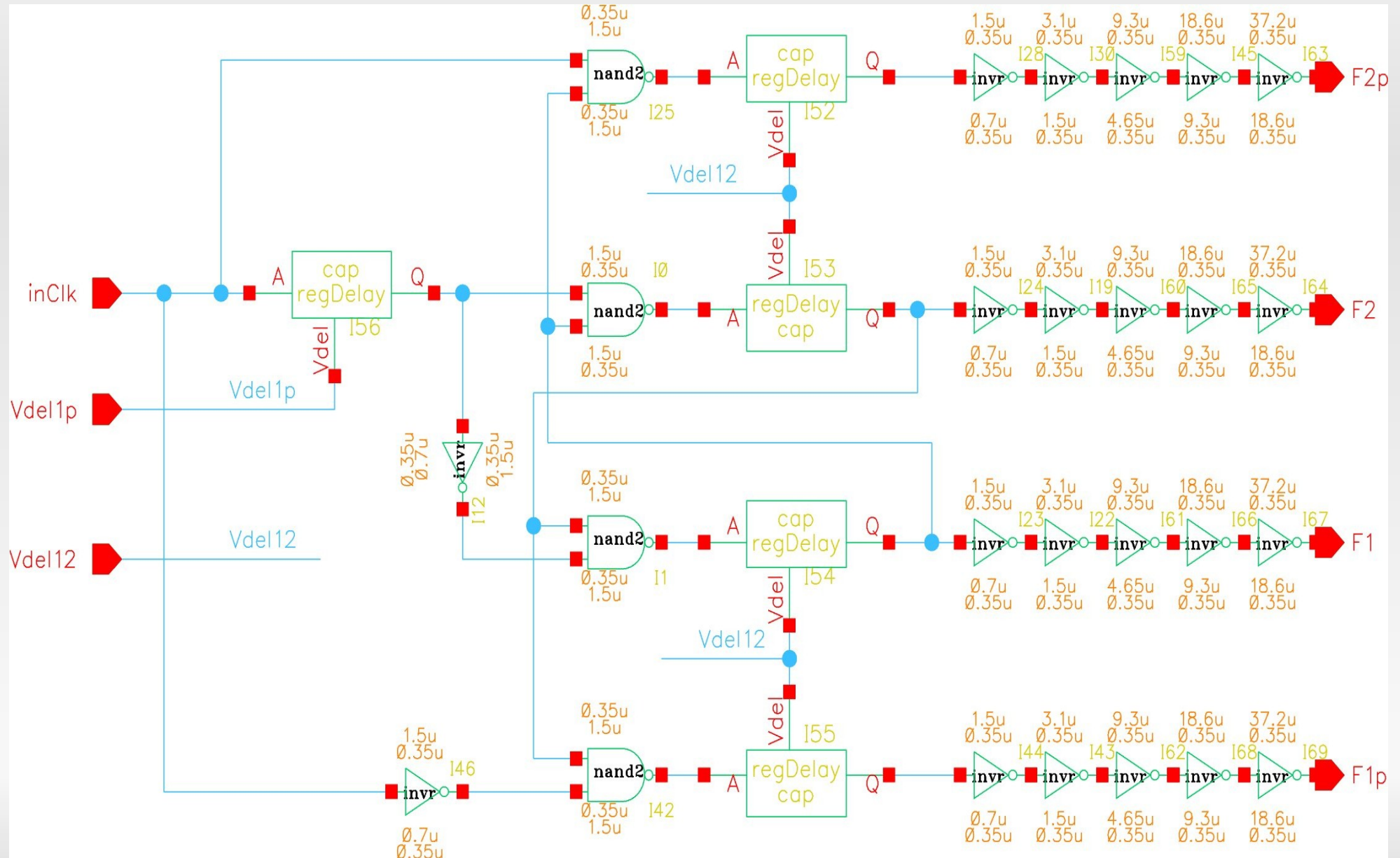


Corner	Delay	
	Min [ps]	Max [ns]
tm	319	7,15
ws	<b>516</b>	9,28
wp	223	5,49
wz	273	<b>5,34</b>
wo	340	8,5



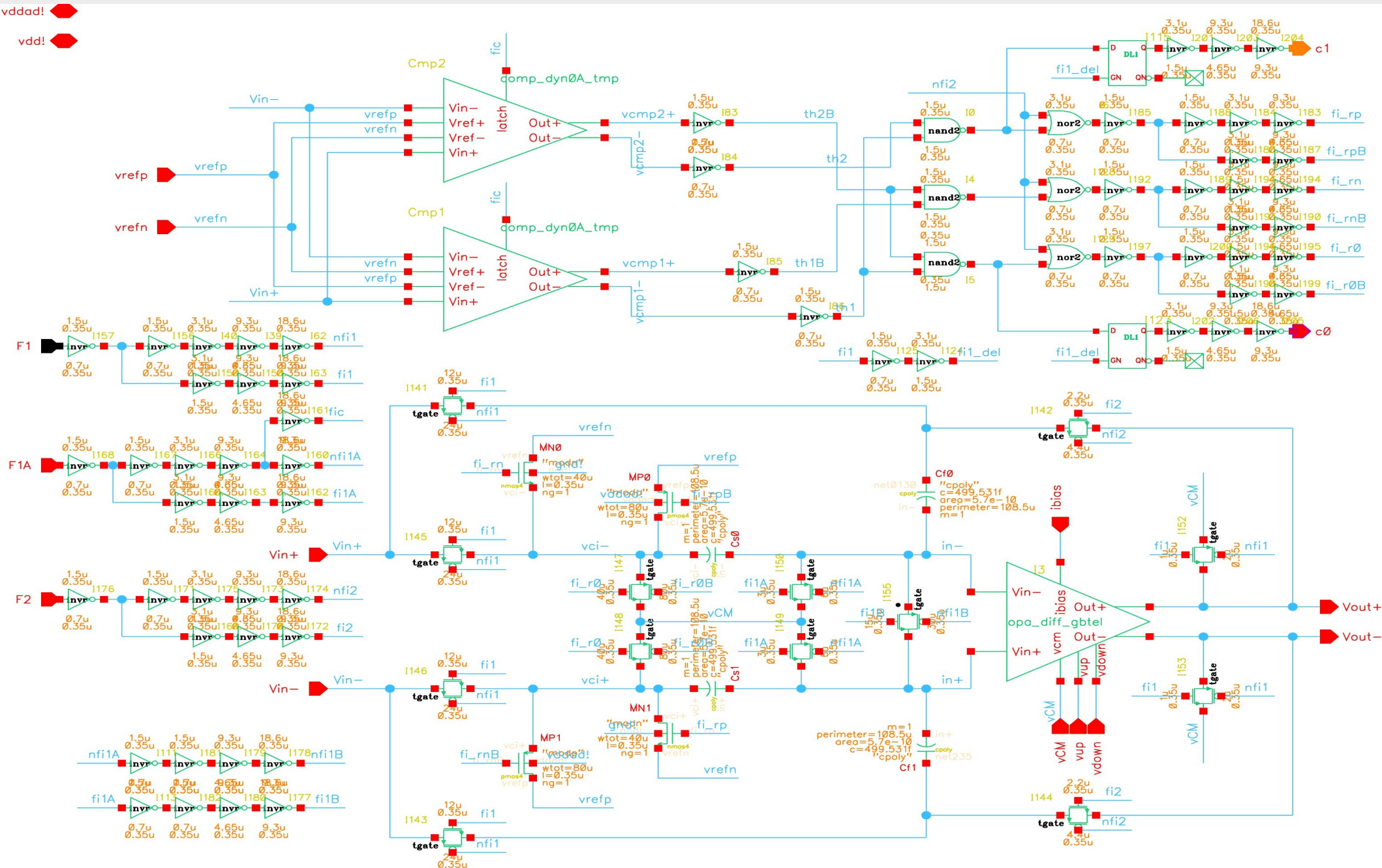
- opóźnienie jest mocno nie liniowe w funkcji Vdel
- tranzystor będący pojemnością to *pMOS*, a tranzystor sterujący to *nMOS*, żeby się trzymało po kornierach

# Generator sygnałów zegarowych





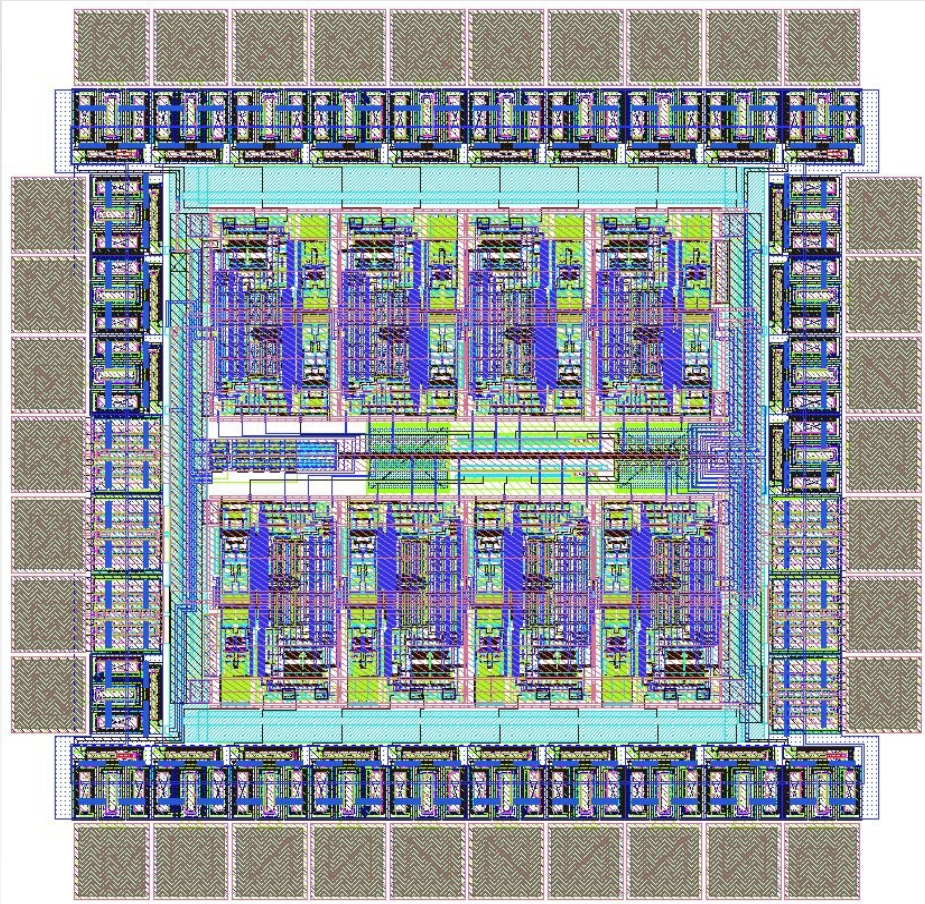
# Pełny schemat stopnia raz jeszcze







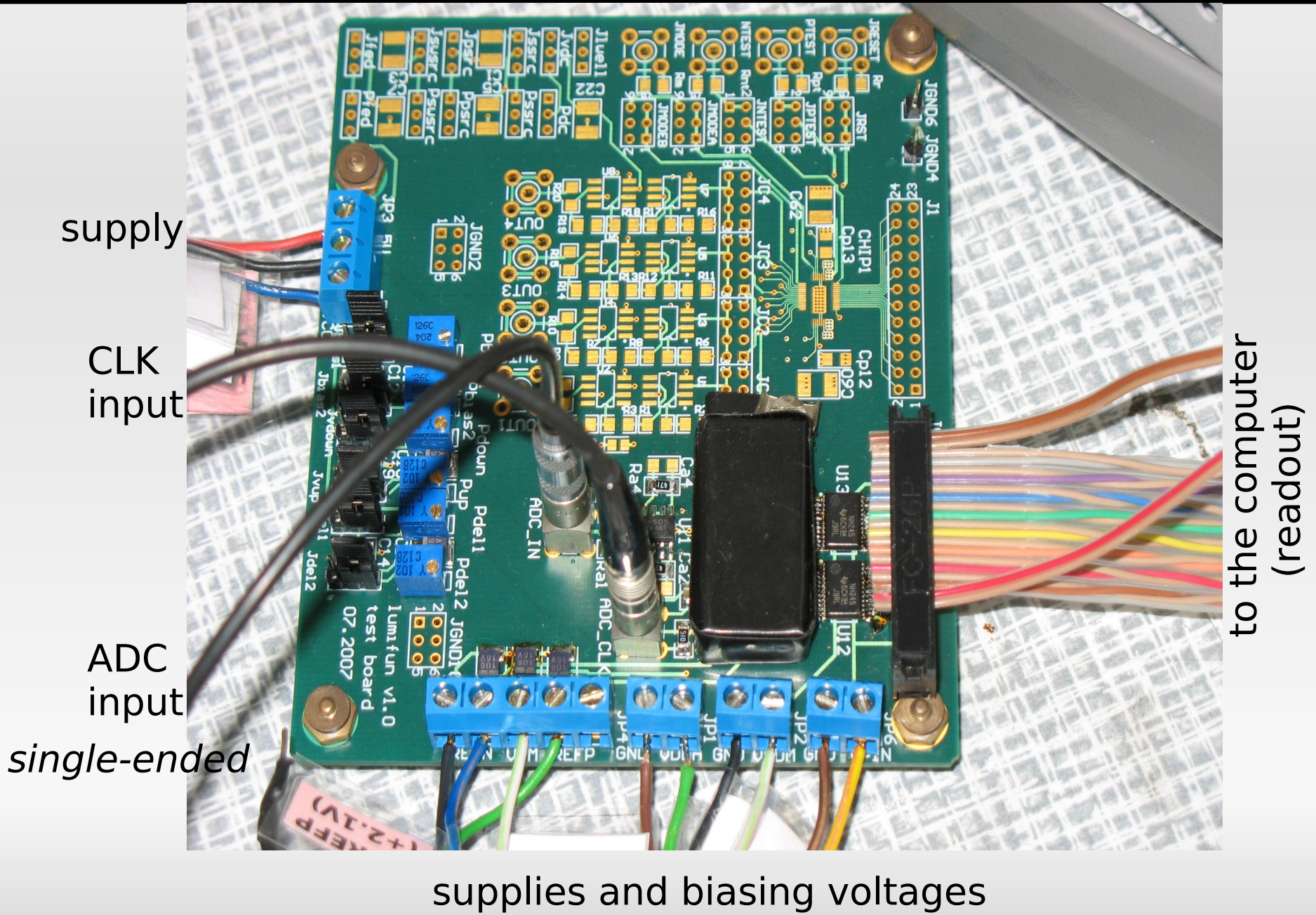
# First prototype layout



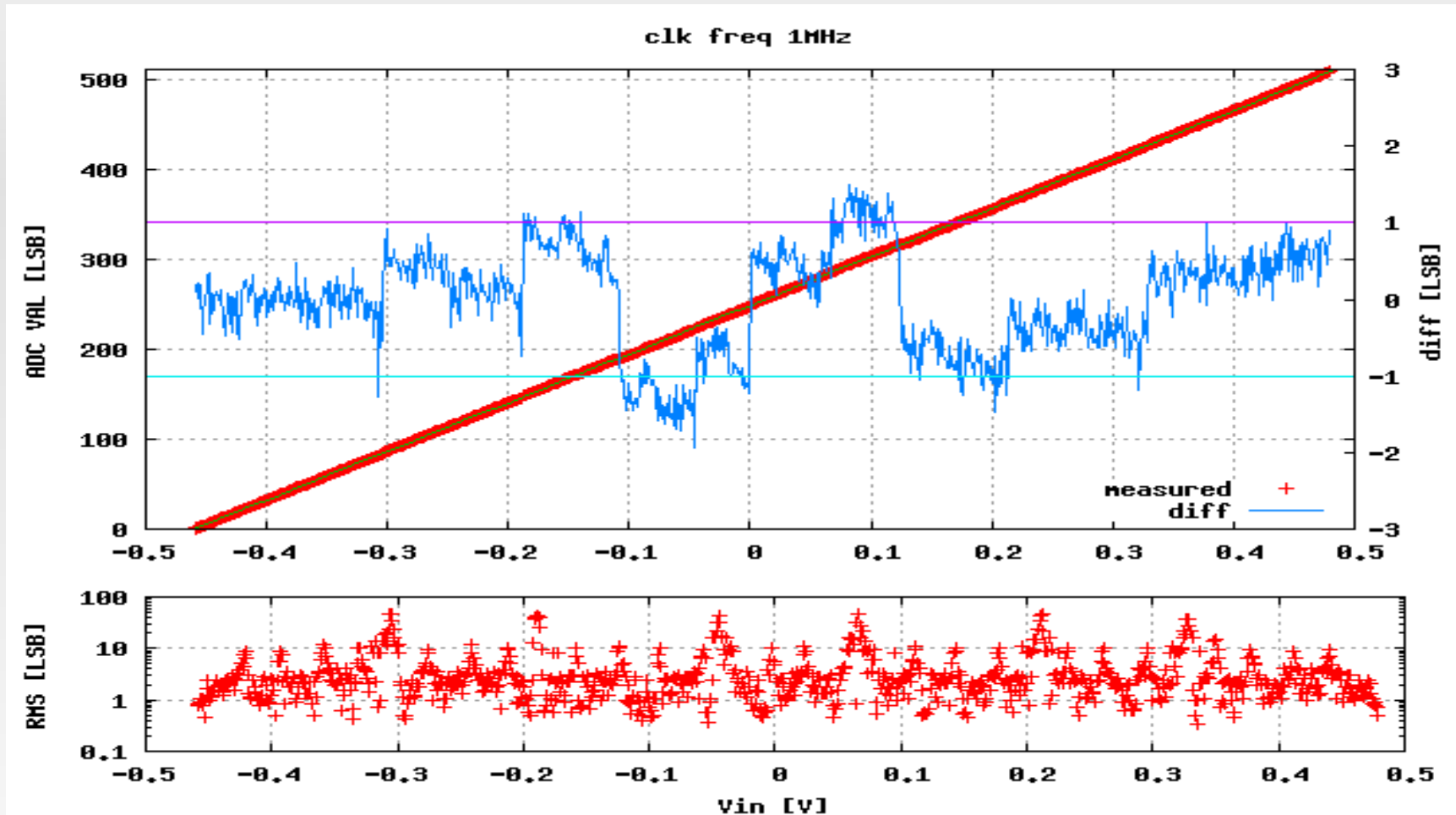
- submitted in June
- only 8 stages
- no digital correction in chip
- external biasing
- size 1.15x1.11 mm
- differential input
- lack of S/H



# Printed Circuit Board

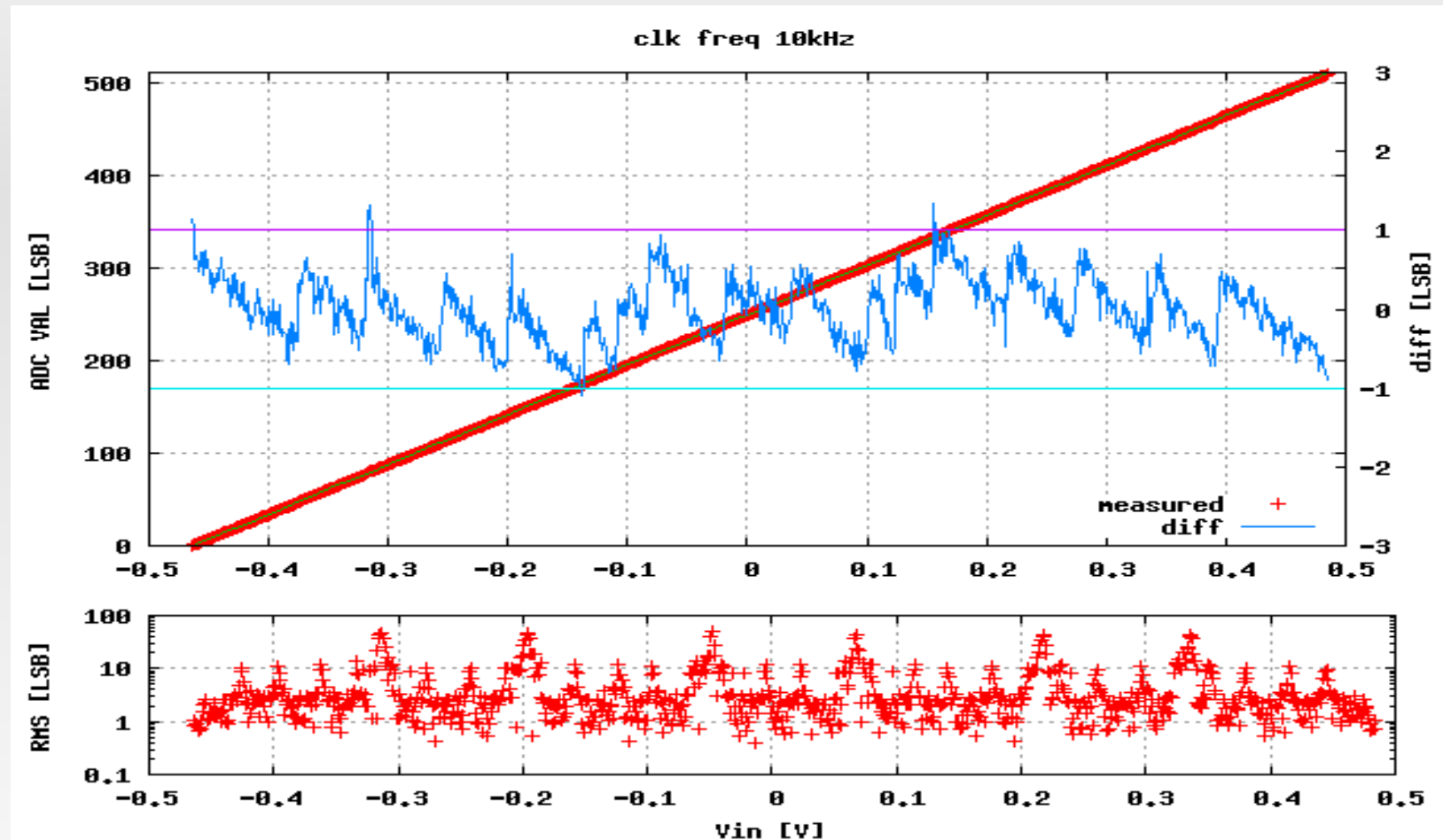


# Very preliminary results



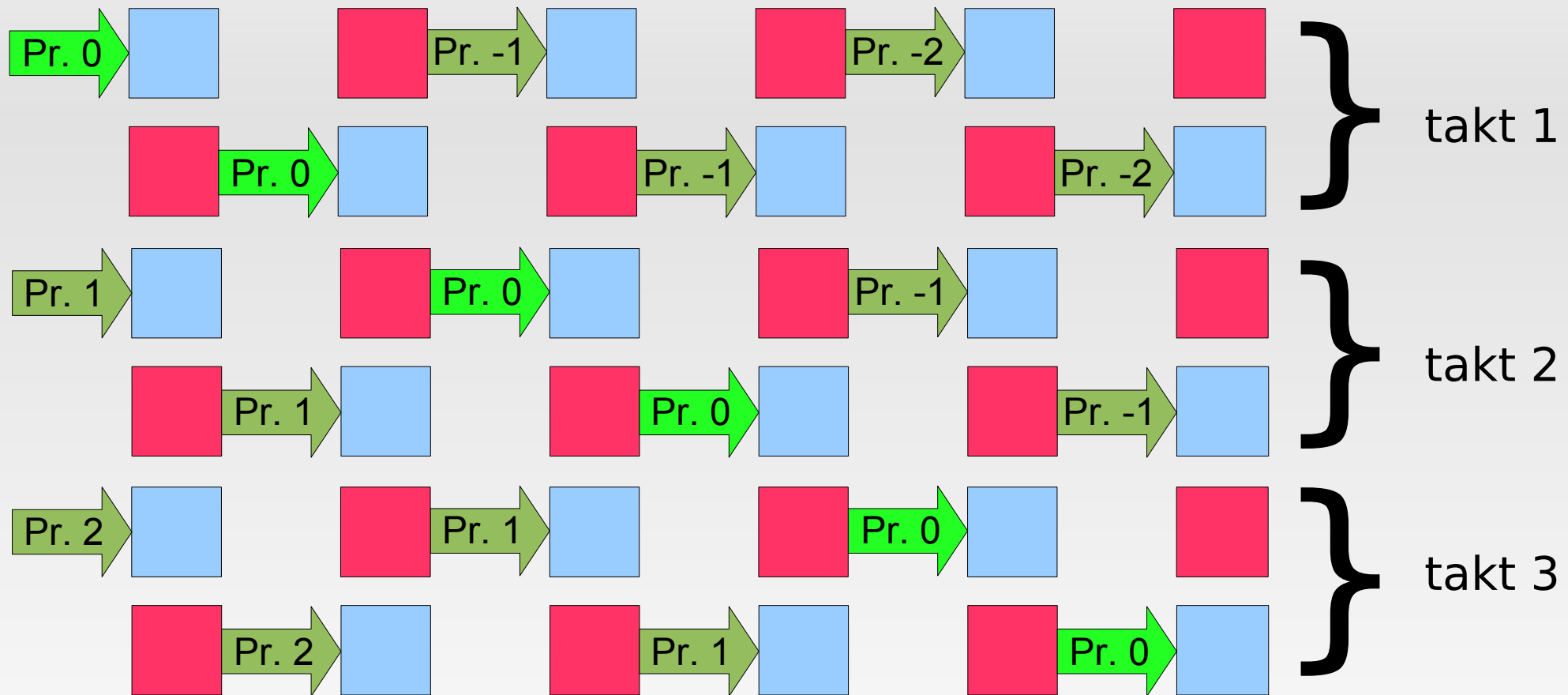
- Static (DC) meas.
- Not proper ADC readout
- Fluctuations
- Average as an ADC out

# Very preliminary results 2



- Other clk freq — other result ?!
- Timing problems but looks promising

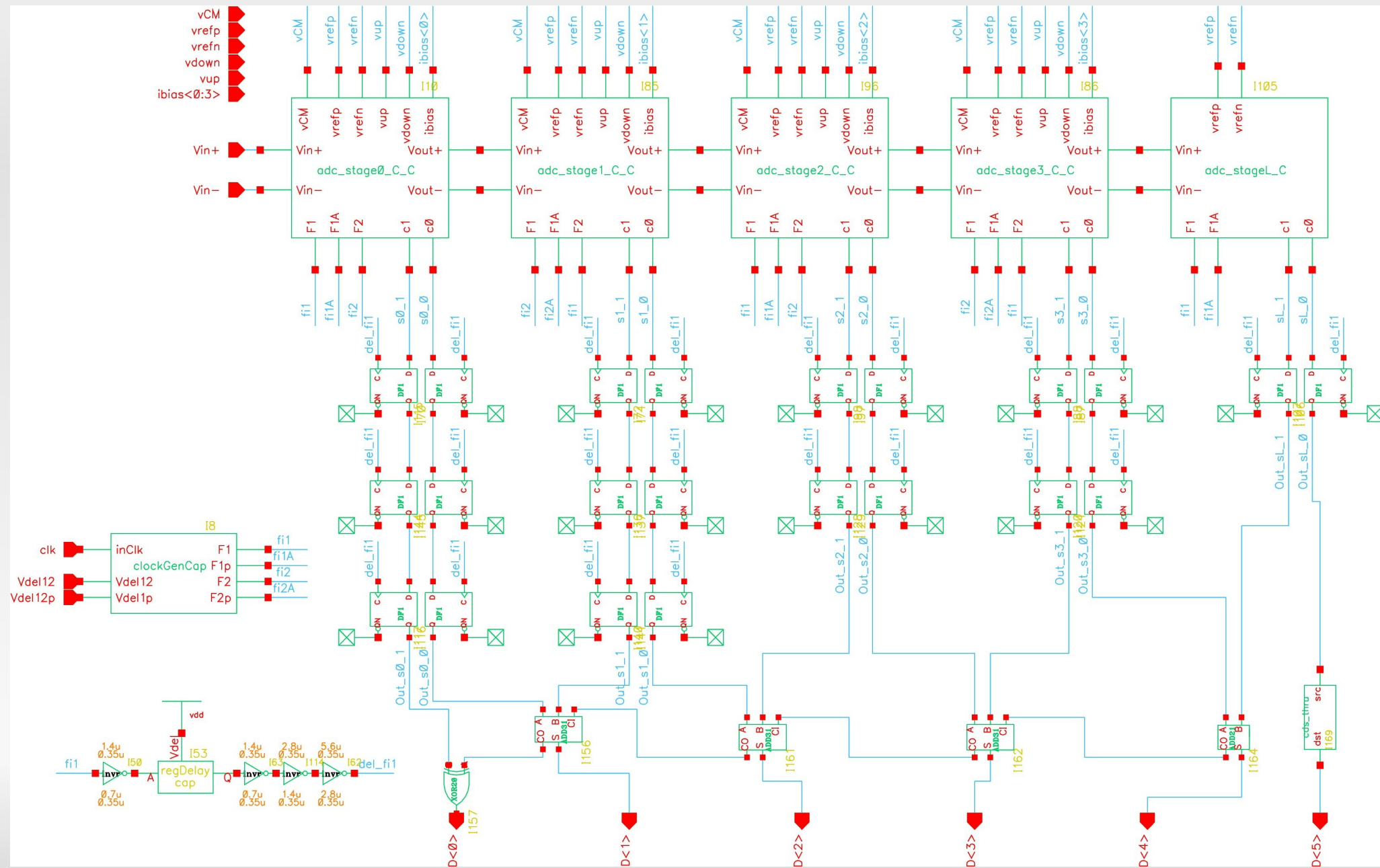
# Przeptyw danych



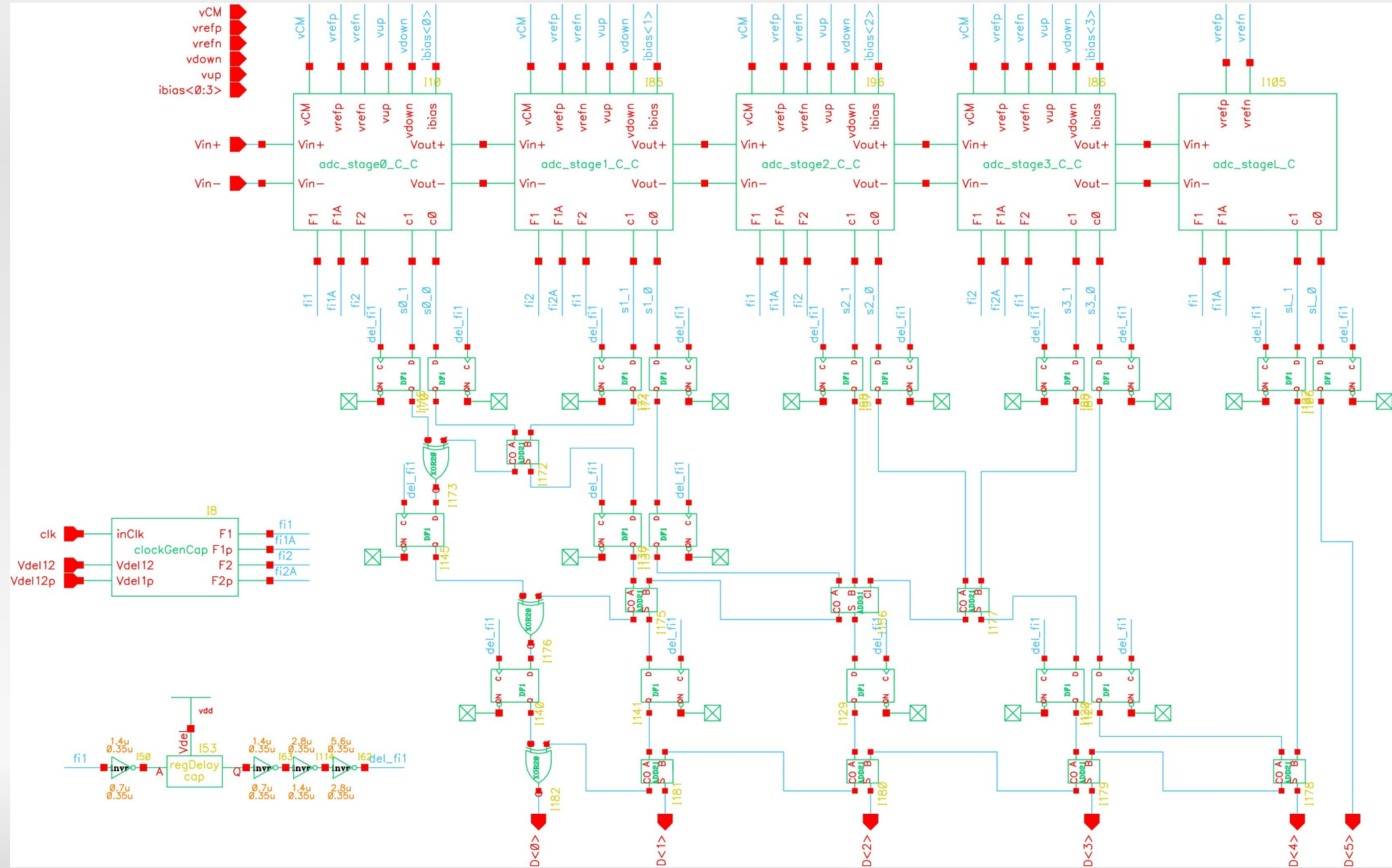
- konieczna linia opóźniająca
- kod pojawia się wraz z końcem fazy 1



# Zbieranie danych z kolejnych stopni

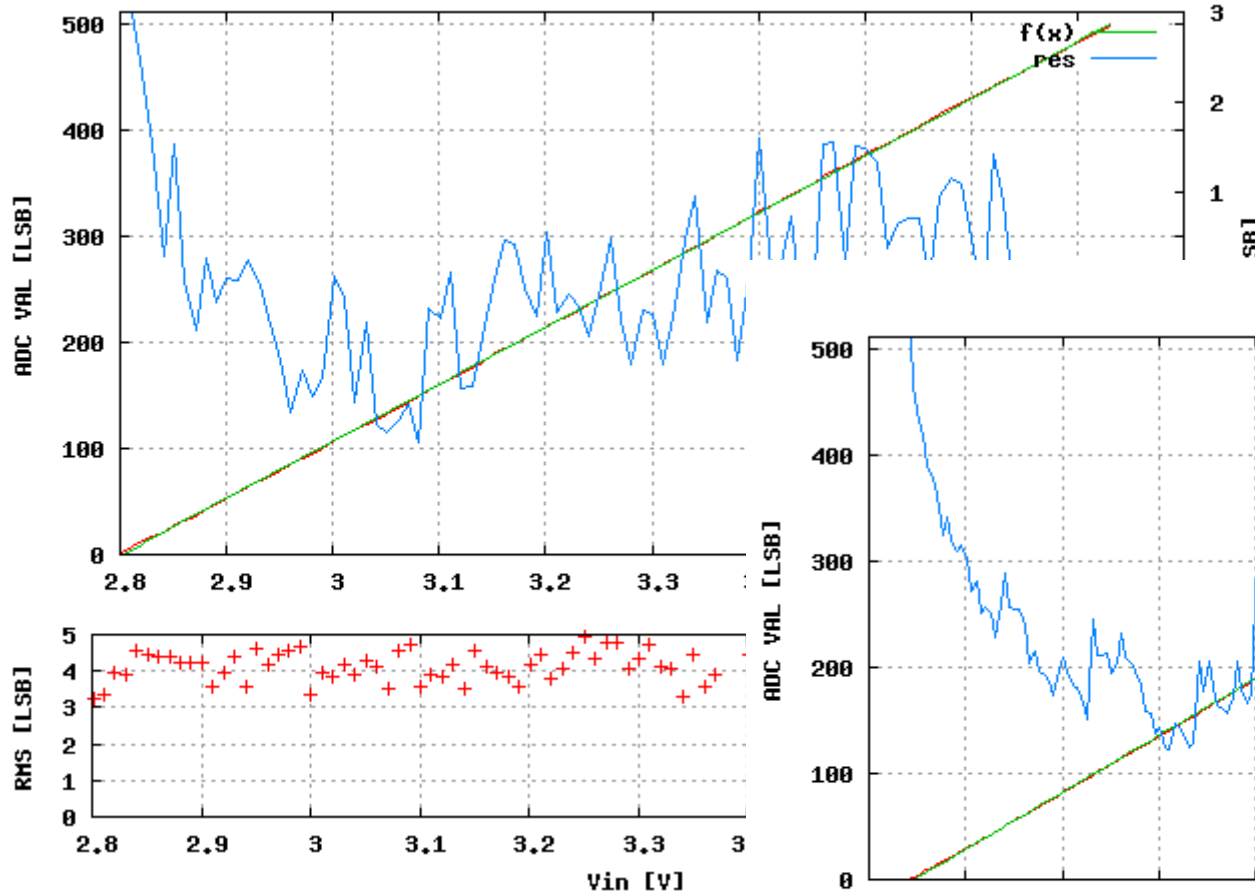


# Szybkie zberanie danych



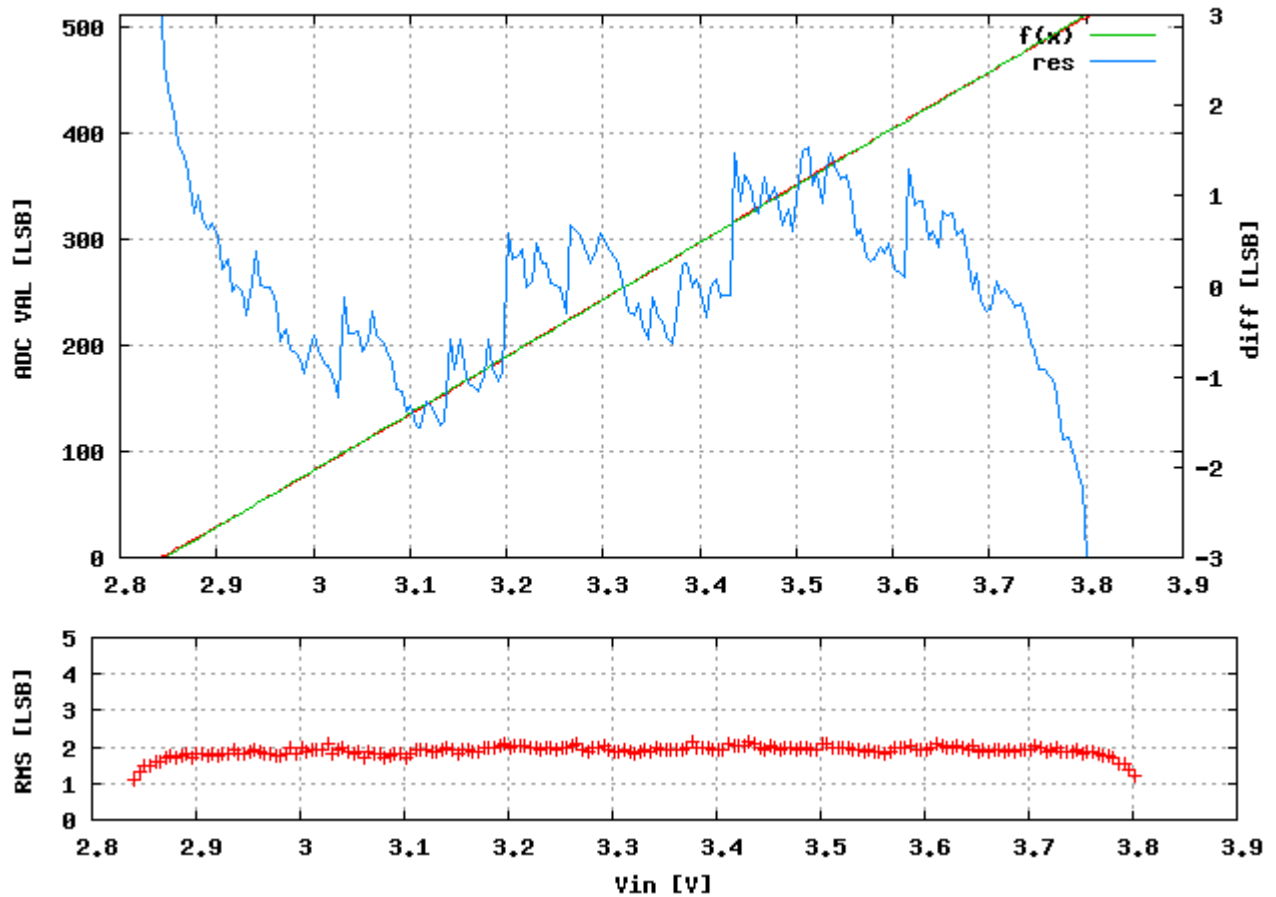
# Nowe wyniki

SCAN 1 (dv=5mV)



Bardzo sensowny poziom fluktuacji

SCAN 1 (dv=5mV)



Zmiany:

- pojemność na wej.
- dużo próbek



# Wreszcie poprawny pomiar ?

