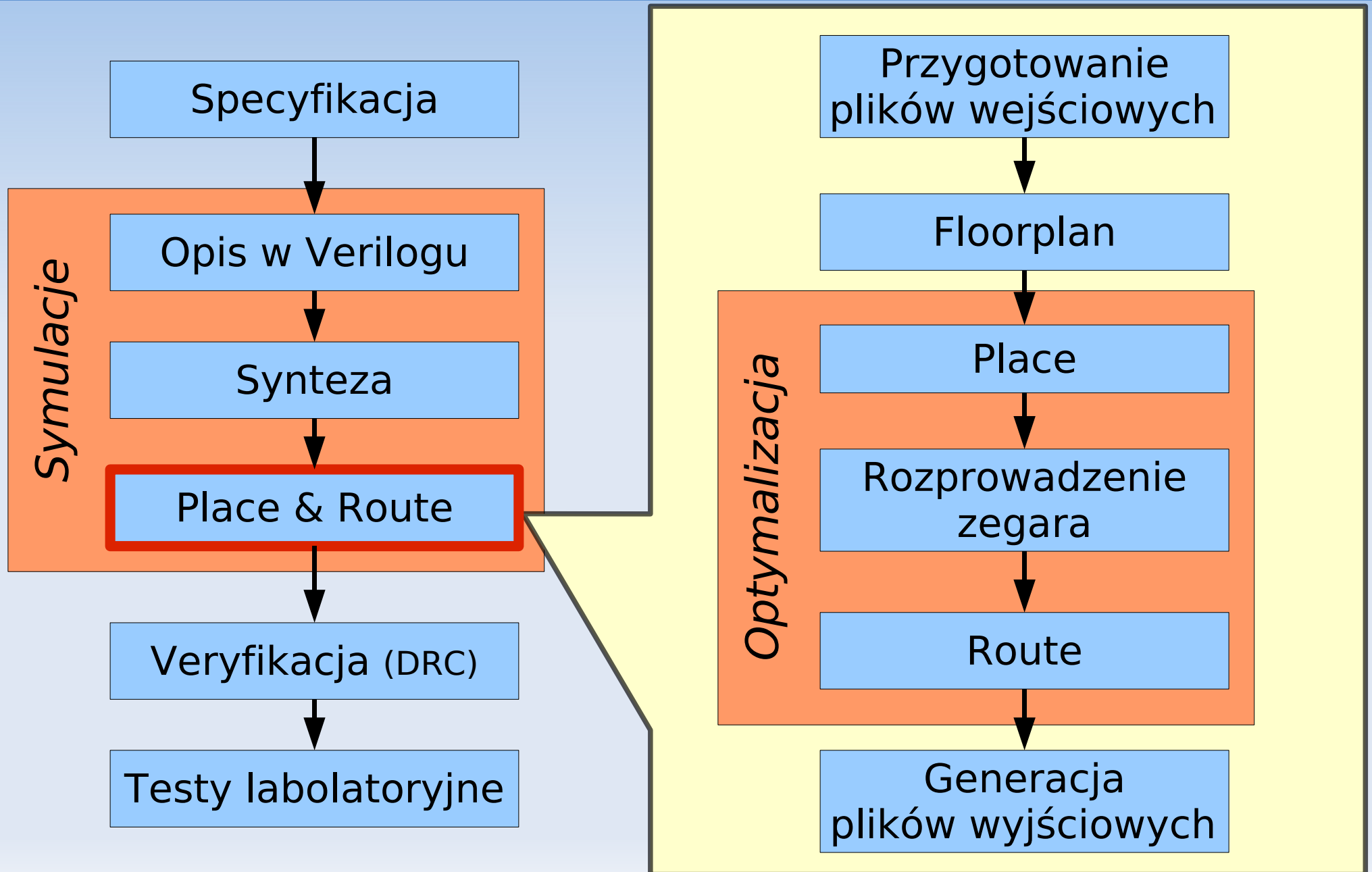


Encounter – od koncepcji do ASICa

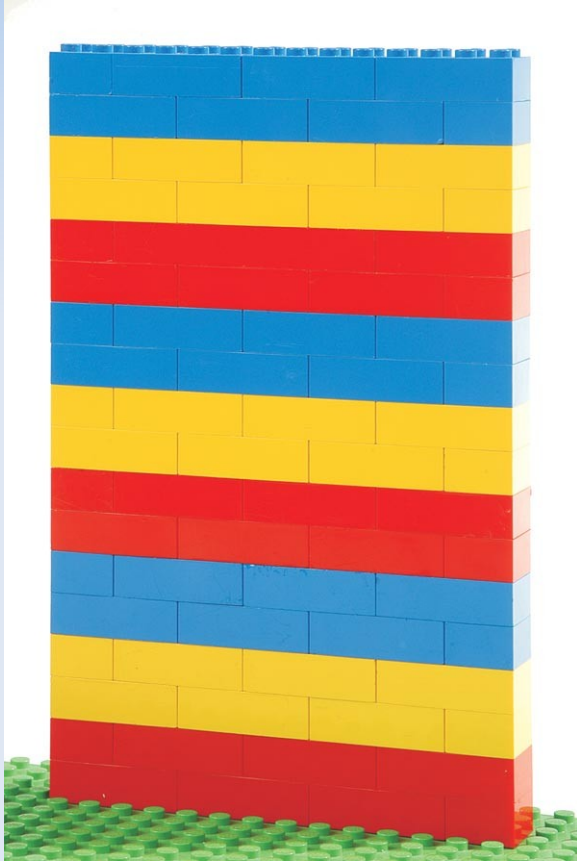
Krzysztof Świątek

Place&Route w projekcie

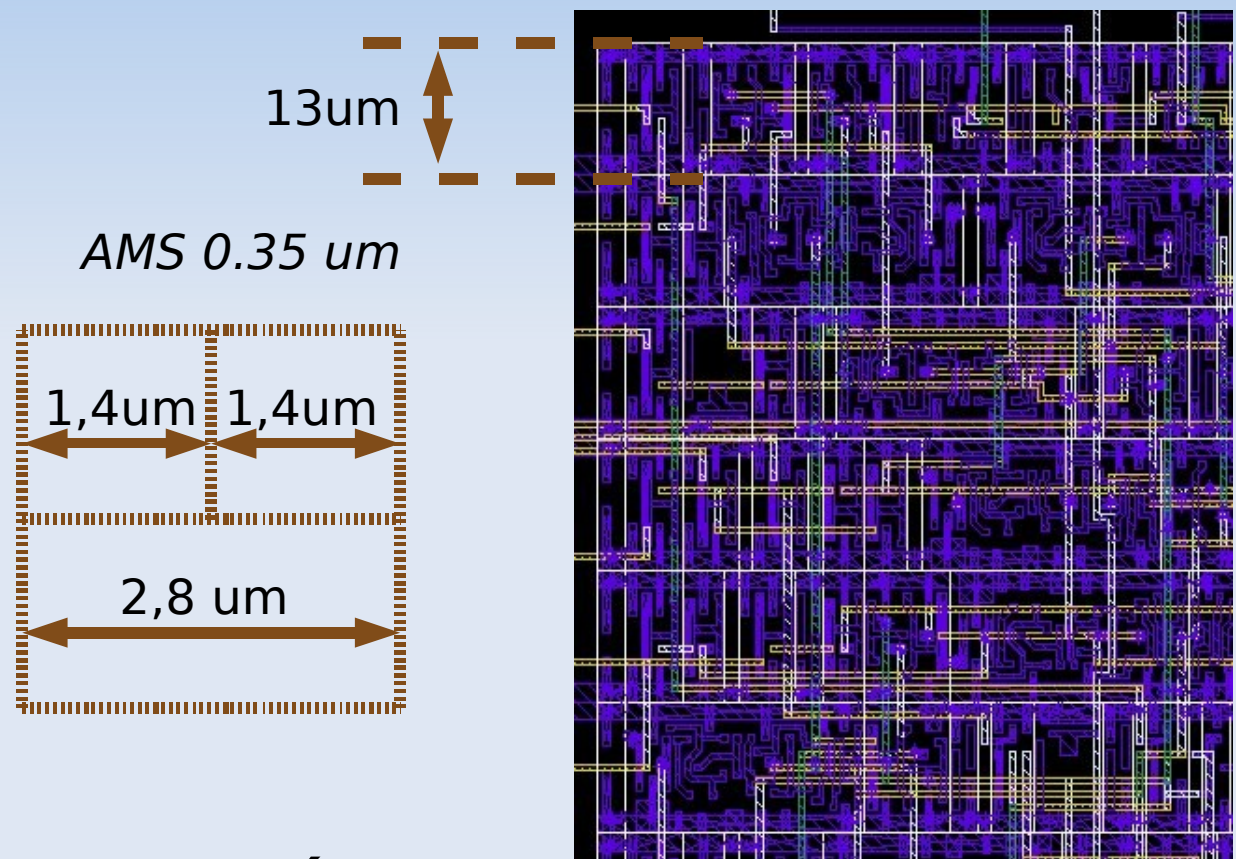


Klocki czyli komórki standardowe

Mur z klocków LEGO



„Mur” komórek standardowych



Podobieństwa:

- stała wysokość wszystkich elementów
- skwantowana szerokość komórek i klocków

Biblioteka komórek standardowych

Skalowanie rozmiarów

Proste funkcje

logiczne:

inv, nand, nor,
xor, xnr ...

Funkcje złożone:

aoi2, oai2, add2,
add3, mux

Przerzutniki

i zatrzaski:

DF, DFC, DFP,
DL, JK, TF

Bufory i spółka:

buf, clkbuf,
inv, clkinv,
dly

Cele wypełniające:

endcap, fill, fillant

Opis komórki standardowej zawiera:

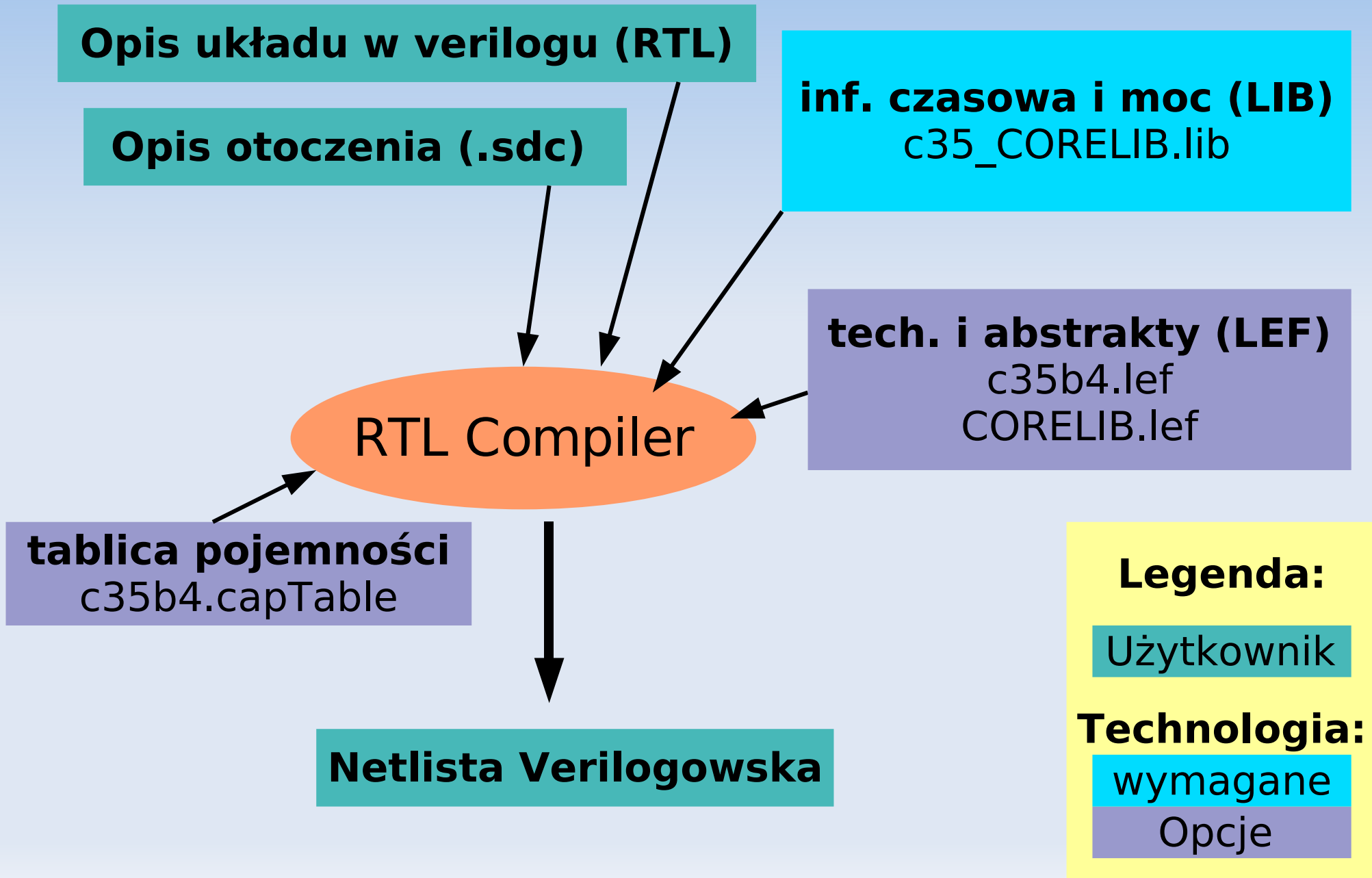
- opis logiczny – Verilog (.v)
- schemat elektryczny
- charakteryzacja czasowa
oraz pobieranej mocy (.lib lub .tlf)
- layout – obraz fizyczny (.gds)
- abstrakt – pochodna layoutu (.lef)
- dane do analizy przestuchów (.cdb)

Symulacja

Realizacja

*Teoretycznie powinno wystarczyć kilkadziesiąt komórek funkcyjnych, ale mamy ich zazwyczaj znacznie więcej.
Np. 238 w AMS 0.35 (+17=255)*

Synteza w AMS 0.35



Encounter - pliki wejściowe (AMS 0.35)

Netlista Verilogowska

Opis otoczenia (.sdc)

Piny/pady (.ioc)

inf. czasowa i moc (LIB)
c35_CORELIB.lib

tech. i abstrakty (LEF)
c35b4.lef
CORELIB.lef

Encounter

tablica pojemności
c35b4.capTable

footprints dla zegara
CORE_CLKBU
CORE_CLKIN

odciski (footprints)
buforów: CORE_BUF
inwerterów: CORE_INV
opóźnień: CORE_DLY

dla optymalizacji

Fire&Ice

Przykładowy projekt

- Część cyfrowa układu **ABCN**
- Technologia IBM 0.25 um z 3. metalami (niebieski, czerwony i zielony) w kierunkach: poziomy, pionowy i poziomy
- Biblioteka komórek standardowych z rozdzielonym podłożem i gnd – **trzy** linie zasilające!
- Dwa zegary 40MHz i 80/160 MHz

Floorplan

Projekt

Po lewej
moduły

W środku
floorplan

Po prawej
dwie
pamięci

Encounter - /home/kazys/IBM025/ABCNext/Enc_m3mz/top_digital1_placed.enc - Top Cell: (top_digital1)

Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools |el

Design is: In Memory

All Colors

V S

Instance

Net

SNet

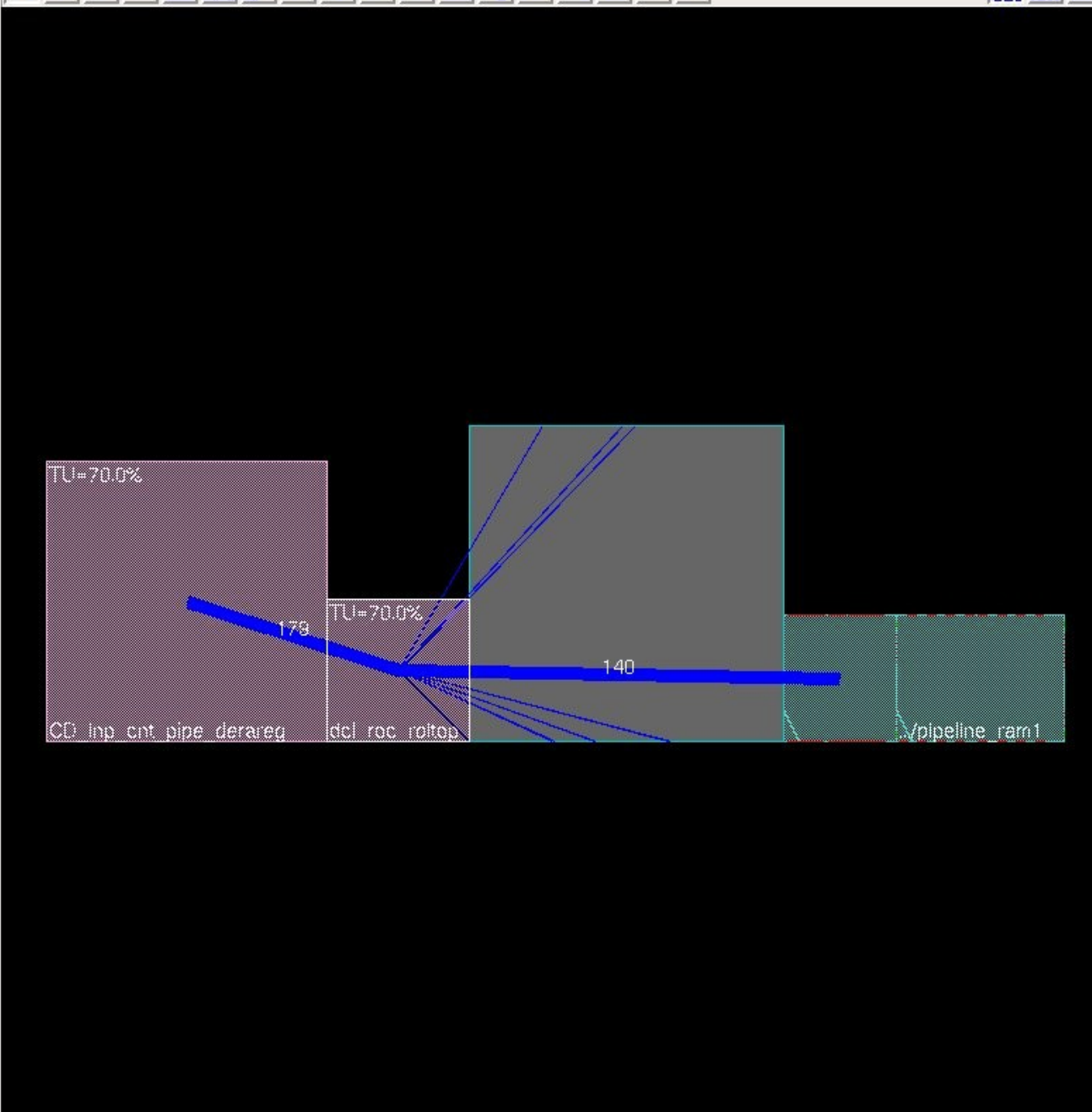
P/G

Routing Blk

Placement

Cell Blkg

Congestion



Attributes Value

Attributes	Value
Type	Module
Name	dcl_roc_
Cell Type	dcl_roc_
No. of Cells	3
No. of Instances	8364
No. of Terminals	209
Module Width	1634.654
Module Height	1623.999
Location	-1634.65
Location Origin	Lower Le
Constraint Type	None
titition Orientation	none
Target Util	0.700
Effective Util	0.0
Standard Util	0.700

Module: dcl_roc_roltop 1(2010.759, 4921.724)

Mem's.

Utilization
64%

Miejsce
na ring

Każda cela
ma halo
czyli
placement
blockage

The screenshot shows the floorplan view of an FPGA design. Two RAM blocks are highlighted with red dashed borders: the top one is labeled ".../pipeline_ram1" and the bottom one is labeled ".../derandomizer_ram1". The blocks are surrounded by a dark grey area representing placement blockages. The interface includes a menu bar (Design, Edit, Synthesis, Partition, Floorplan, Power, Place, Clock, Route, Timing, SI, Verify, Tools, Help), a toolbar, and a color palette on the right. The color palette is titled "All Colors" and includes a table with columns "Attributes" and "Value".

Attributes	Value
Instance	
Net	
SNet	
P/G	
Routing Blk	
Placement l	
Cell Blkg	
Congestion	

Design is: In Memory

(2390.396, 3444.422)

Constr.

region
dla
celi
INP_REG

Poziome
blokady
na
placement
pod
zasilaniem

Encounter - /home/kazys/IBM025/ABCNext/Enc_m3mz/top_digital1_placed.enc - Top Cell: (top_digital1)

Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools |el

Design is: In Memory

All Colors

V S

Module

Black Box

Fence

Guide

Obstruct

Region

Screen

Instance

Net

SNet

P/G

Pin

Ruler

VCongest

HCongest

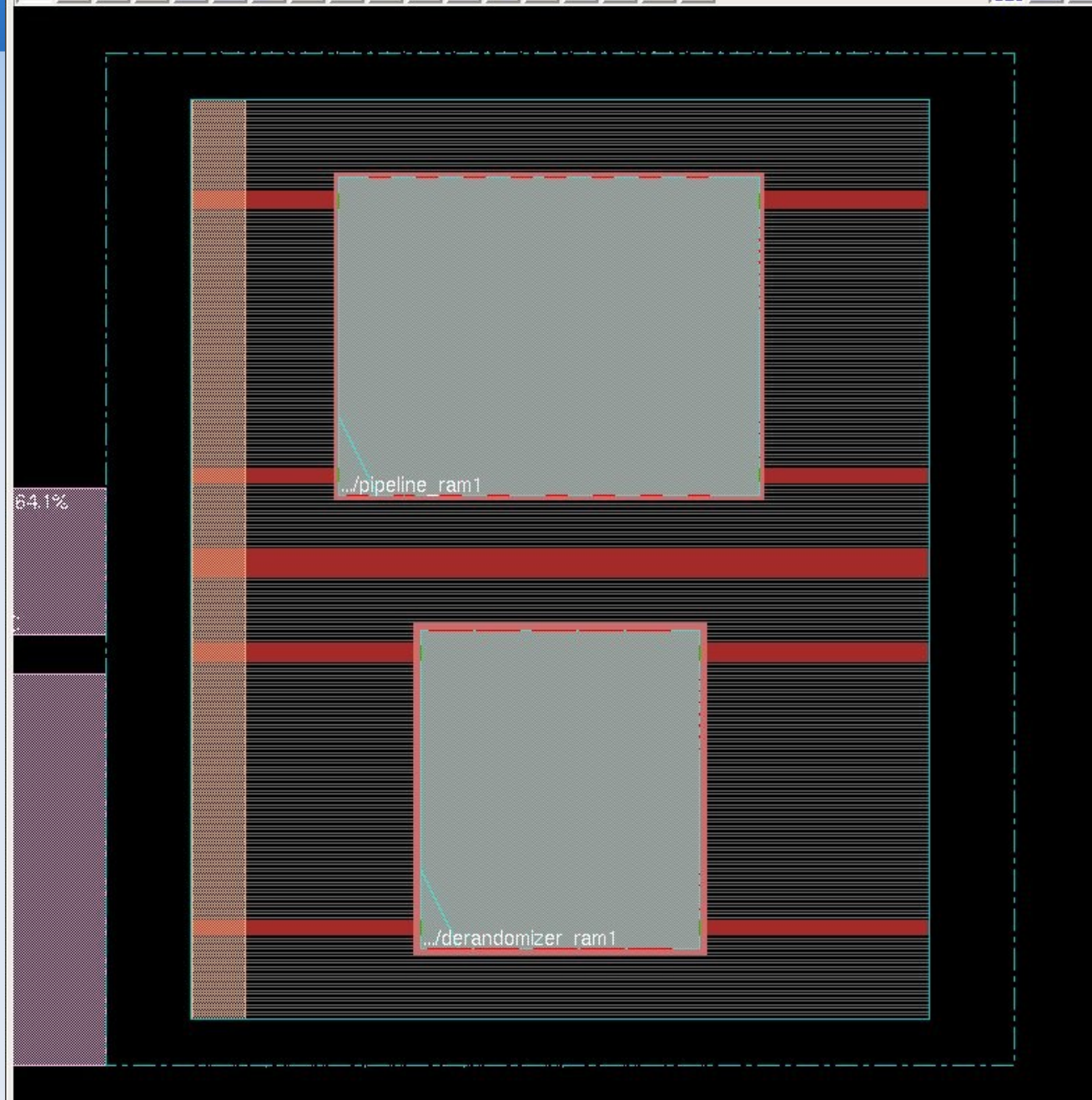
Text

Rel. FPlan

Yield Cell

Yield Map

Attributes Value



64.1%

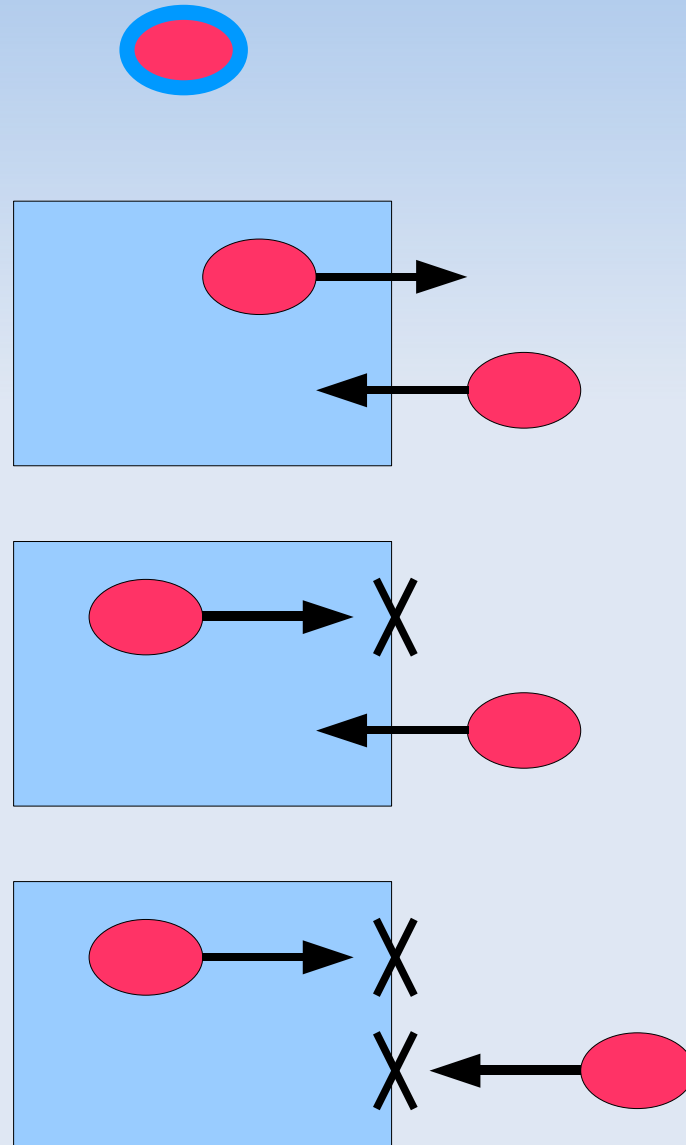
.../pipeline_ram1

.../derandomizer_ram1

(1767.496, 3450.844)

Ograniczenia na położenie cel

- Soft Guide
- Guide
- Region
- Fence

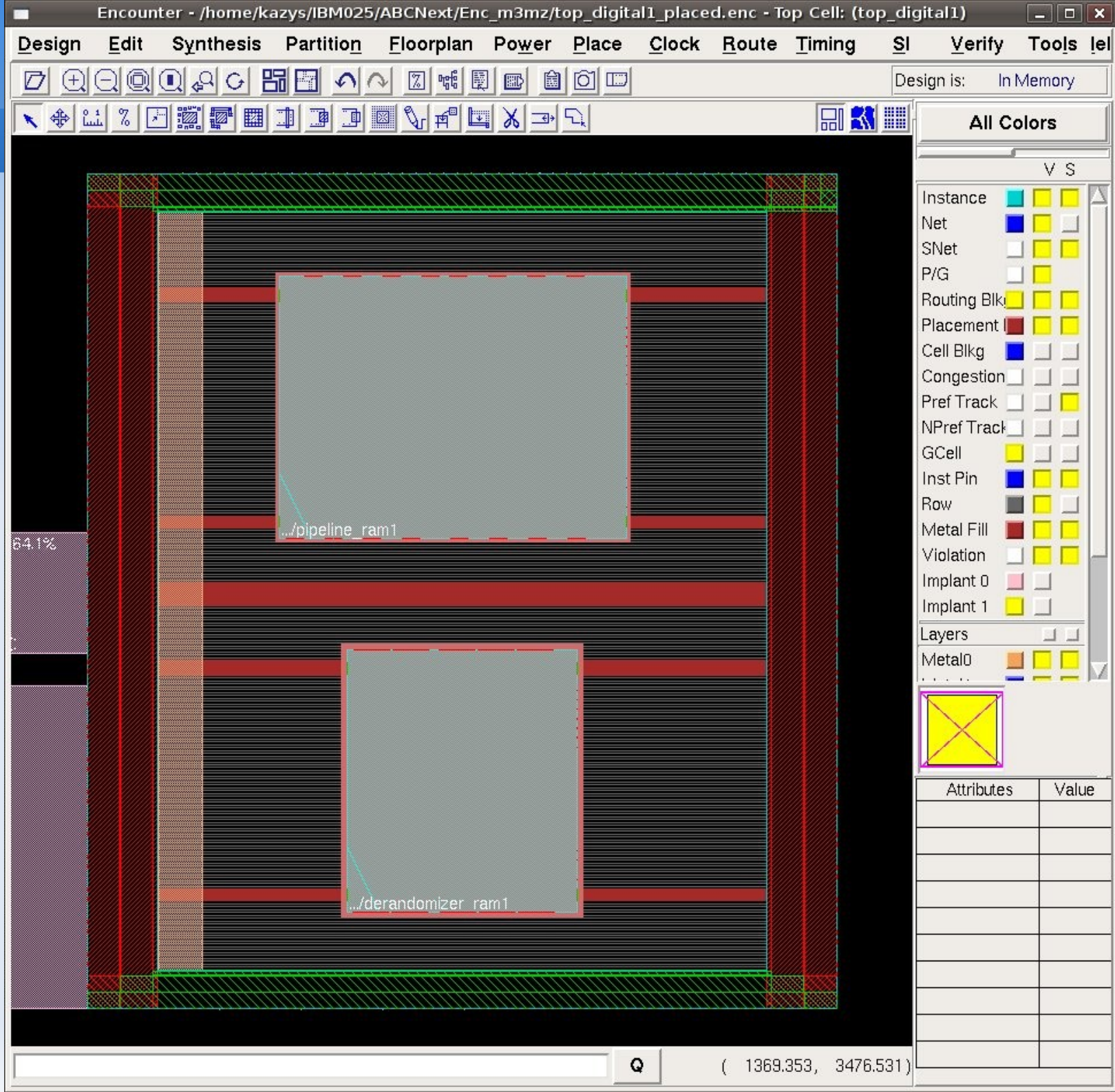


Ring

Trzy zasilania:

bulk
gnd
vdd

25um
180um
180um



CutRow

*Najpierw
Cięcie*

*Potem
EndCaps*

Niezbędne
ma końcach
rzędów
ze względu
na DRC

Encounter - /home/kazys/IBM025/ABCNext/Enc_m3mz/top_digital1_placed.enc - Top Cell: (top_digital1)

Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools |el

Design is: In Memory

All Colors

V S

Cell Blkg	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Congestion	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Pref Track	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>
NPref Track	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
GCell	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Inst Pin	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Row	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Metal Fill	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Violation	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Implant 0	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Implant 1	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Layers	<input type="checkbox"/>	<input type="checkbox"/>
Metal0	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Metal1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Metal2	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Metal3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
V01	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
V12	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
V23	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

(1362.931, 3470.109)

Place

Jeżeli
synteza
była
porządna
to
unikać
optymalizacji
!!!

Encounter - /home/kazys/IBM025/ABCNext/Enc_m3mz/top_digital1_placed_enc - Top Cell: (top_digital1)

Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools |el

Design is: Placed

All Colors

V S

Net

SNet

P/G

Routing Blk

Placement

Cell Blkg

Congestion

Pref Track

NPref Track

GCell

Inst Pin

Row

Metal Fill

Violation

Implant 0

Implant 1

Layers

Metal0

Metal1

Attributes Value

(2274.807, 3052.701)

Place 1

Amoeba View

INP_REG
zaznaczony

Widać
ułożenie
modułów

Encounter - /home/kazys/IBM025/ABCNext/Enc_m3mz/top_digital1_placed.enc - Top Cell: (top_digital1)

Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools |el

Design is: Placed

All Colors

Net SNet P/G Routing Blk Placement Cell Blkg Congestion Pref Track NPref Track GCell Inst Pin Row Metal Fill Violation Implant 0 Implant 1

Layers Metal0 Metal1

The image shows a detailed circuit layout in an 'Amoeba View'. Two modules are highlighted with green boxes: 'CD_inp_cnt_pipe_derareg/PIPE' and 'CD_inp_cnt_pipe_derareg/DERA'. The background is a complex grid of circuit components and connections. Labels like '/CFG2', '/FC_TRIPLE', 'dcl_roc_roltop', '/SC', and various BIAS signals are visible.

Attributes	Value
Type	Module
Name	CD_inp_u
Cell Type	INPUT_F
No. of Cells	2300
No. of Instances	2300
No. of Terminals	267
Module Width	248.0
Module Height	4192.0
Location	397.0 21!
Location Origin	Lower Le

Module: CD_inp_cnt_pipe_derareg/INP_REG 1(2114.265, 3245.351)

Place 2

Physical View

INP_REG
dalej
zaznaczoney

The screenshot shows a physical design tool interface. The main window displays a floorplan with a grid of red and cyan blocks. Two modules are highlighted with red boxes and labels: `.../pipeline_ram1` and `.../derandomizer_ram1`. The interface includes a menu bar (Design, Edit, Synthesis, Partition, Floorplan, Power, Place, Clock, Route, Timing, SI, Verify, Tools, Help), a toolbar, and a right-hand panel with a color palette and a table of attributes.

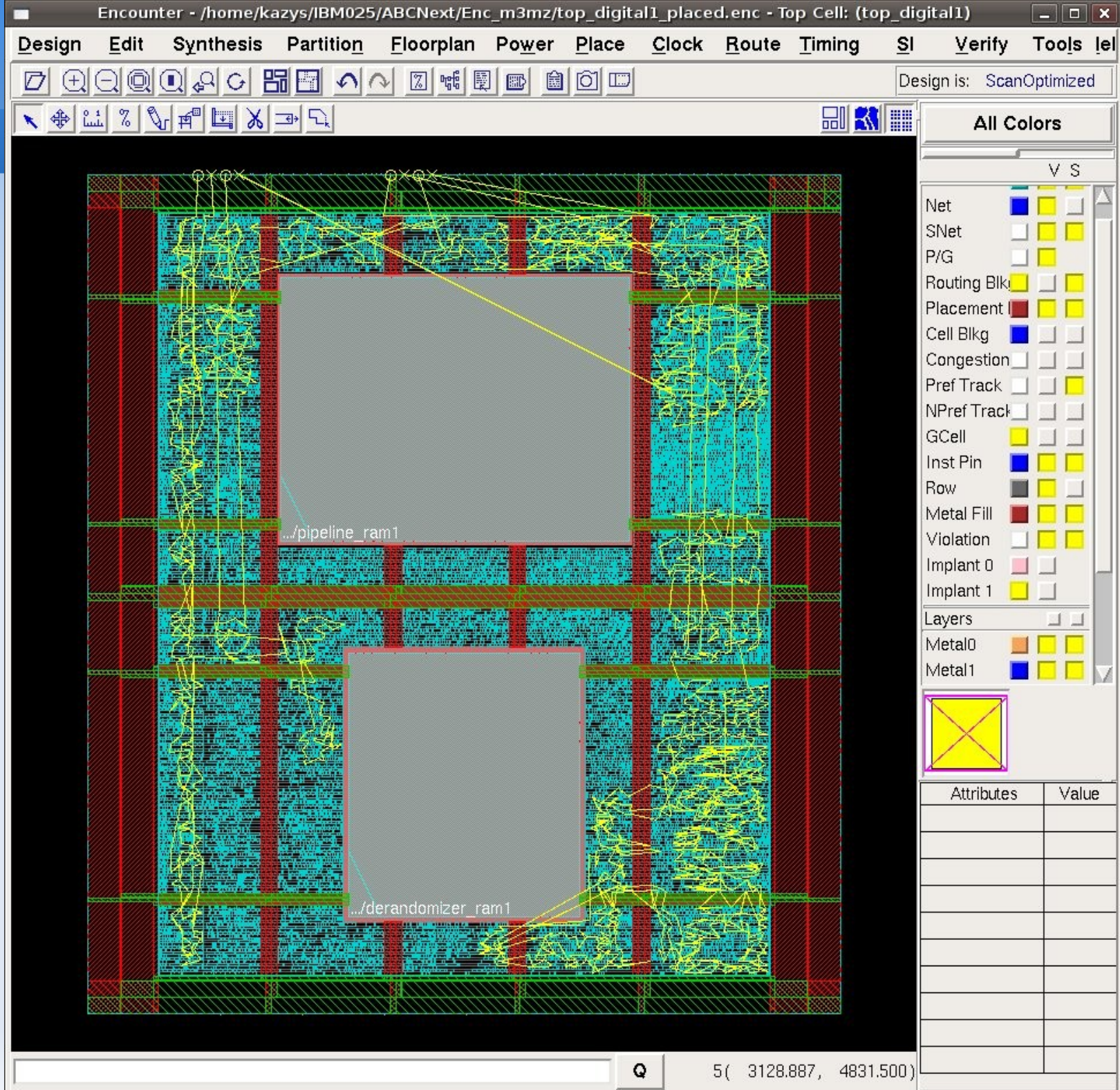
Attributes	Value
Type	Module
Name	CD_inp_u
Cell Type	INPUT_F
No. of Cells	2300
No. of Instances	2300
No. of Terminals	267
Module Width	248.0
Module Height	4192.0
Location	397.0 21!
Location Origin	Lower Le

Scan reord.

Kolejność
połączeń
bez
znaczenia

więc

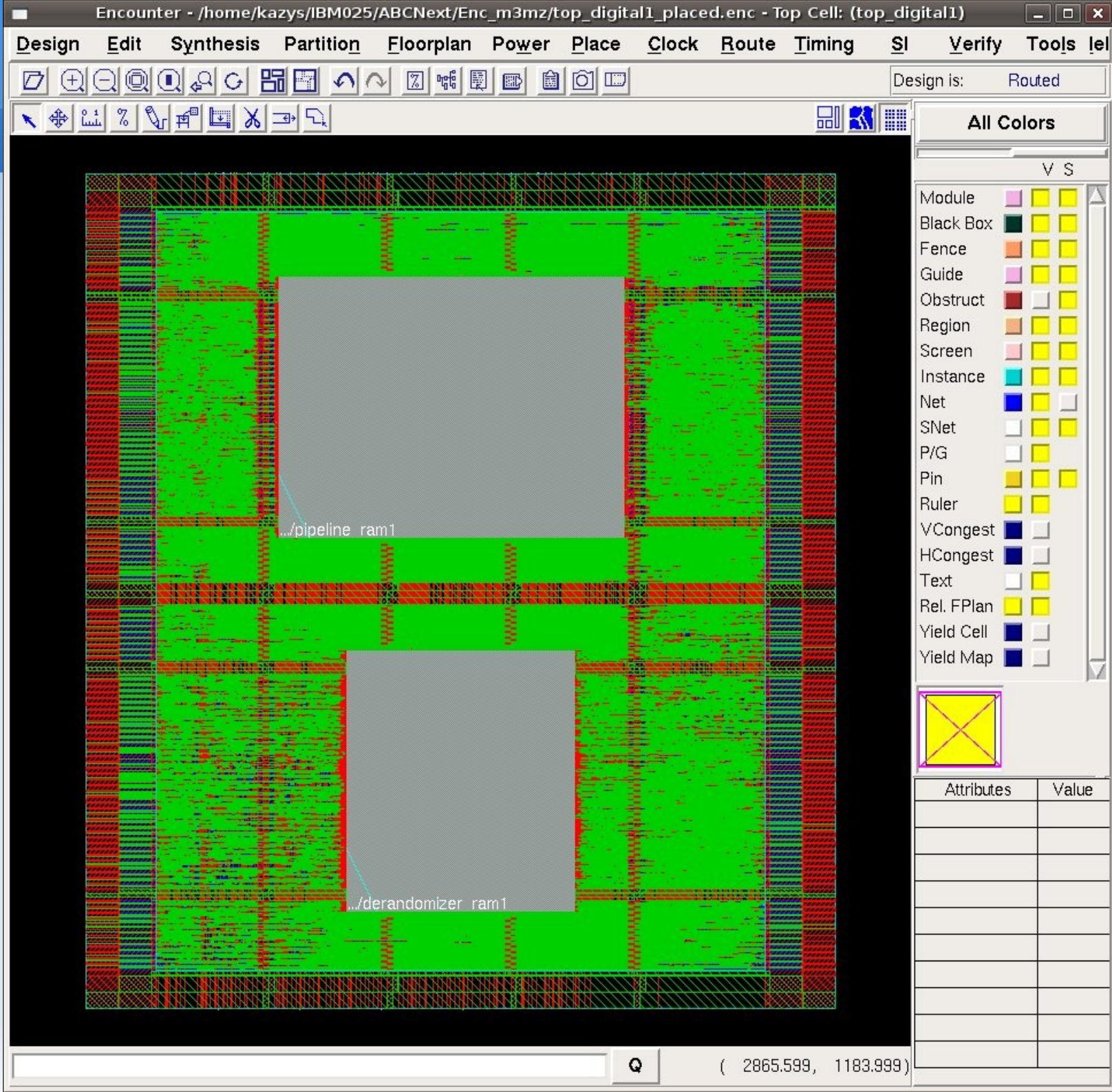
robimy
jak
najkrótsze



Trial route

Zgrubny
routing
łamiący
reguły DRC

Konieczny
do analizy
czasowej



Congestions

Floorplan wydaje się trochę zbyt wąski

Blue 1

Green 2

Yellow 3

Red 4

Magenta 5

Grey 6

White 6+

Encounter - /home/kazys/IBM025/ABCNext/Enc_m3mz/top_digital1_placed.enc - Top Cell: (top_digital1)

Design Edit Synthesis Partition Floorplan Power Place Clock Route Timing SI Verify Tools |el

Design is: Routed

All Colors

V S

Cell Blkg

Congestion

Pref Track

NPref Track

GCell

Inst Pin

Row

Metal Fill

Violation

Implant 0

Implant 1

Layers

Metal0

Metal1

Metal2

Metal3

V01

V12

V23

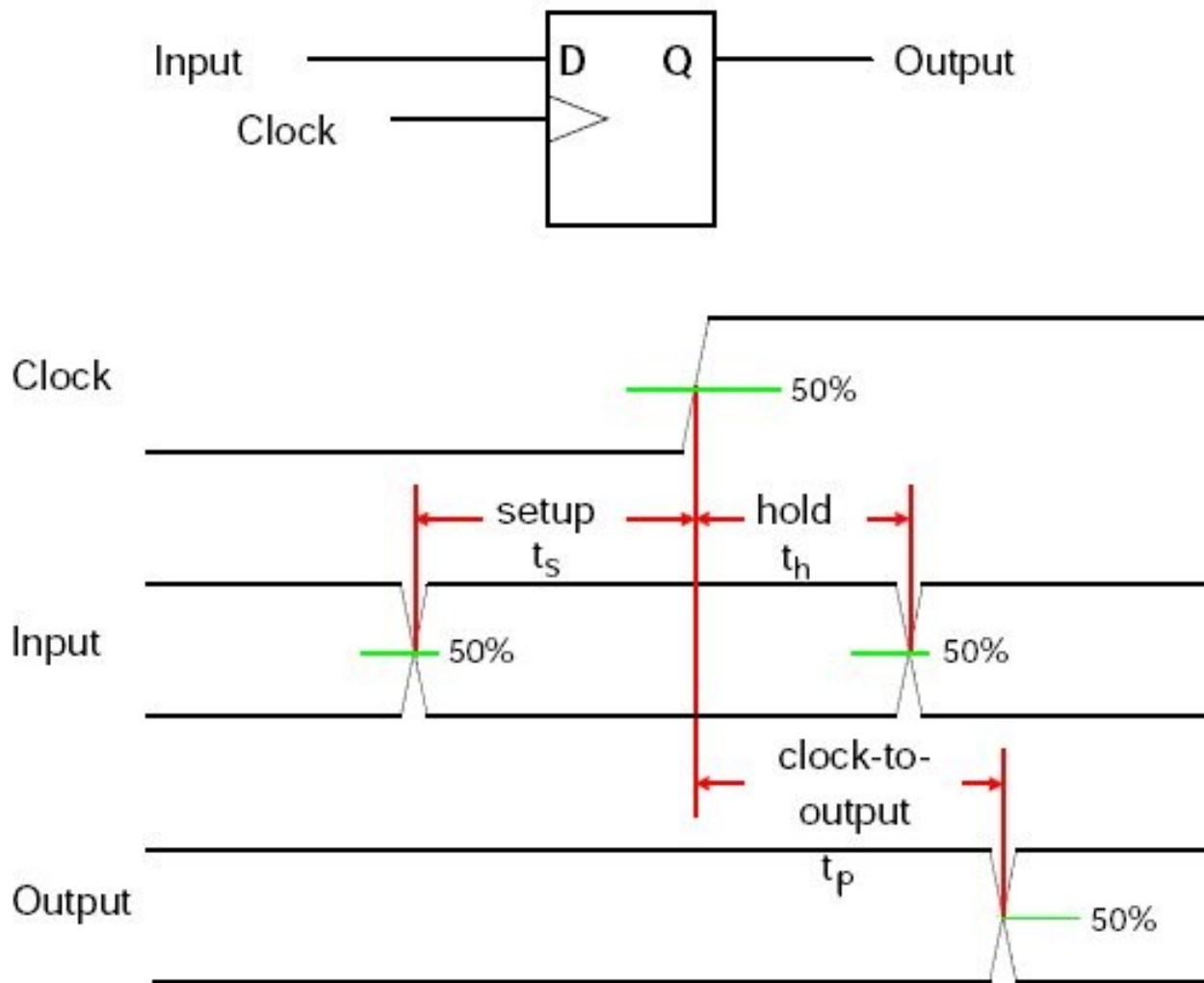
Attributes Value

(3205.947, 2256.416)

Static Timing Analysis

STA

Przerzutnik typu D

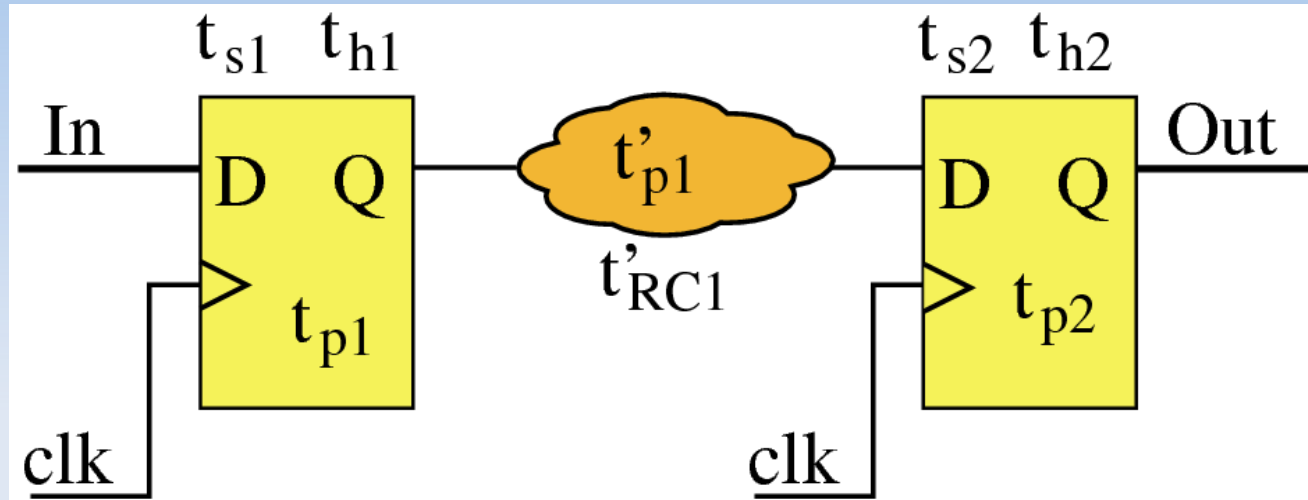


Dodatkowe parametry

- a) **setup time** — czas ustalania
- b) **hold time** — czas podtrzymania

Wszystko liczymy względem zbocza zegara!

Statyczna analiza czasowa (STA)



Kornery
szybka i wolna wersja technologii.

$$t_{p1} + t'_{p1} + t'_{RC1} + t_{s2} < t_{clk}$$

Okres zegara

$$t_{p1} + t'_{p1} + t'_{RC1} > t_{h2}$$

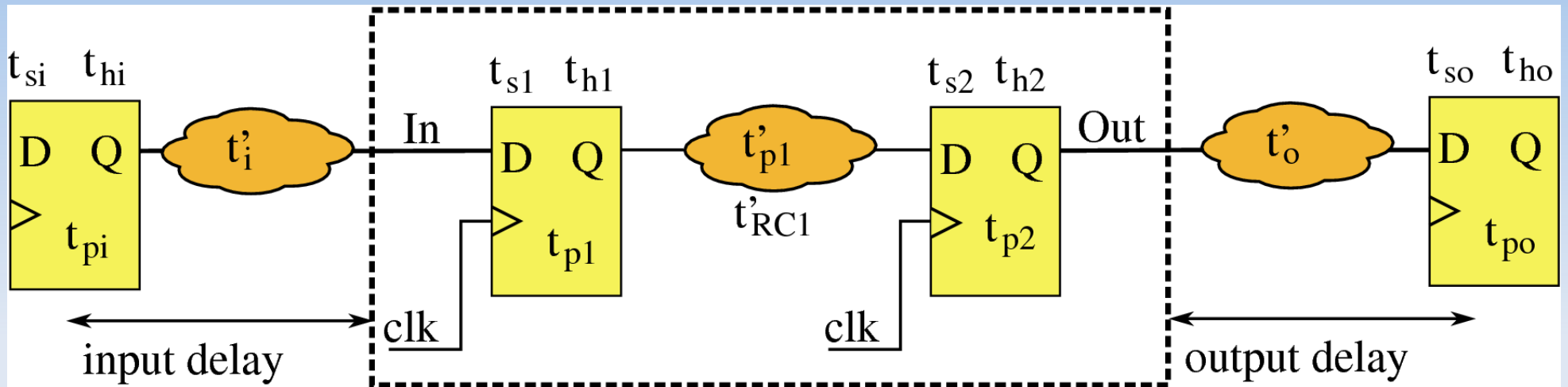
$$S_s = t_{clk} - (t_{p1} + t'_{p1} + t'_{RC1} + t_{s2} + t_{cu})$$

$$S_h = t_{p1} + t'_{p1} + t'_{RC1} - (t_{h2} + t_{cu})$$

Niepewność przyjęcia zbrocza zegarowego

Slack powinien być dodatni żeby działało!

Otoczenie układu (.sdc)



plik SDC

#clock period in ns

```
create_clock -name ideal_clk -period 25 [get_ports BC]
```

```
set_clock_transition 0.3 ideal_clk
```

```
set_clock_uncertainty 0.3 ideal_clk
```

```
set_input_delay 13 -clock [get_clocks ideal_clk] [get_ports bit_data_in]
```

```
set_output_delay 13 -clock [get_clocks ideal_clk] [get_ports token_out]
```

Post place – Raport zbiorczy

Raport timingu (tylko setup)

Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-1.820	-1.337	-1.820	-0.878	N/A	10.388
TNS (ns):	-32.570	-28.052	-3.640	-0.878	N/A	0.000
Violating Paths:	50	47	2	1	N/A	0
All Paths:	4878	4729	97	139	N/A	5

Po optymalizacji

Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-1.821	-1.064	-1.821	-0.855	N/A	10.366
TNS (ns):	-27.337	-22.840	-3.641	-0.855	N/A	0.000
Violating Paths:	42	39	2	1	N/A	0
All Paths:	4878	4729	97	139	N/A	5

WNS – Worst Negative Slack

TNS – Total Negative Slack

Post Place

Widać czasy propogacji przez bramki, obciążenia, i nachylenia zboczy

Setup

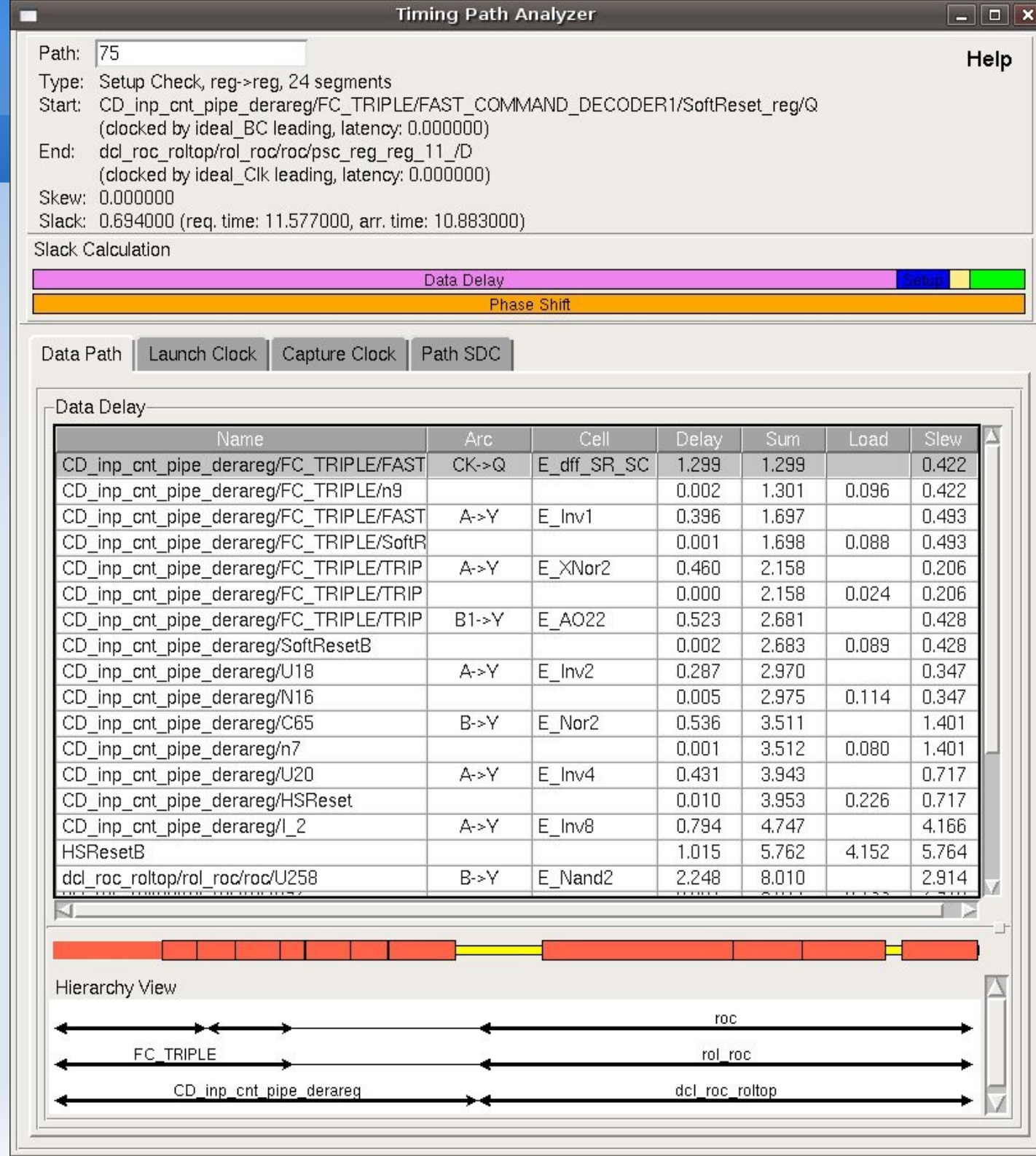
Slack > 0

Uncertainty

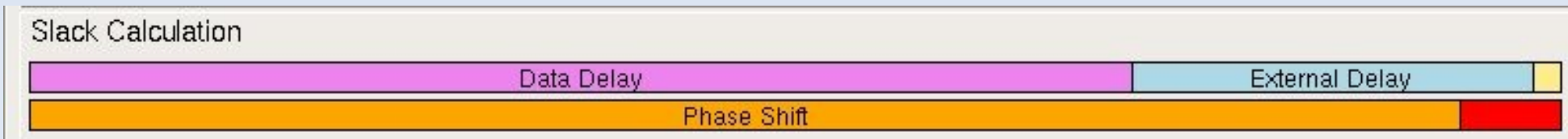
Slack < 0

Data Delay

Dostępny czas



Post Place slack calculation



Setup

Slack > 0

Uncertainty

Slack < 0

Data Delay

Dostępny czas

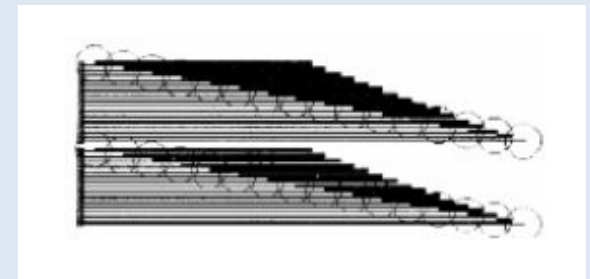
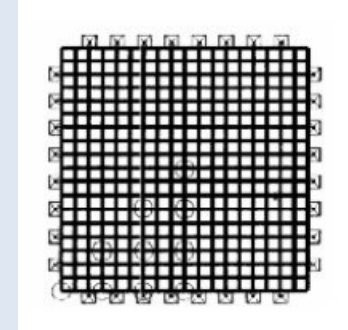
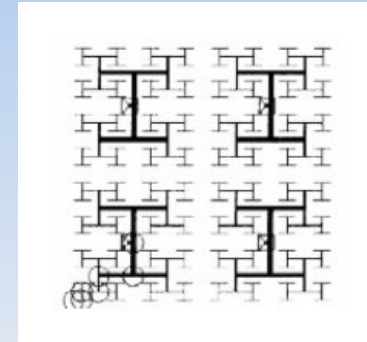
Clock Three Synthesis CTS

Cel

- Trzeba doprowadzić zegar do każdego przerzutnika w układzie
- Wszystkie elementy powinny przełączać się jednocześnie w całym układzie!
- Chcemy zminimalizować nieokreśloność pojawienia się zboczy zegara
 - przestrzenną (clock skew) — efekt systematyczny, więc można optymalizować
 - czasową (clock jitter) — efekt losowy

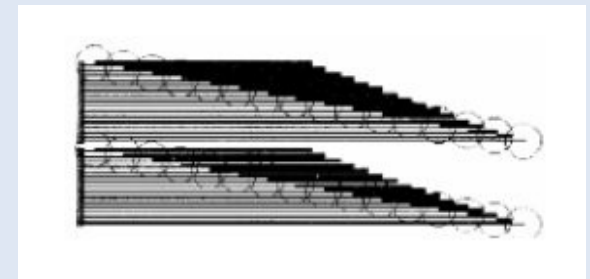
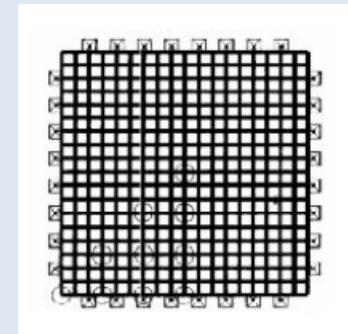
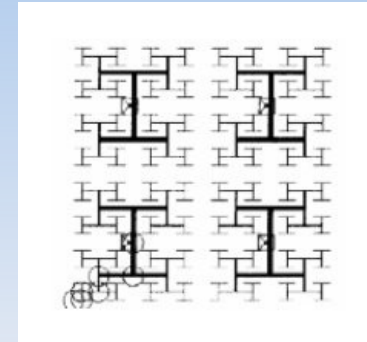
Techniki rozprowadzania zegara

- Drzewo
 - podstawa, często stosowane
 - np. IBM S/390
- Siatka
 - zajmuje więcej miejsca
 - np. DEC Alpha
- Serpentynty
 - dopasowane długości ścieżek
 - np. Intel P6

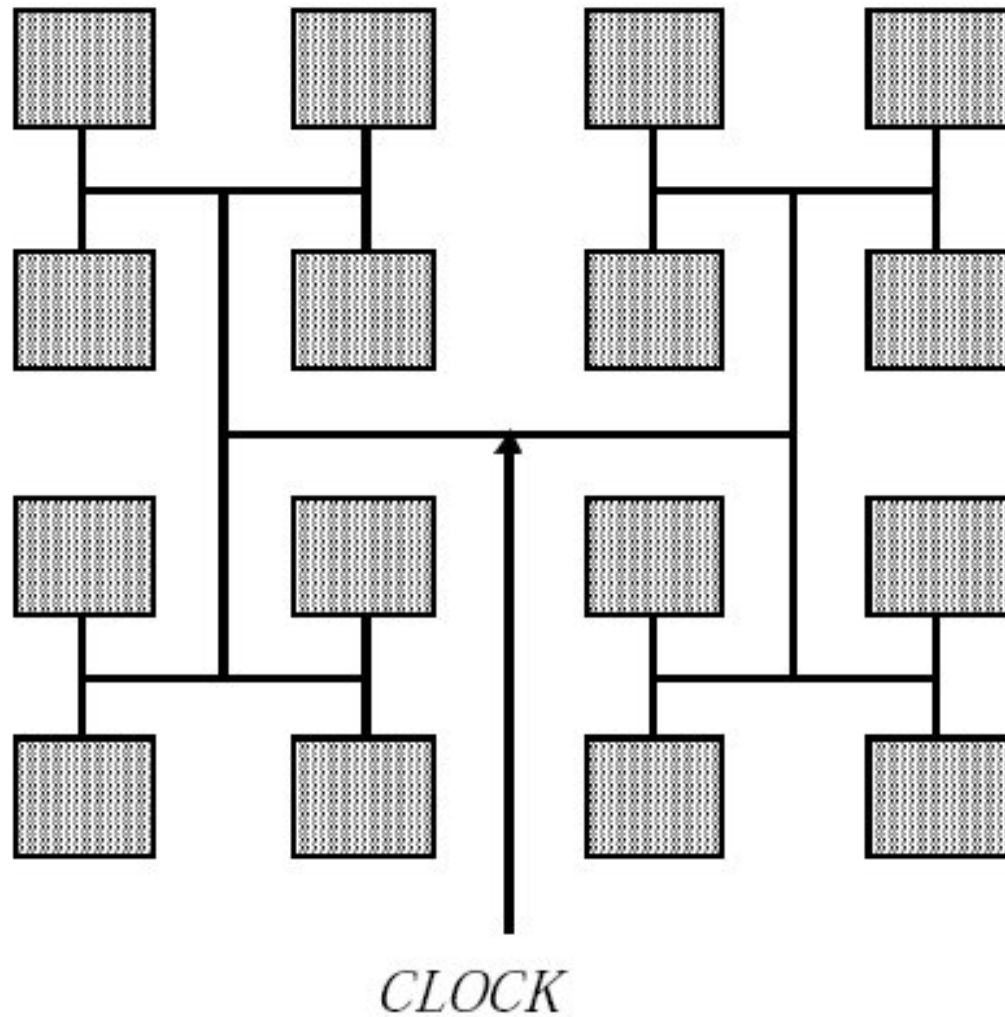


Techniki rozprowadzania zegara

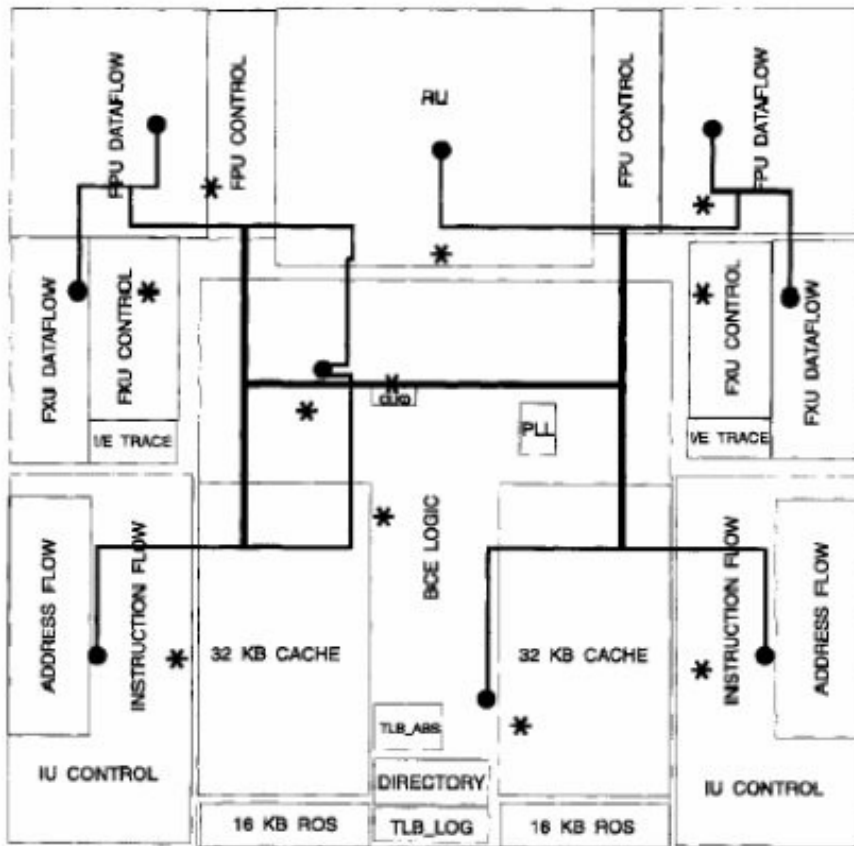
- Drzewo
 - podstawa, często stosowane
 - np. IBM S/390
- Siatka
 - zajmuje więcej miejsca
 - np. DEC Alpha
- Serpentyny
 - dopasowane długości ścieżek
 - np. Intel P6



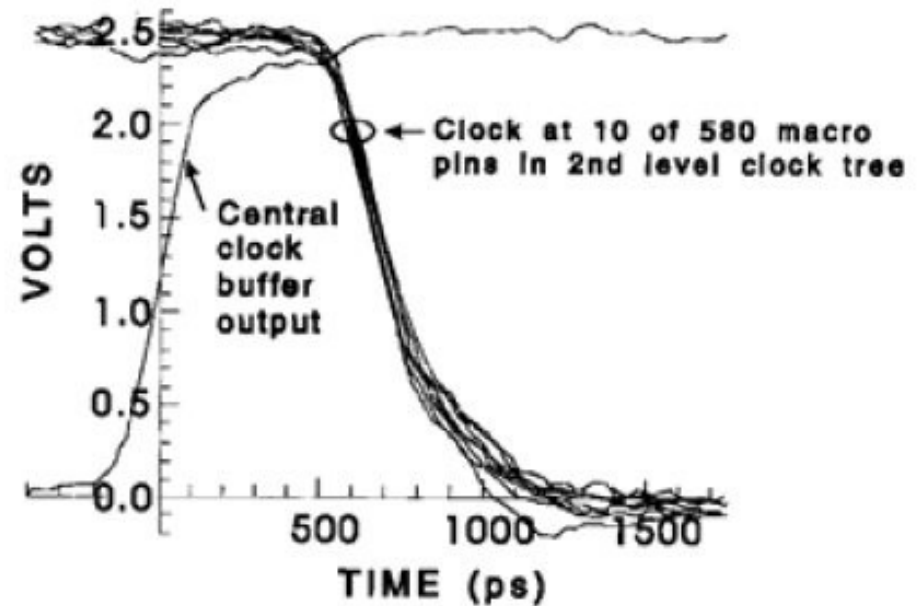
Drzewo zegara ogólnie



Przykład IBM S/390

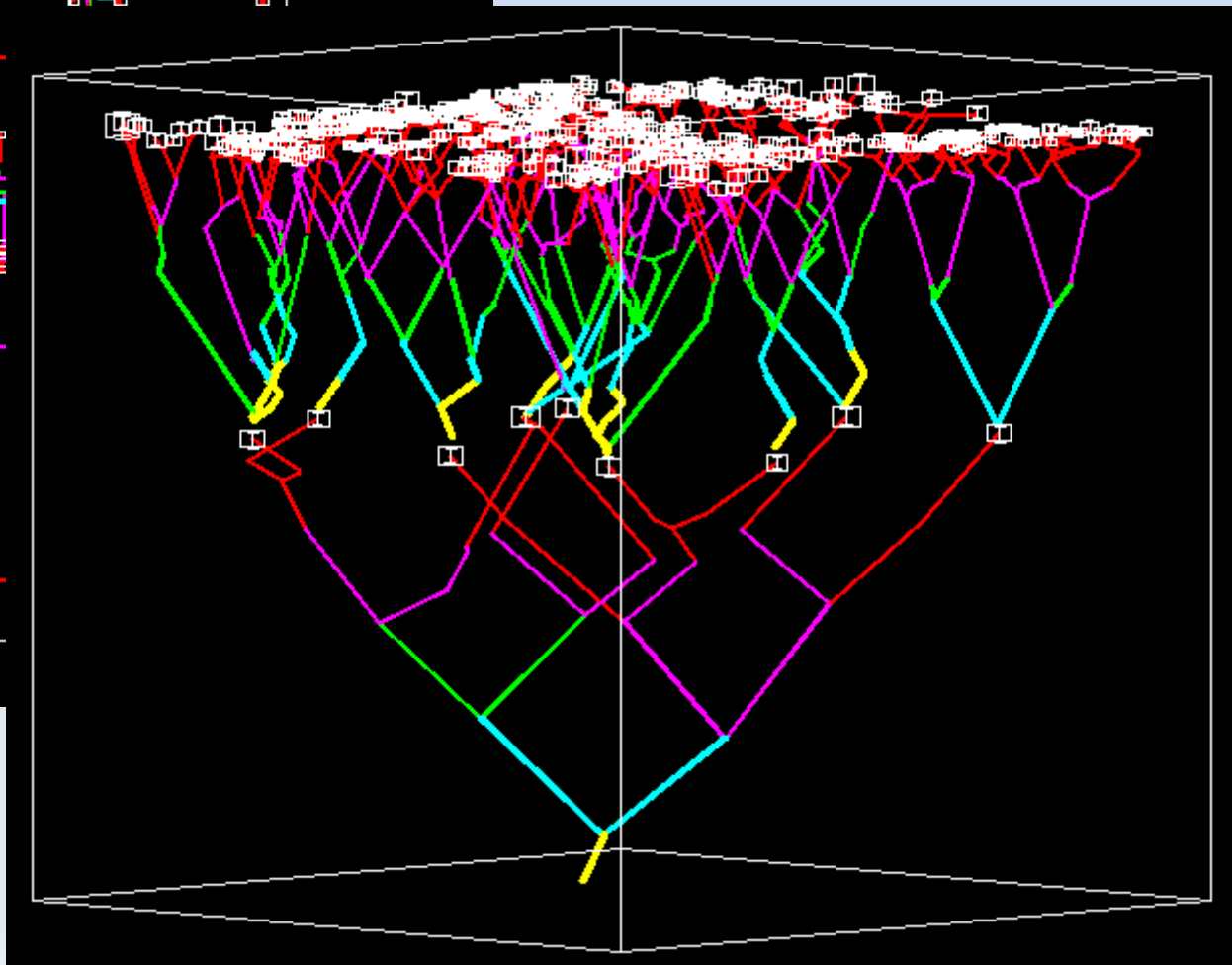
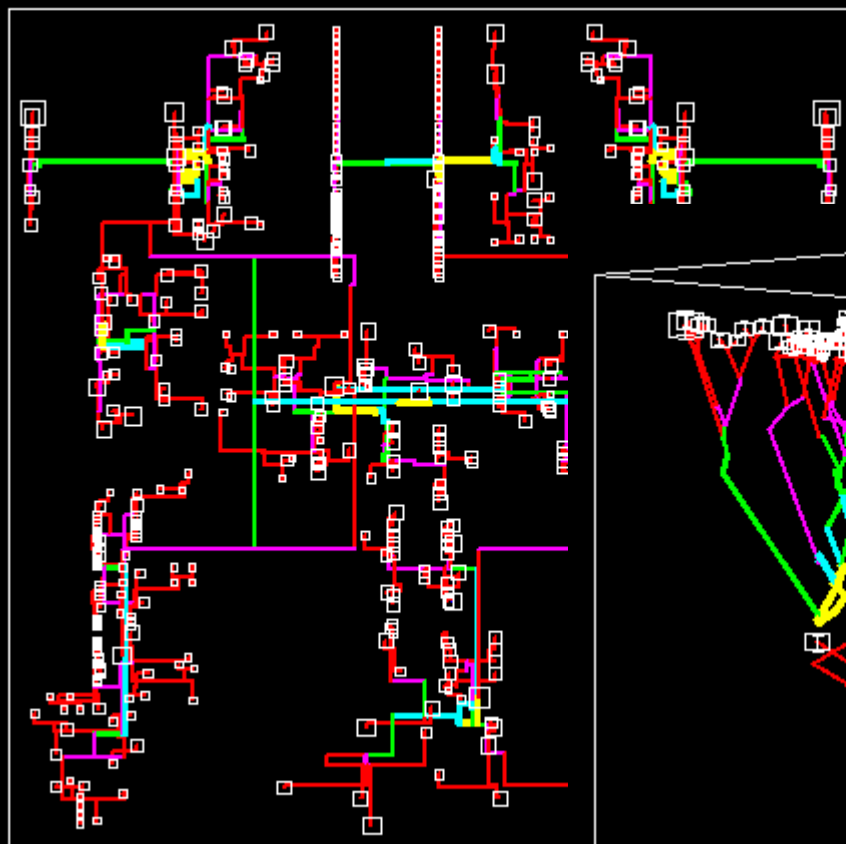


- Clock Sector Buffer
- * Clock Waveform Measurement Point



- geometrycznie to drzewo zegara jest mało symetryczne
- jednak czasowo jest dobrze zbalansowane

Opóźnienia w drzewie zegara



Post CTS STA

Post CTS – Raport zbiorczy

setup timing

Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-7.412	-0.953	4.630	-7.412	3.700	6.017
TNS (ns):	-45.606	-17.999	0.000	-27.607	0.000	0.000
Violating Paths:	43	38	0	5	0	0
All Paths:	4878	4729	97	139	1	5

hold timing

Hold mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-0.039	-0.039	2.793	0.894	6.922	0.284
TNS (ns):	-0.582	-0.582	0.000	0.000	0.000	0.000
Violating Paths:	29	29	0	0	0	0
All Paths:	4878	4729	97	139	1	5

PostCTS setup

Path: 15
 Type: Setup Check, reg->reg, 26 segments
 Start: CD_inp_cnt_pipe_derareg/FC_TRIPLE/FAST_COMMAND_DECODER1/SoftReset_reg/Q
 (clocked by ideal_BC leading, latency: 6.438000)
 End: dcl_roc_roltop/rol_roc/roc/psc_reg_reg_1/_D
 (clocked by ideal_Clk leading, latency: 6.387000)
 Skew: -0.051000
 Slack: -0.771000 (req. time: 17.964001, arr. time: 18.735001)

Slack Calculation



Data Path | Launch Clock | Capture Clock | Path SDC

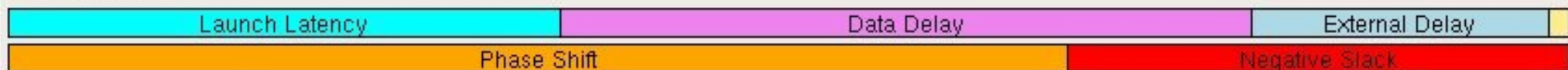
Data Delay

Name	Arc	Cell	Delay	Sum	Load	Slew
CD_inp_cnt_pipe_derareg/FC_TRIPLE/FAST	CK->Q	E_dff_SR_SC	1.326	1.326		0.421
CD_inp_cnt_pipe_derareg/FC_TRIPLE/n9			0.002	1.328	0.096	0.421
CD_inp_cnt_pipe_derareg/FC_TRIPLE/FAST	A->Y	E_Inv1	0.396	1.724		0.493

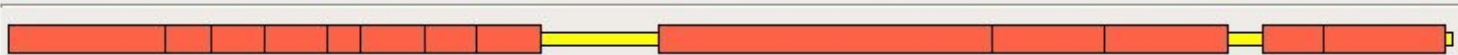
Slack Calculation



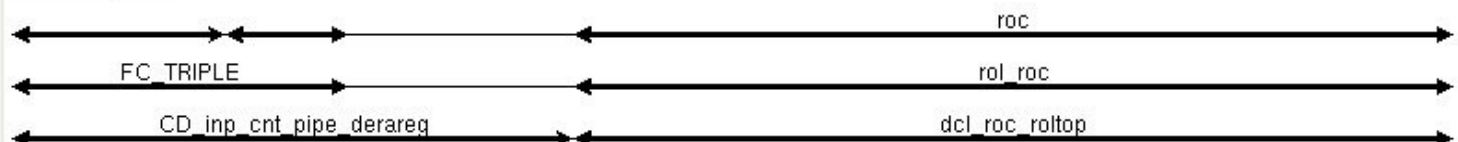
Slack Calculation



CD_inp_cnt_pipe_derareg/n7			0.001	3.552	0.083	1.319
CD_inp_cnt_pipe_derareg/U20	A->Y	E_Inv4	0.425	3.977		0.690
CD_inp_cnt_pipe_derareg/HSReset			0.009	3.986	0.226	0.690



Hierarchy View



PostCTS hold

Timing Path Analyzer

Path: 1

Type: Hold Check, reg->reg, 4 segments

Start: CD_inp_cnt_pipe_derareg/DERA/dpm_checker1/initial_word_reg_82/Q
(clocked by ideal_BC leading, latency: 0.605000)

End: CD_inp_cnt_pipe_derareg/DERA/dual_port_ram1/derandomizer_ram1/Din[82]
(clocked by ideal_BC leading, latency: 0.657000)

Skew: 0.052000

Slack: -0.039000 (req. time: 0.781000, arr. time: 0.742000)

Slack Calculation

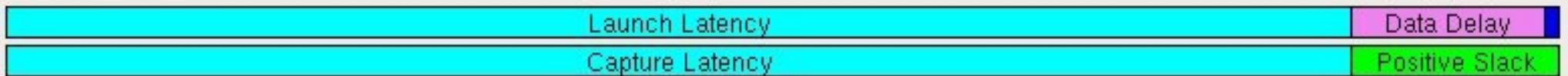
Data Path | Launch Clock | Capture Clock | Path SDC

Data Delay

Name	Arc	Cell	Delay	Sum	Load	Slew
CD_inp_cnt_pipe_derareg/DERA/dpm_checker1/initial_word_reg_82/Q	CK->Q	E_dff	0.090	0.090		0.070
CD_inp_cnt_pipe_derareg/DERA/dpm_checker1/initial_word_reg_82/Q			0.002	0.092	0.111	0.070
CD_inp_cnt_pipe_derareg/DERA/dpm_checker1/initial_word_reg_82/Q	A1->Y	E_AO22	0.045	0.137		0.033
CD_inp_cnt_pipe_derareg/DERA/write_data_0			0.001	0.138	0.036	0.033

Hierarchy View

Slack Calculation



Post CTS – setup

setup przed optymalizacją

Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-7.412	-0.953	4.630	-7.412	3.700	6.017
TNS (ns):	-45.606	-17.999	0.000	-27.607	0.000	0.000
Violating Paths:	43	38	0	5	0	0
All Paths:	4878	4729	97	139	1	5

po optymalizacji

Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-6.170	0.305	4.631	-6.170	3.698	6.018
TNS (ns):	-21.715	0.000	0.000	-21.715	0.000	0.000
Violating Paths:	5	0	0	5	0	0
All Paths:	4878	4729	97	139	1	5

Post CTS – Raport zbiorczy

hold przed optymalizacją

Hold mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-0.039	-0.039	2.793	0.894	6.922	0.284
TNS (ns):	-0.582	-0.582	0.000	0.000	0.000	0.000
Violating Paths:	29	29	0	0	0	0
All Paths:	4878	4729	97	139	1	5

po optymalizacji

Hold mode	all	reg2reg	in2reg	reg2out	in2out	clkgate
WNS (ns):	-0.010	-0.010	2.795	0.895	6.953	0.285
TNS (ns):	-0.045	-0.045	0.000	0.000	0.000	0.000
Violating Paths:	8	8	0	0	0	0
All Paths:	4878	4729	97	139	1	5

Routing

Routing

- Wstawić cele wypełniające, które mogą zawierać pojemności odsprzęgające
- Zrobić routing
- Sprawdzić timing
- Usunąć cele wypełniające
- Zrobić optymalizację postRoute
- Wstawić cele wypełniające
- Zrobić finalną analizę czasową
- Sprawdzić DRC

Routing opcja

- Zrobić ekstrakcję pojemności i rezystancji używając Fire&Ice – znacznie dokładniejsza
- Prowadzić optymalizację z użyciem tej ekstrakcji
- Na końcu finalną analizę czasową puścić jako Sign-Off

Wyjście

- Nowy plik verilogowski
- GDS/DEF
- SDF – standard delay file
- wireload model

Załadować do Cadence
i podłączyć do reszty projektu