



**AGH**

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Wydział Fizyki i Informatyki Stosowanej

---

---

## PRACA MAGISTERSKA

**Szymon Bugiel**

kierunek studiów: fizyka techniczna

### **Projekt monolitycznego detektora pikselowego w submikronowej technologii SOI**

PROMOTOR:

prof. dr hab. inż. Marek Idzik

Krakow 2014



**Oświadczenie autora rozprawy:**

Oświadczam, świadomy(-a) odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracę dyplomową wykonałem(-am) osobiście i samodzielnie i że nie korzystałem(-am) ze źródeł innych niż wymienione w pracy.

data, podpis autora



---

prof. dr hab. inż. Marek Idzik  
Wydział Fizyki i Informatyki Stosowanej AGH  
Katedra Oddziaływań i Detekcji Cząstek

**Merytoryczna ocena pracy przez opiekuna:**

opinia promotora ...

Końcowa ocena pracy przez opiekuna: .....

.....

(data)

.....

(podpis opiekuna)

Skala ocen: 5.0 - bardzo dobra, 4.5 - plus dobra, 4.0 - dobra, 3.5 - plus dostateczna, 3.0 - dostateczna, 2.0 - niedostateczna



---

dr Piotr Kapusta  
Instytut Fizyki Jądrowej PAN  
Oddział Fizyki i Astrofizyki Cząstek

**Merytoryczna ocena pracy przez recenzenta:**

opinia recenzenta ...

Końcowa ocena pracy przez recenzenta: .....

.....

(data)

.....

(podpis recenzenta)

Skala ocen: 5.0 - bardzo dobra, 4.5 - plus dobra, 4.0 - dobra, 3.5 - plus dostateczna, 3.0 - dostateczna, 2.0 - niedostateczna





---

Kraków, 18 czerwca 2014

**Tematyka pracy magisterskiej i praktyki dyplomowej Szymona Bugiela,  
studenta II roku studiów magisterskich kierunku fizyka techniczna**

Temat pracy magisterskiej: **Projekt monolitycznego detektora pikselowego w sub-mikronowej technologii SOI**

Opiekun pracy: prof. dr hab. inż. Marek Idzik

Recenzent pracy: dr Piotr Kapusta

Miejsce praktyki dyplomowej: WFİIS AGH, Kraków

**Program pracy magisterskiej i praktyki dyplomowej**

1. Omówienie tematyki pracy magisterskiej z opiekunem.
2. Studia literatury związanej z tematyką pracy.
3. Praktyka dyplomowa:
  - zapoznanie się z techniką projektowania elektroniki odczytu do detektorów
  - projektowanie elektroniki odczytu
  - symulacje zaprojektowanego układu
  - sporządzenie sprawozdania z praktyki
4. Kontynuacja prac związanych z projektowaniem i symulacjami układu.
5. Stworzenie projektów masek produkcyjnych zaprojektowanego układu.
6. Końcowe symulacje funkcjonalności układu.
7. Analiza wyników symulacji oraz omówienie ich z opiekunem.
8. Wysłanie układu do produkcji.
9. Opracowanie redakcyjne pracy.

Termin oddania w dziekanacie: ... czerwca 2014 r.

.....  
(podpis kierownika katedry)

.....  
(podpis opiekuna)



# Spis treści

Merytoryczna ocena pracy przez opiekuna	v
Merytoryczna ocena pracy przez recenzenta	vii
Tematyka praktyk dyplomowych	ix
Spis treści	x
Skróty	xiii
Stałe fizyczne	xv
Symbole	xv
Wprowadzenie	1
<b>1</b> <b>Pikselowe detektory promieniowania jonizującego</b>	<b>3</b>
1.1 Detektor DEPFET (DEpleted P-channel Field Effect Transistor) . . . . .	4
1.2 Monolithic Active Pixel Sensor (MAPS) . . . . .	5
1.3 Detektory hybrydowe . . . . .	7
1.4 Detektory 3D . . . . .	8
1.5 Detektory SOI (Silicon-On-Insulator) . . . . .	10
<b>2</b> <b>Technologia Silicon-On-Insulator</b>	<b>11</b>
2.1 Zastosowania technologii SOI . . . . .	12
2.2 Zalety technologii SOI . . . . .	13
2.3 Częściowo oraz w pełni zubożone SOI . . . . .	16
2.4 Struktura SOI jako detektor promieniowania jonizującego . . . . .	17
<b>3</b> <b>Architektury elektroniki odczytu dla detektorów pikselowych</b>	<b>21</b>
3.1 Odczyt pasywny . . . . .	23
3.2 Odczyt aktywny . . . . .	25
3.3 Odczyt hybrydowy . . . . .	27
3.4 Przedwzmacniacz ładunkoczuły . . . . .	28
3.5 Piksel zliczający . . . . .	30
<b>4</b> <b>Projekt detektora pikselowego w technologii SOI 200 nm</b>	<b>31</b>
4.1 Projekt sensora promieniowania . . . . .	34
4.2 Architektura elektroniki odczytu . . . . .	38

---

4.3	Projekt elektroniki odczytu piksela . . . . .	39
4.3.1	Correlated Double Sampling (CDS) . . . . .	42
4.3.2	Architektura przedwzmacniacza . . . . .	44
4.3.3	Efekty wstrzykiwania ładunku w układach na przełączanych pojemnościach . . . . .	48
4.4	Wzmacniacz kolumnowy . . . . .	51
4.5	Układy polaryzujące . . . . .	54
4.6	Projekt masek produkcyjnych . . . . .	55
<b>5</b>	<b>Wyniki symulacji oraz parametry zaprojektowanego układu</b>	<b>59</b>
5.1	Przedwzmacniacz ładunkoczuły . . . . .	59
5.1.1	Przedwzmacniacz kaskodowy . . . . .	61
5.1.2	Analiza szumowa . . . . .	61
5.2	Wzmacniacz kolumnowy . . . . .	63
5.2.1	Wzmacniacz różnicowy . . . . .	65
	<b>Podsumowanie</b>	<b>69</b>
	<b>Spis rysunków</b>	<b>71</b>
	<b>Spis tabel</b>	<b>73</b>
	<b>Bibliografia</b>	<b>75</b>

# Skróty

<b>ADC</b>	<b>A</b> nalog-to- <b>D</b> igital <b>C</b> onverter
<b>APS</b>	<b>A</b> ctive <b>P</b> ixel <b>S</b> ensor
<b>BNW</b>	<b>B</b> uried <b>N</b> <b>W</b> ell
<b>BPW</b>	<b>B</b> uried <b>P</b> <b>W</b> ell
<b>CDS</b>	<b>C</b> orrelated <b>D</b> ouble <b>S</b> ampling
<b>CMFB</b>	<b>C</b> ommon <b>M</b> ode <b>F</b> eed <b>B</b> ack
<b>CMOS</b>	<b>C</b> omplementary <b>M</b> etal- <b>O</b> xide- <b>S</b> emiconductor
<b>DEPFET</b>	<b>D</b> Epleted <b>P</b> -channel <b>F</b> ield- <b>E</b> ffect <b>T</b> ransistor
<b>FET</b>	<b>F</b> ield- <b>E</b> ffect <b>T</b> ransistor
<b>FD-SOI</b>	<b>F</b> ully- <b>D</b> epleted <b>S</b> ilicon- <b>O</b> n- <b>I</b> nsulator
<b>FC</b>	<b>F</b> olded <b>C</b> ascode
<b>LHC</b>	<b>L</b> arge <b>H</b> adron <b>C</b> ollider
<b>MAPS</b>	<b>M</b> onolithic <b>A</b> ctive <b>P</b> ixel <b>S</b> ensor
<b>MOSFET</b>	<b>M</b> etal- <b>O</b> xide- <b>S</b> emiconductor <b>F</b> ield- <b>E</b> ffect <b>T</b> ransistor
<b>PD-SOI</b>	<b>P</b> artially- <b>D</b> epleted <b>S</b> ilicon- <b>O</b> n- <b>I</b> nsulator
<b>PPS</b>	<b>P</b> assive <b>P</b> ixel <b>S</b> ensor
<b>RFC</b>	<b>R</b> ecycling <b>F</b> olded <b>C</b> ascode
<b>SEE</b>	<b>S</b> ingle <b>E</b> vent <b>E</b> rror
<b>SIMOX</b>	<b>S</b> eparation by <b>I</b> Mplantation of <b>O</b> Xygen
<b>SOI</b>	<b>S</b> ilicon- <b>O</b> n- <b>I</b> nsulator
<b>TID</b>	<b>T</b> otal <b>I</b> onizing <b>D</b> ose



## Stale fizyczne

Elementarny ładunek elektryczny	$e^-$	$=$	$1,602\,176\,565 \times 10^{-19} C$
Stała Boltzmanna	$k_B$	$=$	$1.380\,6488 \times 10^{-23} \frac{m^2 kg}{s^2 K}$
Przenikalność elektryczna próżni	$\epsilon_0$	$=$	$8,854\,187 \dots \times 10^{-12} \frac{F}{m}$
Przenikalność magnetyczna próżni	$\mu_0$	$=$	$12,566\,370 \dots \times 10^{-7} \frac{H}{m}$
Względna przenikalność elektryczna krzemu	$\epsilon_{Si}$	$=$	11.68
Względna przenikalność elektryczna dwutlenku krzemu	$\epsilon_{SiO_2}$	$=$	3.7

## Symbole

$C_{OX}$	pojemność bramki na jednostkę powierzchni	$\frac{F}{m^2}$
$GBW$	pole wzmocnienia	Hz
$K_V$	wzmocnienie napięciowe	$\frac{V}{V}$
$L$	długość bramki	m
$P$	moc	W
$PM$	marginies fazy	deg
$T$	temperatura	K
$W$	szerokość bramki	m
$V_{CM}$	napięcie wspólbieżne	V
$V_{DD}$	górne napięcie zasilania	V
$V_{GS}$	napięcie bramka-źródło	V
$V_{SS}$	dolne napięcie zasilania	V
$V_{th}$	napięcie progowe	V
$g_m$	transkonduktancja	$\frac{A}{V}$

$k_Q$	wzmocnienie ładunkowe	$\frac{V}{C}$
$r_{ds}$	mało-sygnałowa rezystancja kanału	$\frac{V}{A}$
$\tau_R$	czas narastania	s



# *Wprowadzenie*

Technologia SOI jest współcześnie jedną z najbardziej zaawansowanych technologii CMOS. Jej cechą szczególną jest implementacja warstwy izolatora pomiędzy podłożem a warstwą epitaksjalną krzemu. Takie rozwiązanie daje szereg korzyści w stosunku do standardowych rozwiązań CMOS. Jedną z nich jest zminimalizowanie dużej części pojemności pasożytniczych, co pozwala na szybszą pracę układów scalonych. Odgraniczenie elektroniki od podłoża, w znacznym stopniu redukuje również prądy upływu, co z kolei wpływa korzystnie na pobieraną przez układ moc. W kontekście niniejszej pracy, najistotniejsza jest jednak możliwość użycia technologii SOI w projektowaniu monolitycznych detektorów pikselowych. SOI otwiera perspektywę implementacji sensora i elektroniki Front-End na jednym wafle krzemowym. Takie rozwiązanie jest dużą konkurencją dla powszechnych dziś pikselowych detektorów hybrydowych, gdyż zdecydowanie obniża koszty produkcji przy równoczesnym uproszczeniu samego procesu produkcyjnego takich struktur.

Głównym celem pracy jest zaprojektowanie w pełni funkcjonalnego, monolitycznego, pikselowego detektora krzemowego wykonanego w technologii SOI. Obejmuje ona zarówno projekt sensora promieniowania, jak i dedykowanej do niego nisko-szumowej elektroniki odczytu. Podstawowym zamysłem w pracy jest wykorzystanie najnowszych rozwiązań technologicznych oraz ocena ich użyteczności. Tym samym, motywację do wykonania przedstawionej pracy, stanowi chęć poszerzenia obecnego stanu wiedzy, w kwestii możliwości, jakie oferuje wykorzystanie technologii SOI do produkcji monolitycznych detektorów krzemowych.

W pierwszym rozdziale niniejszej pracy przedstawione są przykładowe techniki produkcji detektorów pikselowych, wraz z ich najistotniejszymi zaletami oraz wadami. Następnie szerzej omówiona jest technologia SOI, wykorzystana podczas realizacji pracy. W rozdziale 3 omówione zostały podstawowe architektury elektroniki odczytu dedykowane do detektorów pikselowych. Rozdział 4 zawiera szczegółowy opis detektora zaprojektowanego w ramach realizowanej pracy magisterskiej, a w rozdziale 5 zaprezentowane zostały jego końcowe parametry oraz wyniki symulacji weryfikujących jego funkcjonalność.



# Rozdział 1

## Pikselowe detektory promieniowania jonizującego

Większość krzemowych sensorów promieniowania jonizującego stanowi spolaryzowana za-  
porowo dioda. Należy jednak zaznaczyć, że efektywna detekcja promieniowania jonizujące-  
go odbywać się może jedynie w obszarze zubożonym złącza diodowego, co narzuca pewne  
wymogi na właściwości wafla krzemowego mającego służyć jako sensor. Najważniejszym z  
nich jest bardzo mała koncentracja domieszek, zapewniająca możliwość zubożenia sensora  
w całej jego objętości przy relatywnie niskim napięciu polaryzującym, jak i minimalizująca  
prądy upływu poprzez maksymalizację rezystywności.

Podczas przejścia promieniowania jonizującego przez sensor krzemowy generowane są pary  
elektron-dziura, których prawdopodobieństwo rekombinacji, z uwagi na brak nośników  
swobodnych w obszarze zubożonym, jest znikome. Powstałe w ten sposób elektrony oraz  
dziury pod wpływem pola elektrycznego dryfują do odpowiednich elektrod zbiorczych.  
Powoduje to wygenerowanie na elektrodach impulsu elektrycznego, którego kształt opisany  
jest twierdzeniem Ramo-Schockley'a [1].

W przypadku detekcji promieniowania  $X$  mechanizm działania detektora jest podobny,  
jednakże cała energia padającego promieniowania deponowana jest w sensorze jednorazo-  
wo. Dzięki jednorazowej depozycji całej energii padającego promieniowania oraz z uwagi  
na fakt, że do generacji pojedynczej pary elektron-dziura w krzemie potrzeba średnio  
3.64 eV [2], liczba wygenerowanych nośników jest proporcjonalna do energii padającego

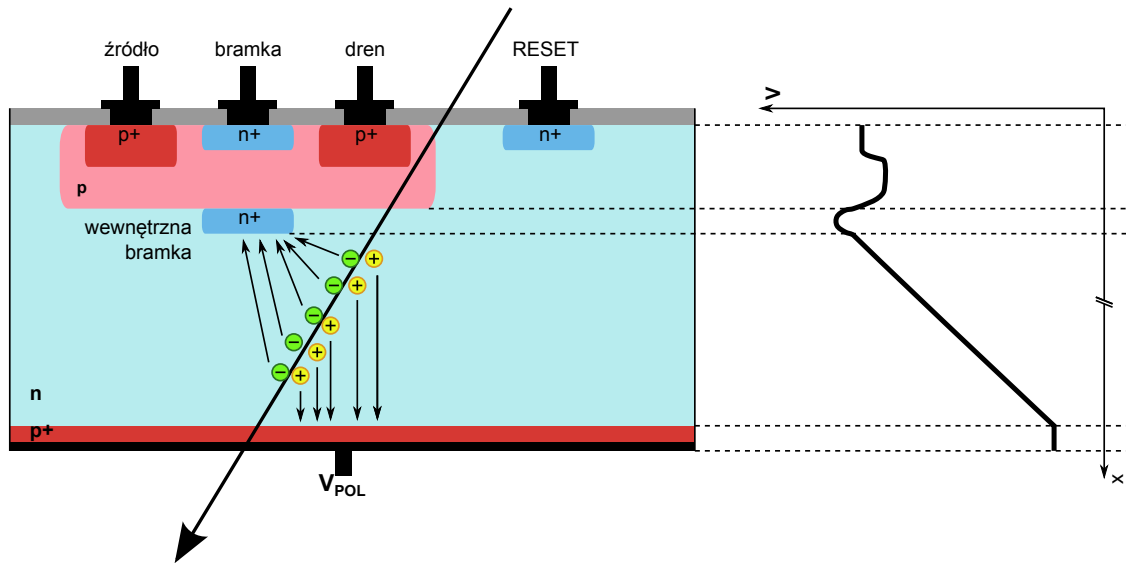
promieniowania. Pozwala to tym samym, na wykorzystanie detektorów krzemowych do spektrometrii.

Pozycjoczulość detektora uzyskiwana jest dzięki segmentacji jednej (czasem obu) z jego elektrod. W przypadku podziału na szereg rozseparowanych, równoległych pasków otrzymujemy paskowy detektor krzemowy (ang. *silicon strip detector*) dający możliwość pomiaru pozycji w jednym wymiarze. Dzieląc elektrodę na matrycę kwadratowych bądź prostokątnych pikseli otrzymujemy detektor pikselowy pozwalający na równoczesny pomiar pozycji w dwóch wymiarach.

Jednym z największych wyzwań podczas produkcji detektorów pikselowych, jest kwadrato-wo rosnąca z powierzchnią, liczba kanałów elektroniki odczytu. W przypadku paskowych detektorów pozycjoczulych liczba kanałów jest liniowo związana z wielkością sensora i możliwe jest wyprowadzenie wszystkich pól kontaktowych na krawędź struktury. Pozwala to na połączenie sensora z elektroniką odczytu, przy wykorzystaniu standardowej techniki połączeń mikroprzewodowych (ang. *wire-bonding*). W przypadku detektorów pikselowych liczba kanałów jest na tyle duża, że rozwiązanie takie nie jest możliwe i stosowane muszą być inne metody. Obecnie istnieją dwie główne techniki pozwalające wyjść naprzeciw temu problemowi. Pierwszym rozwiązaniem jest połączenie matryc pikselowych z kanałami elektroniki odczytu za pomocą tak zwanego *bump-bondingu*. Struktury te noszą nazwę detektorów hybrydowych. Drugim rozwiązaniem tego problemu, są próby implementacji elektroniki odczytu na tych samych waflach krzemowych, które stanowią sensor promieniowania jonizującego. Detektory tego typu przyjęto nazywać detektorami monolitycznymi.

## 1.1 Detektor DEPFET (DEpleted P-channel Field Effect Transistor)

Detektor typu DEPFET jest rodzajem tranzystora typu FET (Field Effect Transistor) wykonanego na w pełni zubożonym podłożu [2]. Taka konstrukcja pozwala pełnić jednocześnie funkcje sensora, wzmacniacza jak i elementu pamięci. Rysunek 1.1 przedstawia strukturę oraz obrazuje zasadę działania detektora pikselowego typu DEPFET. Cząstka jonizująca przechodząc przez w pełni zubożony sensor generuje pary elektron-dziura, które to następnie, pod wpływem zewnętrznego pola elektrycznego, ściągane są do odpowiednich elektrod.

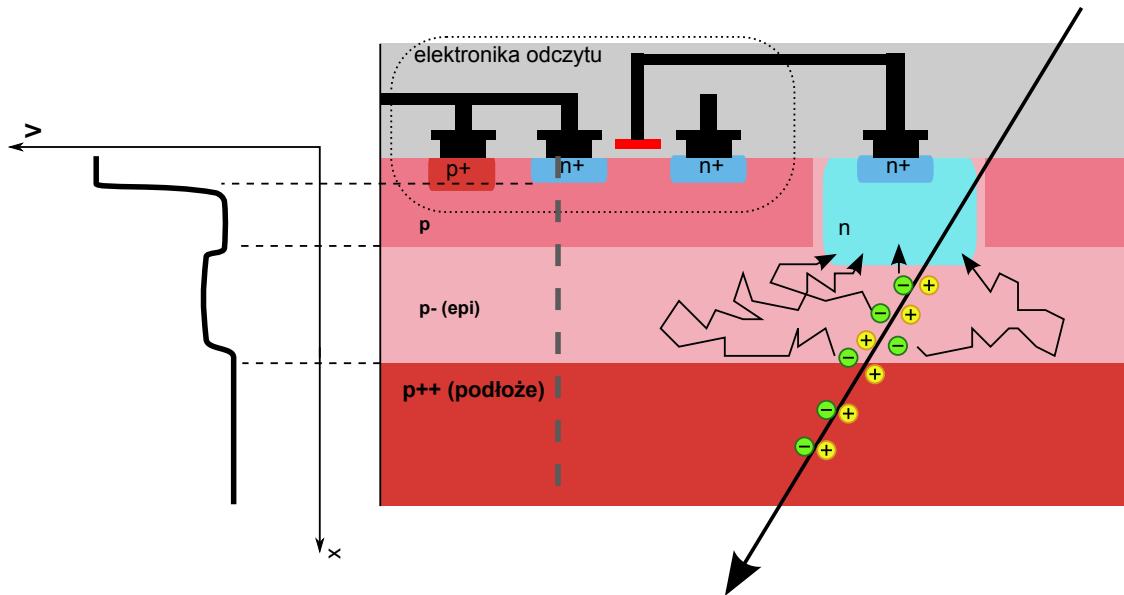


RYSUNEK 1.1: Zasada działania detektora typu DEPFET oraz rozkład potencjału elektrycznego.

W szczególności elektrony (w przypadku detektora wykonanego w podłożu typu  $n$ ) ściągane są w obszar minimalnego potencjału znajdujący się w tak zwanej wewnętrznej bramce. Nagromadzenie się elektronów w wewnętrznej bramce skutkuje zwiększeniem przewodności kanału tranzystora FET, co przekłada się na sygnał elektroniczny wprost proporcjonalny do ilości ładunku zebranego przez detektor. Ładunki zgromadzone w wewnętrznej bramce pozostają tam do czasu kasowania realizowanego poprzez przyłożenie dodatniego potencjału do elektrody resetującej. Głównymi zaletami tego typu konstrukcji są bardzo mała pojemność wejściowa ( $\sim$  kilka fF) oraz wzmocnienie zapewnione w stopniu wejściowym, co czyni ją bardzo atrakcyjną w kontekście zastosowań nisko-szumowych.

## 1.2 Monolithic Active Pixel Sensor (MAPS)

Monolityczny aktywny detektor pikselowy (ang. Monolithic Active Pixel Sensor (MAPS)) pozwala na realizację sensora promieniowania jonizującego i elektroniki odczytu w obrębie tego samego wafla krzemowego [3]. Na rysunku 1.2 przedstawiona została struktura tego typu detektora. Sensor promieniowania takiego detektora, nie jest wykonany w podłożu z wysoko-rezystywnego krzemu, dlatego też warstwa zubożona występuje jedynie na granicy pomiędzy warstwą epitaksjalną a studnią elektrody zbiorczej. Takie rozwiązanie powoduje, że tylko niewielka część ładunku zostaje wygenerowana w warstwie zubożonej i jest w pełni zbierana. Ładunki wytworzone w podłożu rekombinują i nie dają wkładu do sygnału.



RYSUNEK 1.2: Struktura monolitycznego aktywnego detektora pikselowego oraz rozkład poprzeczny potencjału wzdłuż przerywanej linii.

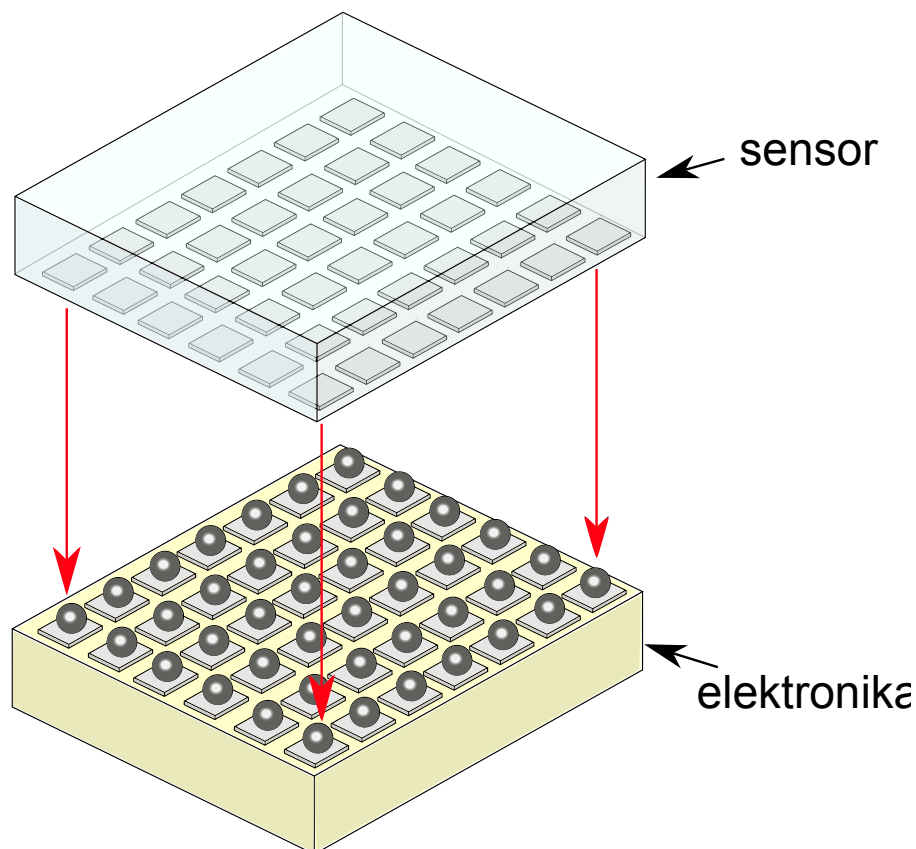
Główną część sygnału stanowią ładunki wygenerowane w lekko domieszkowanej warstwie epitaksjalnej, które zostają w niej uwięzione, poprzez barierę potencjału znajdującą się na obydwu jej krańcach. Dzięki ruchom termicznym ładunki te docierają następnie do elektrody zbiorczej. Rozwiązanie takie niesie za sobą szereg obostrzeń, jak na przykład długie czasy zbierania ładunku będące konsekwencją dyfuzyjnego zbierania ładunku, czy niski poziom sygnału ( $< 1000 e^-$ ) spowodowany zbieraniem ładunku jedynie z cienkiej ( $\sim 15 \mu\text{m}$ ) warstwy epitaksjalnej [3].

Należy także zaznaczyć, że taka konstrukcja detektora pozwala na użycie jedynie tranzystorów jednego typu (pMOS bądź nMOS w zależności od rodzaju podłoża) wchodzących w skład elektroniki odczytu. Ograniczenie to może być wyeliminowane jeżeli technologicznie dostępny jest proces tworzenia potrójnych studni (ang. *triple-well process*). W detektorach MAPS wykonanych w podłożu typu *p*, w standardowym procesie CMOS niewskazane jest użycie tranzystorów pMOS z uwagi na fakt, że część wygenerowanego ładunku może być zebrana przez studnię typu *n* stanowiącą podstawę tranzystora pMOS, a nie przez elektrodę zbiorczą, co może prowadzić do znacznego spadku wydajności. Mając możliwość tworzenia potrójnych studni, elektrodę zbiorczą można wykonać w postaci głębokiej studni typu *n*, obejmującej większość powierzchni piksela. Wówczas implantacja standardowej studni typu *n* (pod strukturę pMOS'a) nie prowadzi do znaczącej degradacji ilości zbieranego ładunku.

### 1.3 Detektory hybrydowe

Jak zostało wspomniane, hybrydowe detektory pikselowe składają się z dwóch osobnych wafli krzemowych, połączonych ze sobą przy wykorzystaniu techniki *bump-bonding*'u (rysunek 1.3). Pozwala to na oddzielną fabrykację wysoko-rezystywnego sensora oraz elektroniki odczytu i następnie połączenie ich. Główną wadą wykorzystania tego typu konstrukcji jako detektorów pozycjoczułych jest stosunkowo duża ilość materiału wchodząca w skład detektora. Zwiększa to bowiem prawdopodobieństwo rozproszenia kulombowskiego przelatującej cząstki, co prowadzi do zmiany trajektorii jej lotu. Dodatkowo rozmiary kulek używanych do połączenia są rzędu kilkudziesięciu mikrometrów, co w oczywisty sposób wprowadza ograniczenia na minimalizację rozmiaru piksela. Z tego powodu odległości pomiędzy pikselami (ang. *pitch*) wynoszą nie mniej niż  $50 \mu\text{m}$ .

Pomimo wymienionych wad oraz wysokich kosztów produkcji detektory tego typu stanowią większość obecnie wykorzystywanych w fizyce wysokich energii pozycjoczułych detektorów pikselowych. Stało się tak głównie z uwagi na możliwość implementowania pełnej elektroniki CMOS w układzie odczytu, oraz wysoką odporność radiacyjną.

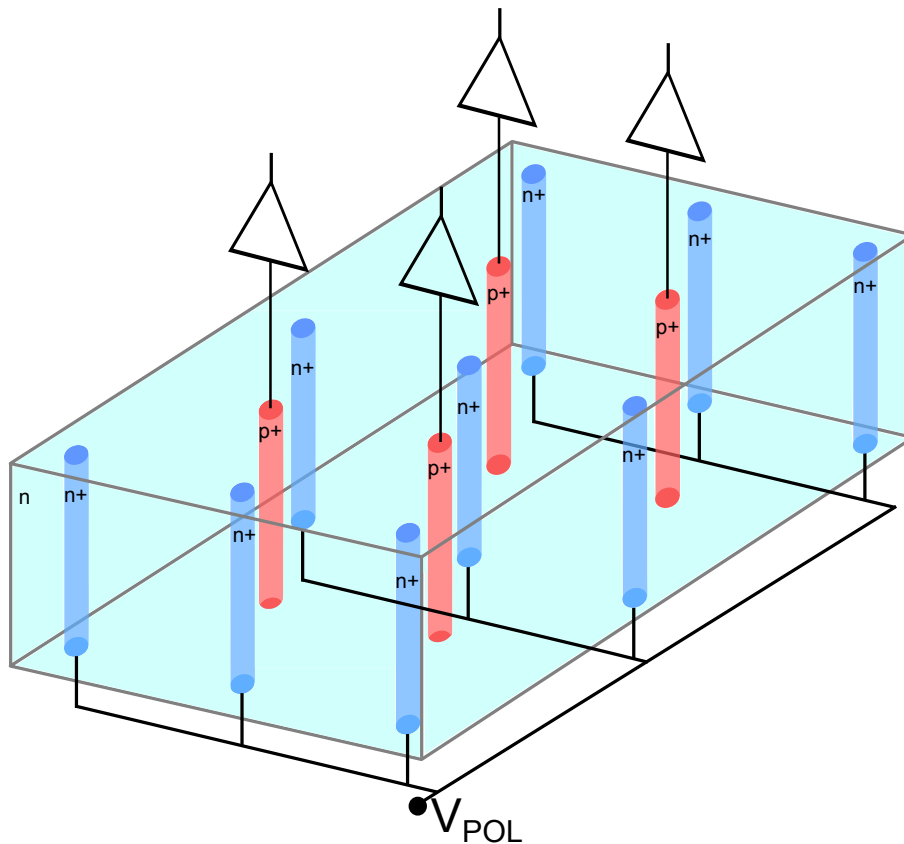


RYSUNEK 1.3: Wykorzystanie *bump-bondingu* w detektorach hybrydowych.

## 1.4 Detektory 3D

Pomimo, że odporność radiacyjna detektorów hybrydowych jest wystarczająca na potrzeby obecnych eksperymentów fizyki wysokich energii, to planowana na 2020 rok modernizacja LHC (Large Hadron Collider) mająca na celu dziesięciokrotne zwiększenie świetlności do poziomu  $10^{35} \text{ cm}^{-2}\text{s}^{-1}$ , może przekroczyć możliwości detektorów wierzchołka, znajdujących się najbliższej punktu interakcji. Z tego powodu proponowane są nowe rozwiązania. Jednym z nich są tak zwane detektory trójwymiarowe (3D).

Na rysunku 1.4 przedstawiona została struktura detektora 3D. Swoją nazwę zawdzięcza on elektrodom, które wykonane są w postaci walców przechodzących przez całą grubość sensora. Produkcja tego typu struktury [4] wymaga w pierwszym kroku wykonania otworów w których znajdować się będą elektrody. Etap ten może być wykonany przy użyciu kilku dostępnych metod: trawienia na sucho, drylowania laserowego bądź trawienia elektrochemicznego. Po wykonaniu otworów są one częściowo wypełniane poli-krzemem, następnie odpowiednio domieszkowane i wygrzewane w celu rozprządzenia domieszki. Etap ten powtarzany jest wielokrotnie aż do momentu wypełnienia całego otworu.



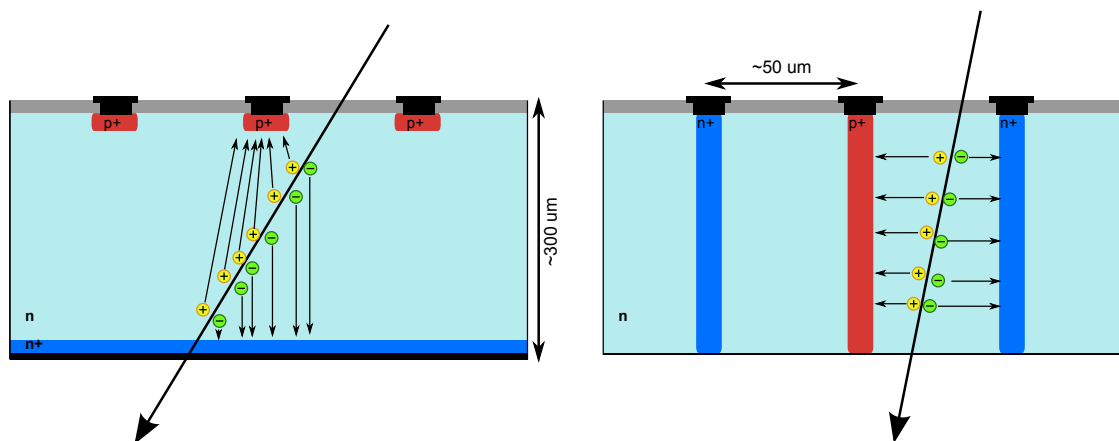
RYSUNEK 1.4: Struktura detektora 3D.



Główną zaletą detektorów 3D jest możliwość znaczącej redukcji napięcia pełnego zubożenia, z około 100 V koniecznych w przypadku detektorów planarnych, do wartości poniżej 10 V. Jest to możliwe z uwagi na fakt, że warstwa zubożona rozwija się pomiędzy elektrodami oddalonymi od siebie o około  $50 \mu\text{m}$ , a nie jak w przypadku detektorów planarnych, na całej grubości detektora wynoszącej kilkaset  $\mu\text{m}$ .

Redukcja napięcia pełnego zubożenia pozwala na prawidłową pracę sensora, nawet po otrzymaniu ekstremalnie dużych dawek promieniowania. W miarę pojawiających się defektów wywołanych promieniowaniem, konieczne jest zwiększanie napięcia polaryzującego detektor w celu utrzymania pełnego zubożenia. W związku z tym sensory wykonane w technologii planarnej wymagają zwiększania napięcia polaryzacji do kilkuset woltów. W przypadku detektorów 3D również konieczne jest podnoszenie napięcia polaryzacji, jednakże jedynie do kilkudziesięciu wolt.

Kolejną zaletą detektorów 3D jest o wiele krótszy czas zbierania ładunku (rzędu 1-2 ns). Ponownie, jest to związane z mniejszą odległością pomiędzy elektrodami zbiorczymi, a tym samym mniejszym dystansem do pokonania przez nośniki wygenerowane pod wpływem jonizacji. Co więcej, detektory 3D charakteryzują się także wysokim stosunkiem powierzchni aktywnej do nieaktywnej, umożliwiając efektywne wykorzystanie praktycznie całego sensora. W przypadku detektorów planarnych pojawiają się niejednorodności pola elektrycznego w okolicach krawędzi sensora, zaburzające działanie sensora na dystansie około  $500 \mu\text{m}$ . Detektory 3D umożliwiają wykonanie tak zwanych aktywnych krawędzi, poprzez wykonanie elektrod polaryzujących na krawędziach, co redukuje obszar nieaktywny do około  $10 \mu\text{m}$  od krawędzi [3]. Porównanie struktury detektora wykonanego w technologii planarnej oraz 3D przedstawione jest na rysunku 1.5.

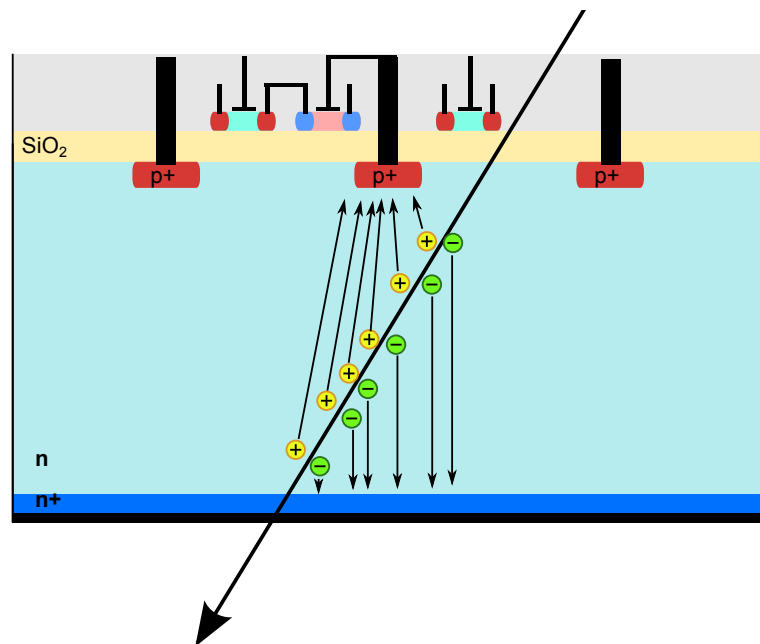


RYSUNEK 1.5: Porównanie detektora planarnego (z lewej) oraz detektora 3D (z prawej).

Należy jednak zaznaczyć, że sensory wykonane w technologii 3D, podobnie jak w przypadku detektorów hybrydowych, wymagają połączenia z elektroniką wykonanego przy pomocy *bump-bonding*'u i nie rozwiązują problemu dużej ilości materiału wchodzącego w skład detektora.

## 1.5 Detektory SOI (Silicon-On-Insulator)

Technologia krzemu na izolatorze (ang. Silicon-On-Insulator (SOI)) umożliwia wytworzenie sensora ze zintegrowaną elektroniką, bez konieczności stosowania techniki *bump-bonding*'u oraz bez ograniczeń, które występowały w monolitycznych aktywnych detektorach pikselowych (MAPS). Struktura detektora wykonanego w technologii SOI przedstawiona została na rysunku 1.6. Składa się on z grubej ( $\sim 300 \mu\text{m}$ ) warstwy krzemu stanowiącej jednocześnie sensor promieniowania jonizującego jak i podstawę dla cienkiej ( $\sim 50 \text{ nm}$ ) wierzchniej warstwy krzemu w której implementowana jest elektronika. Warstwy te odseparowane są przez warstwę izolatora w postaci dwutlenku krzemu. Taka konstrukcja pozwala na wykonanie połączeń elektroniki z sensorem przy wykorzystaniu standardowych metod używanych podczas produkcji układów scalonych.



RYSUNEK 1.6: Struktura detektora wykonanego w technologii SOI.

Z uwagi na fakt, że technologia ta wykorzystana została w niniejszej pracy, zostanie ona dokładniej przedstawiona w osobnym rozdziale.

## Rozdział 2

# Technologia Silicon-On-Insulator

Pierwsze próby produkcji tranzystorów MOSFET na warstwie izolatora pojawiły się już w latach sześćdziesiątych. W roku 1966 Watanabe oraz Tooi odnieśli sukces podczas prób implantacji do krzemu jonów tlenu, wykorzystując wyładowania elektryczne w gazie [5]. Stwierdzili oni także, że powstała w ten sposób warstwa, ma identyczne właściwości, jak termicznie narastający dwutlenek krzemu ( $SiO_2$ ).

Kolejny przełom nastąpił w 1978 roku kiedy odkryto, że implantacja tlenu przy napięciu 150 kV oraz następane wygrzewanie w temperaturze  $1150^\circ C$  powoduje wytworzenie warstwy  $SiO_2$  tuż pod powierzchnią krzemu, bez znacznego naruszenia sieci krystalicznej cienkiej warstwy krzemu znajdującej się na powierzchni. Technika ta nazwana została SIMOX[6] (ang. *Separation by IMplantation of OXygen*) i znalazła zastosowanie w elektronice. Ciągły rozwój tej technologii w latach 80-tych sprawił, że gęstość defektów w wierzchniej warstwie krzemu została zredukowana o trzy rzędy wielkości, z poziomu  $10^9 \text{ cm}^{-2}$  do  $10^6 \text{ cm}^{-2}$ , dzięki podniesieniu temperatury wyżarzania powyżej  $1300^\circ C$ . Dalsze ulepszenia pozwoliły zredukować gęstość defektów do poziomu  $10^2 \text{ cm}^{-2}$ . Główną wadą tej metody są stosunkowo wysokie koszty oraz długi czas potrzebny na implantację jonów tlenu.

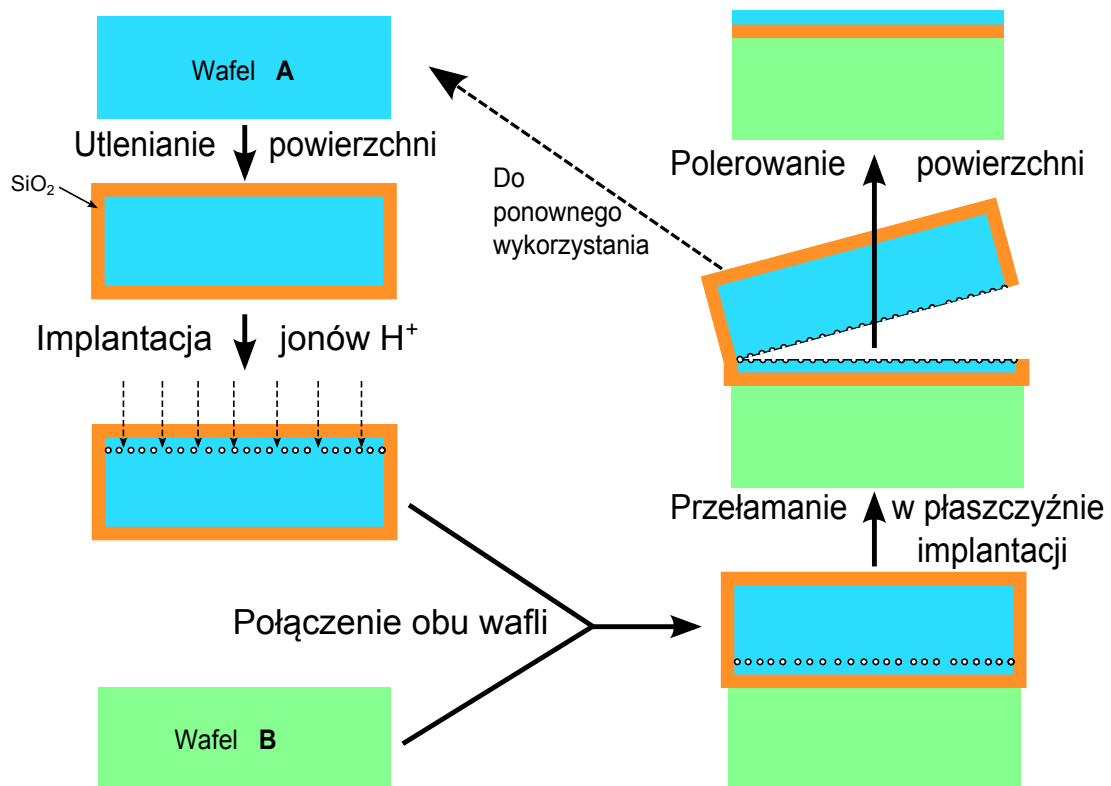
W połowie lat 80-tych pojawiła się nowa metoda wytwarzania wysokiej jakości struktur SOI, dająca jednocześnie możliwość masowej produkcji. Technika ta bazowała na łączeniu dwóch wafli krzemowych, z których jeden wstępnie okryty był warstwą tlenku (powstałą podczas standardowego wzrostu termicznego). Po połączeniu jeden z wafli był szlifowany do momentu uzyskania cienkiej warstwy krzemu. Jednakże używane wówczas techniki

szlifowania nie mogły zapewnić wystarczająco cienkich warstw ( $\sim 100$  nm) oraz odpowiedniej jednorodności w grubości warstwy. Dopiero w 1992 roku, kiedy to pojawiła się metoda trawienia chemicznego w obecności plazmy (ang. *plasma-assisted chemical etching*) umożliwiająca redukcję odchyłeń w grubości wierzchniej warstwy krzemu do kilku procent, możliwe było efektywne wykorzystanie techniki bazującej na szlifowaniu górnej warstwy krzemu.

W 1995 roku zaproponowana została kolejna metoda produkcji struktur typu *Silicon-On-Insulator* nazwana procesem *Smart-Cut*[6]. Kolejne etapy tego procesu przedstawione zostały na rysunku 2.1. Podobnie jak poprzednia metoda, bazuje ona na połączeniu dwóch wafli krzemowych, z których jeden poddany jest wstępnej obróbce. Główną różnicę stanowi sposób otrzymania wierzchniej warstwy krzemu. Proces rozpoczyna się od utlenienia powierzchni jednego wafel krzemowego. Następnie przez tlenek implantowane są protony (jony  $H^+$ ), które grzęzną w krzemie na niewielkiej grubości. Dalej wafel zostaje oczyszczony oraz połączony z drugim. W kolejnym kroku całość zostaje wyżarzona, co powoduje powstawanie naprężeń oraz umożliwia przełamanie wafel w płaszczyźnie implantacji protonowej. Pozwala to na usunięcie pozostałej części wafel krzemowego i pozostawienie jedynie cienkiej warstwy krzemu przyległej do tlenku, która wymaga jeszcze polerowania w celu ostatecznego wyrównania powierzchni. Pozostała część oderwanego wafel krzemowego może zostać ponownie wykorzystana w kolejnym procesie *Smart-Cut*.

## 2.1 Zastosowania technologii SOI

Jak zostało przedstawione powyżej istnieją metody umożliwiające produkcję wafel krzemowych o strukturze *Silicon-On-Insulator* na szeroką skalę. Należy także zaznaczyć, że implementacja elektroniki na tak przygotowanych wafelach nie różni się znacząco od produkcji układów scalonych w standardowej technologii *bulk-CMOS*. Dzięki temu, oraz z uwagi na szereg korzyści płynących z użycia technologii SOI, znajduje ona coraz szersze zastosowanie w wielu dziedzinach przemysłu. Jest ona szczególnie atrakcyjna pod kątem zastosowania do produkcji bardzo szybkich oraz pobierających minimalne ilości mocy układów scalonych[7]. Obecnie wiele wiodących firm produkujących elektronikę korzysta z technologii SOI. Przykładowo procesory AMD wyprodukowane po 2001 roku, w technologiach 130, 90, 60, 45 oraz 32 nm, jak też procesory montowane w konsolach do gier (XBox 360, Play Station 3,

RYSUNEK 2.1: Etapy produkcji struktury SOI w procesie *Smart-Cut*.

Wii) wykonane są w technologii SOI. Z drugiej strony wykorzystanie struktury SOI umożliwia produkcję monolitycznych detektorów krzemowych, co jest tematem przedstawionej pracy.

## 2.2 Zalety technologii SOI

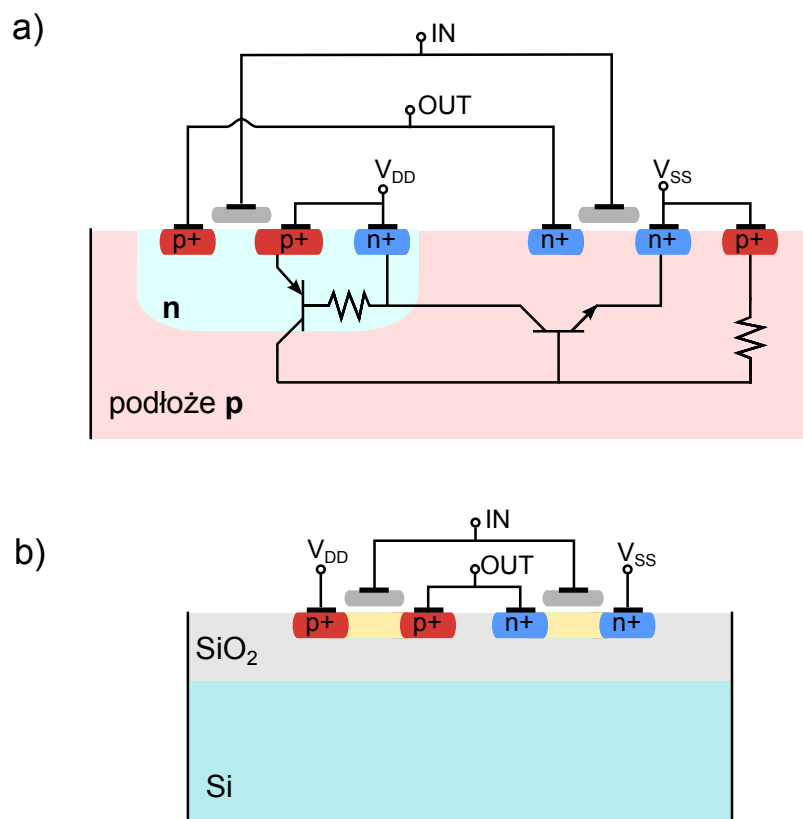
Oddzielenie elektroniki od podłoża warstwą tlenku niesie za sobą szereg korzyści[7][8]. Główne z nich to:

### ◇ Redukcja pojemności pasożytniczych

Zastosowanie struktury SOI powoduje redukcję pojemności pasożytniczych tranzystora (pomiędzy drenem a podłożem oraz źródłem a podłożem) o rząd wielkości. Jest tak z uwagi na ponad trzykrotnie mniejszą niż w krzemie, względną przenikalność elektryczną dwutlenku krzemu ( $\epsilon_{\text{Si}} = 11.68$ ,  $\epsilon_{\text{SiO}_2} = 3.7$ ). Usunięcie pojemności pasożytniczych, znacząco podnosi szybkość przełączania tranzystora, jak i redukuje moc potrzebną na jego przełączenie.

◇ **Brak możliwości wystąpienia efektu typu *latch-up***

*Latch-up* jest to spontaniczne wytworzenie się w układzie scalonym ścieżki nisko-impedancyjnej, najczęściej pomiędzy liniami zasilającymi. Pojawienie się takiego zwarcia może mieć dwojakie konsekwencje. Po pierwsze może powodować błędne działanie układu, które może zostać wyeliminowane przy ponownym jego uruchomieniu. Jednak o wiele bardziej drastyczne w skutkach efekty pojawić się mogą gdy prądy płynące przez *latch-up* będą na tyle duże że spowodują trwałe uszkodzenie układu scalonego, bądź jego części. Wówczas nie jest możliwe przywrócenie pełnej funkcjonalności układu po jego ponownym uruchomieniu.



RYSUNEK 2.2: Implementacja inwertera w technologii *bulk CMOS* wraz z pasożytniczym układem mogąym wywołać *latch-up* (a) oraz w technologii SOI (b).

W standardowej technologii *bulk-CMOS* nisko-impedancyjne ścieżki pojawiają się głównie poprzez powstanie pasożytniczych struktur *pnpn* odpowiadających tyrystorowi (pozytywnie sprzężone tranzystory NPN i PNP - rysunek 2.2). W technologii SOI powstanie takiej struktury jest niemożliwe z uwagi na fakt, że każdy z tranzystorów otoczony jest warstwą izolatora. Z tego względu jest ona całkowicie odporna na

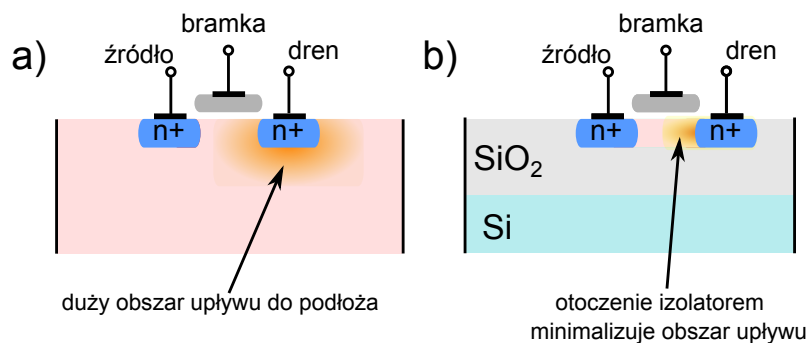
powstawanie efektów typu *latch-up* i nie jest konieczne wykonywanie dodatkowych czynności mających na celu zabezpieczenie układu.

#### ◇ Zmniejszenie wymiarów masek produkcyjnych

Dzięki zapewnieniu separacji poszczególnych tranzystorów oraz z uwagi na fakt, że w technologii SOI niepotrzebne są kontakty do podłoża, maski produkcyjne tranzystorów są mniejsze niż w standardowych technologiach. Umożliwia to redukcję rozmiarów układu scalonego.

#### ◇ Małe prądy upływu złącza *p-n*

W technologii SOI powierzchnia kontaktowa złącza *p-n* jest o wiele mniejsza niż w przypadku technologii *bulk-CMOS*, gdzie kontakt typu *n* w całości znajduje się w studni typu *p* (rysunek 2.3). Wpływa to na znaczącą redukcję prądów upływu złącza *p-n*, co jest szczególnie atrakcyjne w kontekście zastosowań wymagających niskiego poboru mocy w trybie czuwania.



RYSUNEK 2.3: Przedstawienie obszaru upływu w technologii *bulk-CMOS* (a) oraz SOI (b).

#### ◇ Odporność na efekty radiacyjne typu SEE

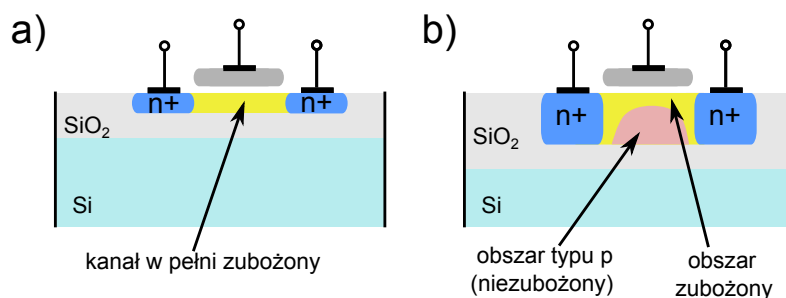
Oddzielenie elektroniki od podłoża w znaczny sposób przyczynia się do zwiększenia odporności na uszkodzenia radiacyjne, spowodowane przejściem przez układ pojedynczej cząstki jonizującej (ang. *Single Event Error* (SEE)). Błędy tego typu powstają gdy ładunki wygenerowane w krzemie trafiają w obszar tranzystora. Prowadzić to może do zmiany stanu tranzystora (np. zmiana bitu w komórce pamięci), wytworzenia *latch-up*, bądź trwałego uszkodzenia tranzystora. Zabezpieczenie układu przed tego typu zdarzeniami zwykle sprowadza się do zwielokrotniania układów logiki i pamięci oraz odczytywania informacji na podstawie "głosowania".

Przykładowo, potrając komórkę pamięci oraz dodając do niej element decydujący, który na wyjściu poda stan obecny na większej liczbie poszczególnych komórek pamięci, zapewnia uodpornienie układu na przekłamanie pojedynczego bitu pamięci. Rozwiązanie takie jednak znacząco zwiększa powierzchnię oraz moc pobieraną przez układ. Jednakże niektóre zastosowania (na przykład układy wykonane pod kątem misji kosmicznych) wymagają szczególnie wysokiej niezawodności i takie rozwiązania muszą być stosowane.

W przypadku technologii SOI w naturalny sposób uzyskuje się bardzo dużą odporność na efekty tego typu. Odseparowanie elektroniki od podłoża powoduje że ładunek w nim wygenerowany nie może dotrzeć w czule obszary elektroniki, tym samym nie może wywrzeć na nią żadnego wpływu. Jedynie ładunki wygenerowane w wierzchniej warstwie krzemu mogą powodować błędy typu SEE, jednak niewielka grubość tej warstwy sprawia, że tylko znikoma ilość ładunku może zostać w niej wygenerowana.

### 2.3 Częściowo oraz w pełni zubożone SOI

Można wyodrębnić dwa podtypy technologii SOI. W pierwszym z nich wierzchnia warstwa krzemu jest na tyle cienka, że obszar znajdujący się pod bramką tranzystora w całości ulega zubożeniu - FD-SOI (ang. *Fully-Depleted Silicon-On-Insulator*). W drugim przypadku wierzchnia warstwa krzemu zostaje jedynie częściowo zubożona - PD-SOI (ang. *Partially-Depleted Silicon-On-Insulator*) (rysunek 2.4). Głównym kryterium mającym wpływ na stopień zubożenia jest grubość wierzchniej warstwy krzemu, która w przypadku technologii częściowo zubożonej wynosi około 70-200 nm. W przypadku technologii w pełni zubożonej warstwa nie powinna być grubsza niż około 50 nm [6].



RYSUNEK 2.4: Struktura SOI w pełni zubożonego - FD-SOI (a) oraz częściowo zubożonego - PD-SOI (b).



Obecność obszaru niezubożonego w PD-SOI prowadzi do niekorzystnych efektów, w szczególności w kontekście zastosowań analogowych. Mianowicie, potencjał obszaru niezubożonego może się wahać ze względu na liczbę pozostałych w nim nośników, jak również ze względu na napięcia przyłożone do elektrod tranzystora. Fluktuacje napięcia obszaru niezubożonego wpływają z kolei na przesunięcie napięcia progowego tranzystorów modyfikując tym samym ich charakterystykę.

## 2.4 Struktura SOI jako detektor promieniowania jonizującego

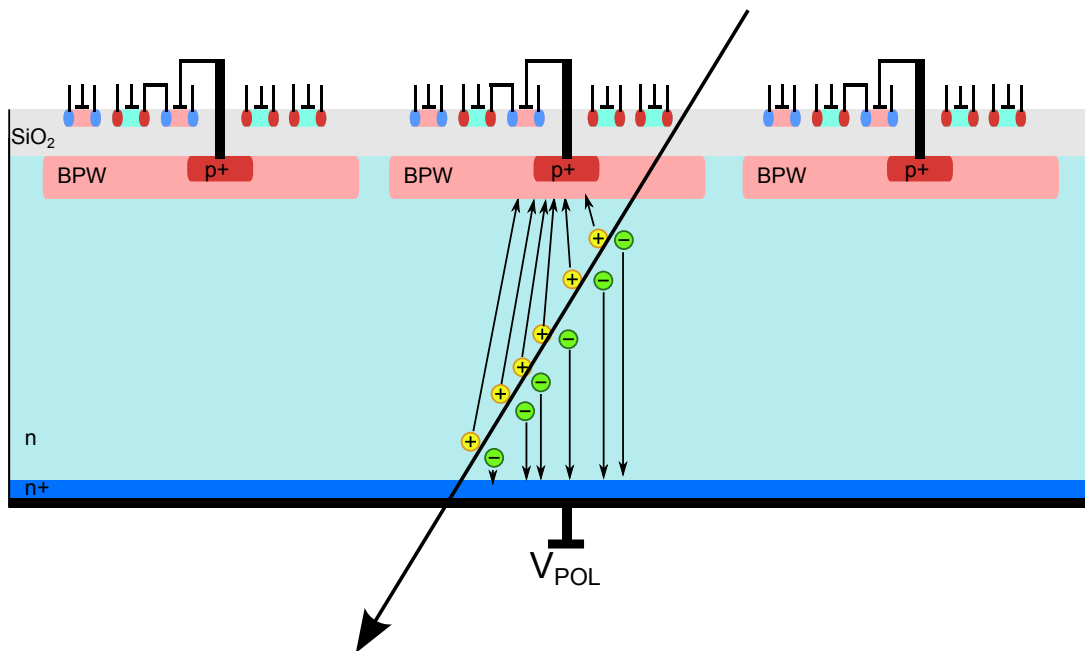
Dotychczas szerzej przedstawione zostały jedynie korzyści płynące z wykorzystania technologii SOI w zastosowaniach typowo elektronicznych. Należy jednak pamiętać, że główną zaletą technologii SOI w kontekście przedstawionej pracy, jest możliwość produkcji monolitycznych detektorów krzemowych, bez narzucania ograniczeń na zawartą w nich elektronikę.

Wykorzystując do produkcji detektora proces *Smart-Cut*, bazujący na połączeniu dwóch osobnych wafli krzemowych, możliwa jest indywidualna optymalizacja każdego z nich. W celu minimalizacji prądów upływu, wafel podstawy, stanowiący zarazem sensor promieniowania, wykonany może być z krzemu o wysokiej rezystywności (od kilkuset do kilku tysięcy  $\Omega\text{cm}$ ), a wafel pod elektronikę z krzemu o niskiej rezystywności ( $\sim 20 \Omega\text{cm}$ )[9]. Jest to ogromna zaleta struktury SOI jako monolitycznego detektora krzemowego, ponieważ wszystkie pozostałe rozwiązania stanowią swego rodzaju kompromis pomiędzy wymaganiami detekcyjnymi, a elektronicznymi.

Należy w tym miejscu zaznaczyć, że aby w pełni wykorzystać strukturę SOI w celach detekcyjnych, należy zwrócić uwagę na towarzyszące temu efekty. Najważniejszym jest tak zwany efekt dolnej bramki (ang. *back gate effect*). Związany jest on z koniecznością polaryzacji spodniej powierzchni detektora napięciem rzędu  $\sim 100 \text{ V}$ . Przyłożenie wysokiego napięcia w stosunkowo niewielkiej odległości od elektroniki ( $\sim 300 \mu\text{m}$ ) powoduje przesunięcie napięcia progowego tranzystorów, a tym samym zmianę ich punktów pracy. Efekt ten jest na tyle duży, że nie jest możliwe otrzymanie poprawnie działającej elektroniki przy jednoczesnym pełnym zubożeniu sensora, bez przedsięwzięcia dodatkowych

czynności. Na szczęście istnieją metody pozwalające całkowicie wyeliminować przedstawiony powyżej efekt, wymagają one jednak dodatkowych modyfikacji wprowadzonych do podstawowej struktury SOI.

Pierwszą z metod zniwelowania efektu dolnej bramki jest wykorzystanie dodatkowej warstwy implantowanej w strukturę sensora, tak zwanego *BPW/BNW* (ang. *Buried P/N-Well*). Jest to dodatkowa implantacja znajdująca się zaraz pod warstwą tlenku, która może zostać podłączona do ustalonego potencjału. Umieszczenie warstwy *BPW* pod elektroniką w pełni ekranuje ją od wpływu pola elektrycznego sensora (rysunek 2.5).

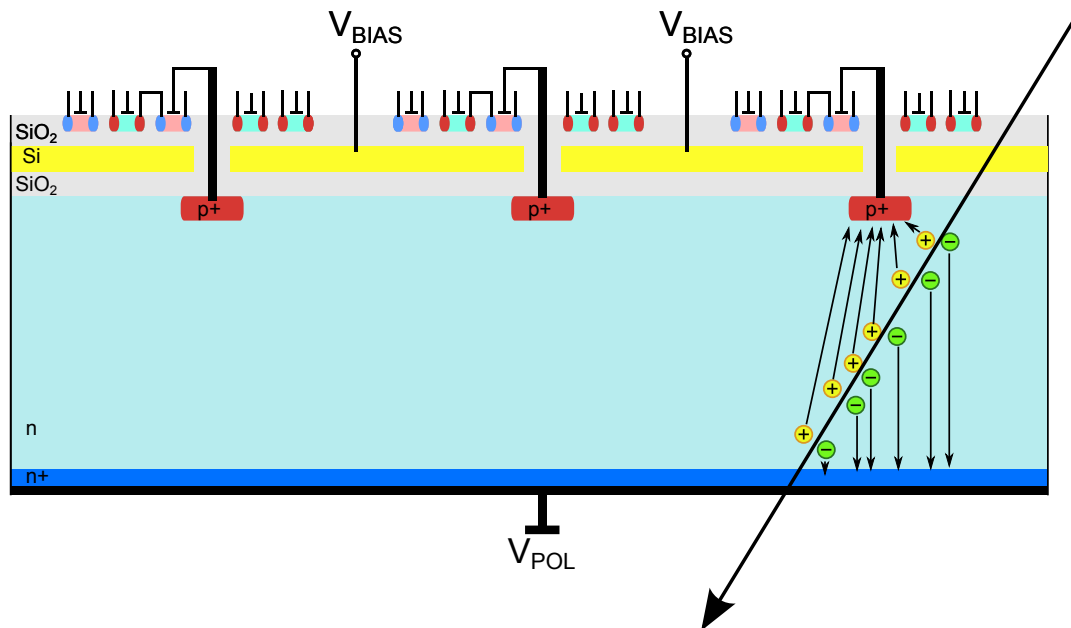


RYSUNEK 2.5: Wykorzystanie warstwy *BPW* w celu ekranowania elektroniki od pola elektrycznego sensora.

Odpowiednie wykorzystanie warstwy *BPW* umożliwia zastosowanie technologii SOI do produkcji monolitycznych detektorów krzemowych. Jednakże, w przypadku pracy tego typu detektora w środowisku narażonym na wysokie dawki promieniowania, ujawnia się kolejna słaba strona technologii SOI[8]. Z uwagi na znikomą ruchliwość dziur w dwutlenku krzemu, dochodzi do akumulacji dodatniego ładunku w tlenku. Ma to znaczący wpływ w przypadku technologii SOI, gdzie w bliskim otoczeniu elektroniki znajduje się stosunkowo gruba warstwa tlenku. Wraz ze wzrostem całkowitej dawki pochłoniętej przez detektor rośnie liczba dodatnich ładunków uwięzionych w warstwie izolatora ( $SiO_2$ ), co z kolei wpływa na przesunięcie napięcia progowego tranzystorów. Efekt ten stanowi poważne ograniczenie

detektorów SOI, szczególnie w przypadku zastosowań w eksperymentach fizyki wysokich energii.

W ostatnich latach pojawiło się jednak rozwiązanie umożliwiające kompensację efektu całkowitej dawki pochłoniętej - *TID* (ang. *Total Ionizing Dose*). Jest to struktura *Double SOI*, składająca się z: krzemowego podłoża, warstwy tlenku, środkowej warstwy krzemu, kolejnej warstwy tlenku oraz wierzchniej warstwy krzemu pod elektronikę (rysunek 2.6). Przyłożenie ujemnego napięcia do środkowej warstwy krzemu umożliwia kompensację dodatniego ładunku zgromadzonego w izolatorze, a tym samym przywrócenie odpowiedniego punktu pracy tranzystorów. Co więcej, przyłożenie stałego potencjału do środkowej warstwy krzemu powoduje ekranowanie elektroniki od wpływu pola elektrycznego sensora, niwelując tym samym konieczność stosowania warstwy *BPW/BNW*. Wykorzystanie środkowej warstwy krzemu w celu zwiększenia odporności radiacyjnej jest obecnie przedmiotem intensywnych badań, a także stanowi część prezentowanej pracy.



RYСУNEK 2.6: Struktura *Double SOI* umożliwiająca wykorzystanie dodatkowej warstwy krzemu do ekranowania elektroniki, a także kompensacji efektów radiacyjnych.



## Rozdział 3

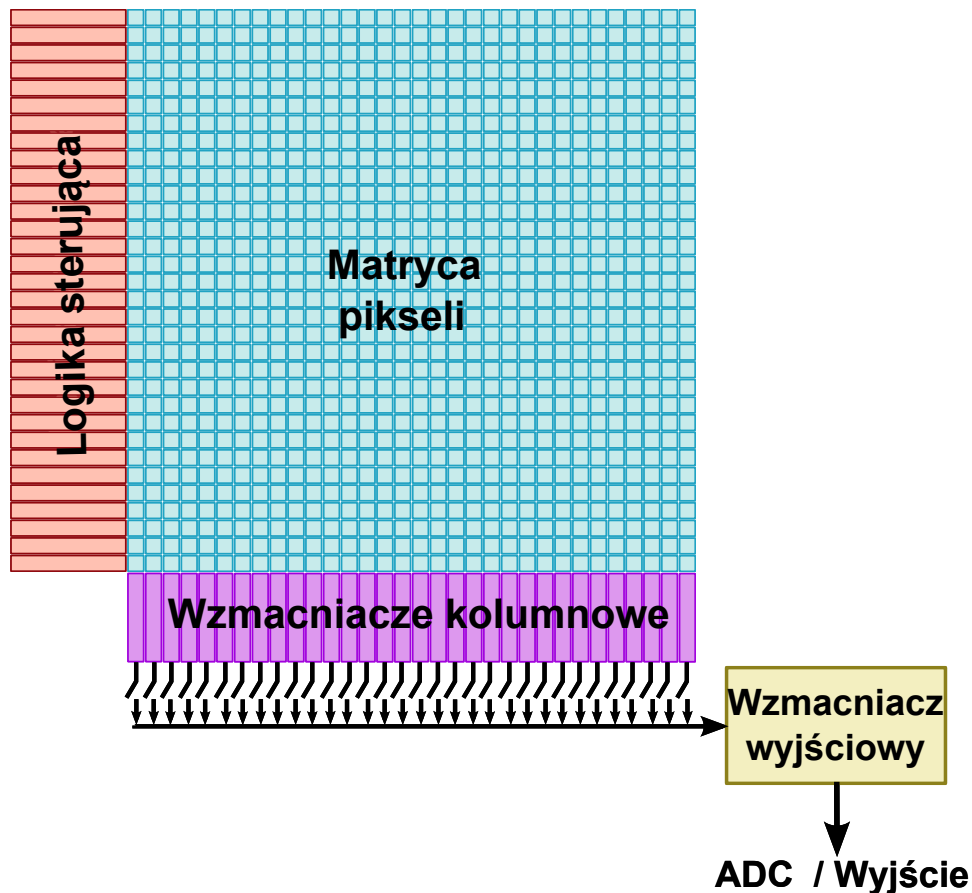
# Architektury elektroniki odczytu dla detektorów pikselowych

Dotychczas przedstawione zostały głównie technologiczne aspekty produkcji detektorów krzemowych. W tym rozdziale przybliżone zostaną podstawowe architektury elektroniki odczytu stosowane w detektorach pikselowych.

W najprostszych rozwiązaniach idea odczytu informacji z całej matrycy pikseli jest podobna i bazuje na kilku podstawowych blokach (rysunek 3.1):

- ◇ **matrycy pikseli** bezpośrednio podłączonych do sensora promieniowania,
- ◇ **logice sterującej** generującej sygnały sterujące pracą matrycy oraz pozwalające na sekwencyjny odczyt poszczególnych komórek matrycy,
- ◇ **wzmacniaczach kolumnowych** znajdujących się na końcu każdej z kolumny,
- ◇ **wzmacniaczu wyjściowym** propagującym sygnał, kolejno z poszczególnych wzmacniaczy kolumnowych na wyjściowe pola kontaktowe, bądź do zintegrowanego układu przetwornika analogowo-cyfrowego (ADC).

Elektronika wchodząca w skład piksela musi zapewniać możliwość zebrania ładunku z sensora oraz przechowania informacji o jego ilości, do czasu odczytu. Wymagania te są bardzo ogólne, dlatego też istnieje wiele różnych podejść do implementacji elektroniki piksela, odpowiednich dla konkretnych zastosowań. Kilka podstawowych rozwiązań przedstawionych zostanie w dalszej części pracy.



RYSUNEK 3.1: Podstawowe bloki wchodzące w skład elektroniki odczytu detektorów pikselowych.

Głównym zadaniem logiki sterującej jest wprowadzenie matrycy (bądź odpowiedniej jej części) w określony stan pracy. W większości przypadków możemy wyróżnić trzy fazy pracy matrycy:

- ◇ **faza całkowania** podczas której na pikselach zbierany jest wygenerowany w sensorze ładunek,
- ◇ **faza odczytu** kiedy to kolejne wiersze matrycy podłączane są do wzmacniaczy kolumnowych,
- ◇ **faza resetu** podczas której wyzerowany jest ładunek zebrany podczas ostatniej fazy całkowania i układ przygotowany zostaje do ponownego zbierania ładunku.

W przypadku logiki sterującej istnieją dwa podstawowe rozwiązania: standardowa migawka oraz tak zwana ruchoma przesłona (ang. *rolling-shutter*).

W pierwszym z nich cała matryca znajduje się zawsze w tej samej fazie. Przez określony czas wszystkie piksele jednocześnie gromadzą ładunek, po czym całość przechodzi w fazę odczytu i informacja z kolejnych rzędów matrycy przekazywana jest do wzmacniaczy kolumnowych i kolejno trafia na wyjście układu. Dopiero gdy cała matryca zostanie odczytana, dochodzi do resetu i układ gotowy jest do ponownej pracy. Niestety, w szczególności dla dużych matryc, czas odczytu może być bardzo długi w porównaniu z czasem całkowania ładunku. Prowadzi to do długiego czasu martwego, podczas którego ładunek nie może być zbierany, co jest największym mankamentem tego typu rozwiązania.

Stosując technikę *rolling-shutter* odczyt dokonywany jest poprzez sekwencyjne skanowanie kolejnych wierszy matrycy, przy czym część nie będąca w danym momencie w fazie odczytu wciąż zbiera ładunek. Umożliwia to praktycznie nieustanne zbieranie ładunku. Podstawową wadą takiego rozwiązania jest fakt, że każda część matrycy zawiera ładunek zebrany w różnych chwilach w czasie, co może prowadzić do zniekształceń otrzymanego obrazu.

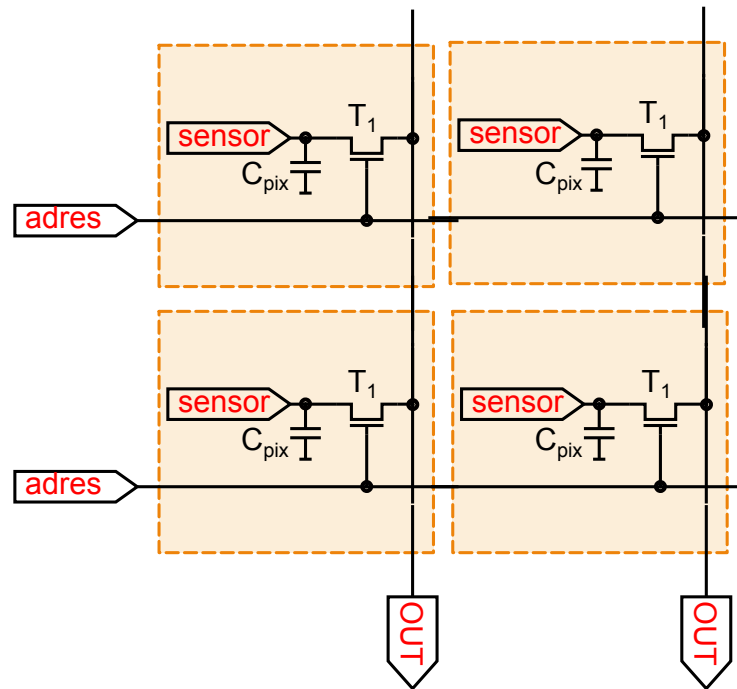
Obydwie przedstawione metody stosowane są w kontekście szeroko rozumianego obrazowania, gdzie konieczne jest odczytanie informacji z całej matrycy pikseli. W przypadku niektórych specjalistycznych zastosowań, rozwiązania te są jednak bardzo nieefektywne. Na przykład w kontekście detektorów śladowych, gdzie jedynie znikomy procent matrycy zbiera ładunek i niesie istotną informację, odczytywanie całej matrycy jest zbędne. Dlatego też istnieją bardziej wyrafinowane metody sterowania odczytem, jak chociażby piksele samo-wyzwalające się (ang. *self-triggering pixels*), w której to piksele "zgłaszają" się do odczytu dopiero wtedy, gdy zbiorą ładunek. Rozwiązania tego typu wymagają jednak o wiele bardziej złożonej logiki sterującej, synchronizującej pracę całego układu.

Implementacja wzmacniaczy kolumnowych oraz wzmacniacza wyjściowego jest ściśle związana z architekturą piksela, jak również ze specyfikacją danego układu. Dlatego też nie jest możliwe ogólne wyodrębnienie najczęściej stosowanych rozwiązań.

### 3.1 Odczyt pasywny

W przypadku elektroniki wchodzącej w skład piksela najprostszym oraz najbardziej kompaktowym rozwiązaniem jest odczyt pasywny (PPS - ang. *Passive Pixel Sensor*)[10], przedstawiony na rysunku 3.2. Całość elektroniki odczytu składa się z pojemności na której

akumulowany jest ładunek oraz pojedynczego tranzystora pracującego jako klucz podpinający określony piksel do kolejnego stopnia odczytu - wzmacniacza kolumnowego. W tym wypadku może on być zrealizowany w postaci wzmacniacza ładunkowego. Schemat takiej konfiguracji przedstawiony został na rysunku 3.3. Proces odczytu pasywnego podzielo-

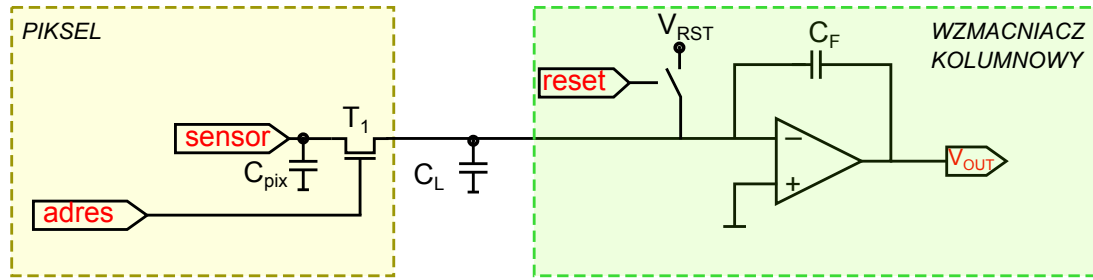


RYSUNEK 3.2: Schemat matrycy bazującej na odczycie pasywnym.

ny jest na trzy podstawowe fazy. Podczas fazy całkowania tranzystor  $T_1$  jest wyłączony, co umożliwia zbieranie ładunku wytworzonego w objętości sensora na pojemności  $C_{pix}$ . Następnie w celu odczytania informacji z konkretnego piksela, jego tranzystor  $T_1$  zostaje włączony, co umożliwia redystrybucję ładunku zgromadzonego na pojemności  $C_{pix}$ . Dzięki temu określony ułamek zebranego ładunku trafia na wejście wzmacniacza ładunkowego, znajdującego się na końcu kolumny, a na jego wyjściu pojawia się napięcie proporcjonalne do ilości ładunku zebranego przez piksel. Po odczytaniu napięcia, pojemność  $C_{pix}$  zostaje zresetowana poprzez przyłożenie potencjału resetującego  $V_{RST}$ , a następnie tranzystor  $T_1$  zostaje wyłączony umożliwiając ponowne zbieranie ładunku na pojemności  $C_{pix}$ .

Mankamentem odczytu pasywnego jest stosunkowo duża pojemność pasożytnicza linii łączącej ( $C_L$ ) piksel z wzmacniaczem kolumnowym, łącząca się równolegle z pojemnością na





RYSUNEK 3.3: Układ odczytu pasywnego wraz przykładową implementacją wzmacniacza kolumnowego.

której zbierany jest ładunek. Może ona być nawet kilkudziesięciokrotnie większa od pojemności piksela, co może prowadzić do znaczącej redukcji amplitudy napięcia wyjściowego danej wzorem:

$$V_{OUT} = \frac{K \cdot Q_{IN}}{C_{pix} + C_L + C_F(K + 1)} \quad (3.1)$$

gdzie:

$Q_{IN}$  zebrany ładunek ,

$K$  wzmacnienie,

$C_F$  pojemność w sprzężeniu zwrotnym wzmacniacza.

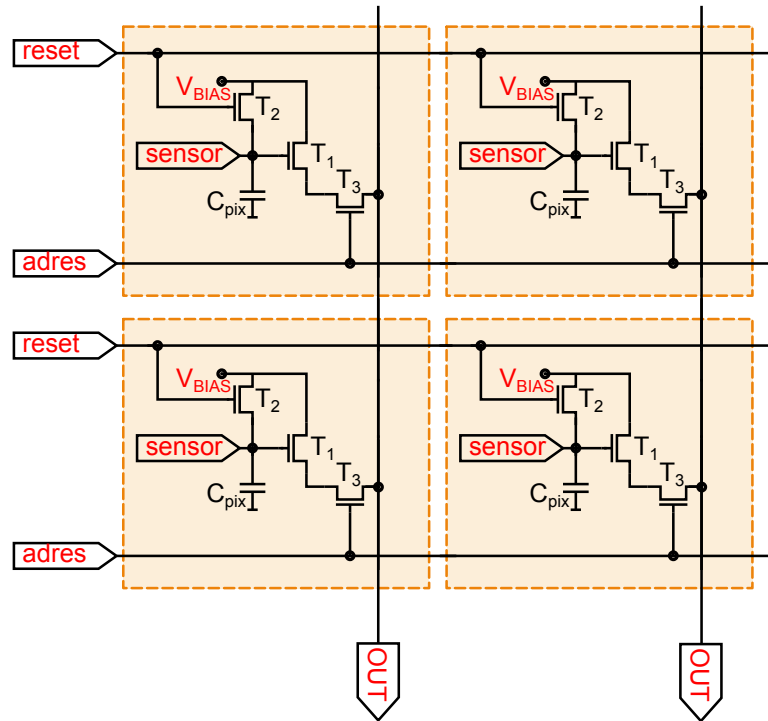
Z tego powodu rozwiązanie to nie sprawdza się w sytuacjach, gdy ilość zbieranego ładunku jest niewielka.

## 3.2 Odczyt aktywny

Wykorzystanie odczytu aktywnego (APS - ang. *Active Pixel Sensor*)[10] umożliwia detekcję mniejszych ładunków niż w przypadku odczytu pasywnego, a także pozytywnie wpływa na własności szumowe układu oraz na jego szybkość pracy. Jest to rozwiązanie, które obecnie dominuje w zastosowaniach komercyjnych i stosowane jest w coraz bardziej powszechnych kamerach CMOS.

W odczycie aktywnym ładunek zebrany przez sensor jest konwertowany do odpowiadającego mu napięcia (bądź prądu) w obrębie układu piksela. Z tego względu nie ma konieczności redystrybucji ładunku po dalszej części układu, niezbędne jest jedynie propagowanie informacji napięciowej (bądź prądowej). Klasycznym przykładem odczytu aktywnego jest

układ składający się z trzech tranzystorów oraz pojemności (3T-APS), przedstawiony na rysunku 3.4. Główna funkcjonalność oparta jest na tranzystorze  $T_1$  którego prąd modulowany jest ilością ładunku zebranego na pojemności  $C_{pix}$ . Tranzystor  $T_2$  pracuje jako klucz i umożliwia reset piksela, z kolei tranzystor  $T_3$  pełni rolę klucza umożliwiającego odczyt.



RYСУNEK 3.4: Schemat 3-tranzystorowego odczytu aktywnego.

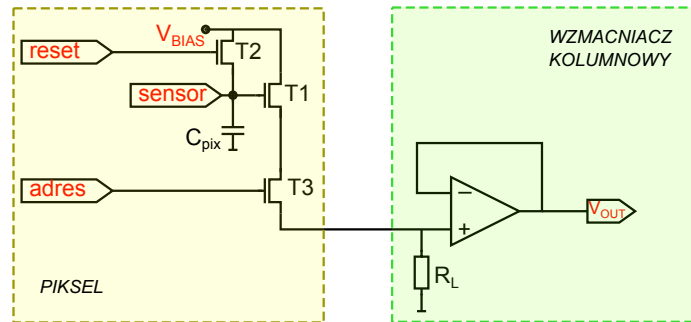
Fazy działania odczytu aktywnego są analogiczne do odczytu pasywnego, różnicę stanowi jednak forma propagowanego sygnału. Przykładowy schemat układu odczytu, pracującego w trybie napięciowym, wraz ze wzmacniaczem kolumnowym przedstawiony został na rysunku 3.5. W tym wypadku tranzystor  $T_1$  wraz z obciążeniem  $R_L$ , o dużej impedancji (aktywnym bądź pasywnym), pracuje jako wtórnik napięcia. Napięcie to jest następnie buforowane (może również zostać wzmocnione) i trafia na wyjście układu. Amplituda napięcia na wyjściu układu wynosi zatem:

$$V_{OUT} = \frac{R_L}{R_L + R_{T_3}} \cdot \left( V_{BIAS} - \frac{Q_{IN}}{C_{pix}} \right) \quad (3.2)$$

gdzie:

$Q_{IN}$  zebrany ładunek ,

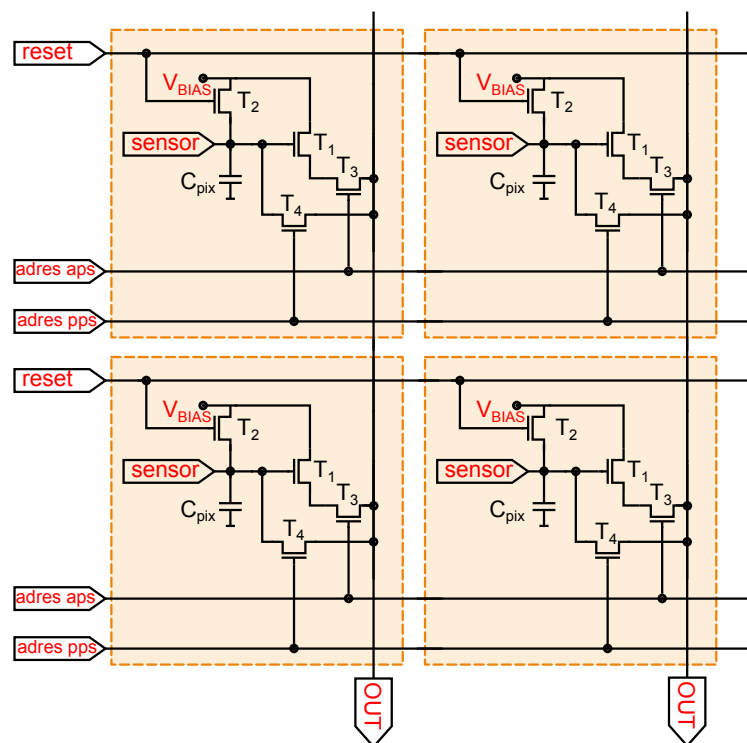
$R_{T_3}$  rezystancja włączonego klucza  $T_3$ ,



RYSUNEK 3.5: Układ odczytu aktywnego z przykładową implementacją wzmacniacza kolumnowego.

### 3.3 Odczyt hybrydowy

Odczyt hybrydowy, jak sama nazwa wskazuje, jest połączeniem dwóch przedstawionych wcześniej architektur. Jest to uniwersalne rozwiązanie umożliwiające pomiar w szerokim zakresie ładunku wejściowego. Klasyczny układ odczytu hybrydowego, przedstawiony na rysunku 3.6, składa się z czterech tranzystorów oraz pojemności. Wyraźnie widoczne są



RYSUNEK 3.6: Schemat matrycy bazującej na odczycie hybrydowym.

dwa układy składowe: układ odczytu aktywnego, złożony z tranzystorów  $T_1$ ,  $T_2$  i  $T_3$ , oraz odczyt pasywny w postaci tranzystora  $T_4$ . Działanie tego układu opiera się na dwóch

osobnych liniach adresu. W sytuacji gdy spodziewamy się stosunkowo niewielkiego ładunku na wejściu układu, wykorzystywany jest odczyt aktywny. Z kolei w sytuacji gdy ilość ładunku zebranego na pojemności jest duża odczyt aktywny pozostaje odcięty, a sygnał, poprzez tranzystor  $T_4$ , trafia na wyjście w formie odczytu pasywnego.

### 3.4 Przedwzmacniacz ładunkoczuły

Dotychczas przedstawione architektury odczytu opierały się na prostych rozwiązaniach zawierających minimalną ilość elektroniki w obrębie piksela. Takie rozwiązania sprawdzają się w zastosowaniach, które nie stawiają wygórowanych wymagań na stosunek sygnału do szumu, bądź w przypadku gdy kładzie się duży nacisk na minimalizację rozmiarów piksela. Jeśli jednak wymagana jest czułość na niewielki ładunek (rzędu kilkuset elektronów), przy rozsądnym stosunku sygnału do szumu, niezbędna jest implementacja bardziej złożonej elektroniki w obrębie piksela.

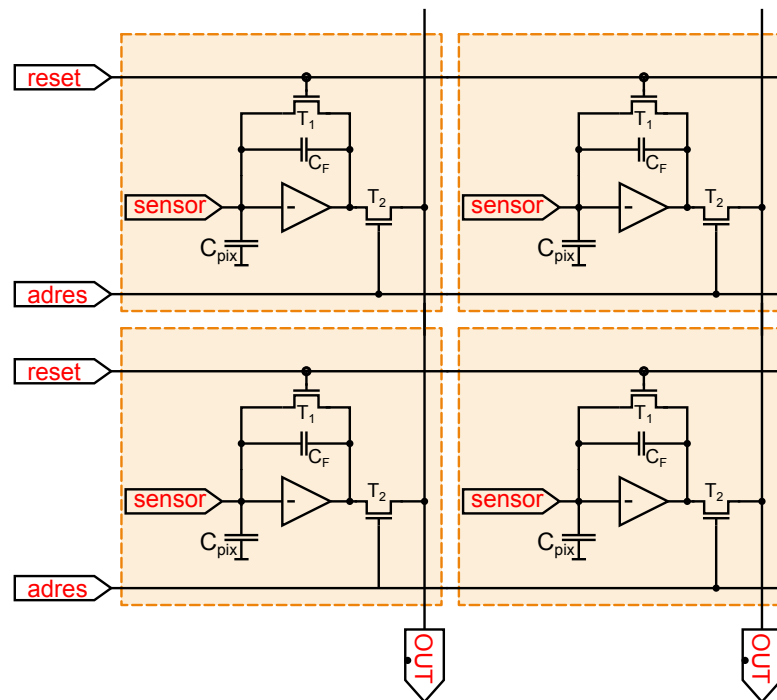
Zastosowanie układów odczytu bogatszych w elektronikę jest szczególnie atrakcyjne w przypadku, gdy do produkcji detektora wykorzystana jest technologia zapewniająca możliwość implementacji pełnej elektroniki CMOS (detektory hybrydowe, czy SOI). Przykładem tego typu rozwiązania może być wykorzystanie przedwzmacniacza ładunkoczułego[1].

Schemat matrycy zaprojektowanej w oparciu o wzmacniacz ładunkoczuły przedstawiony został na rysunku 3.7. Układ ten składa się z przedwzmacniacza z czysto pojemnościowym sprzężeniem zwrotnym oraz dwóch tranzystorów pracujących jako klucze. Idea działania takiego układu oparta jest na całkowaniu ładunku, niesionego przez wejściowy impuls prądowy, na pojemności sprzężenia zwrotnego. Skutkuje to ustaleniem się napięcia wyjściowego układu proporcjonalnego do ilości zgromadzonego ładunku. Zakładając, że wzmocnienie przedwzmacniacza wynosi  $K$  oraz że spełniony jest warunek:

$$K \cdot C_F \gg C_{pix} \quad (3.3)$$

Wówczas napięcie na wyjściu przedwzmacniacza ( $V_{OUT}$ ) po wstrzyknięciu ładunku  $Q_{IN}$  na wejście układu, wynosi:

$$V_{OUT} = -\frac{Q_{IN}}{C_F} \quad (3.4)$$



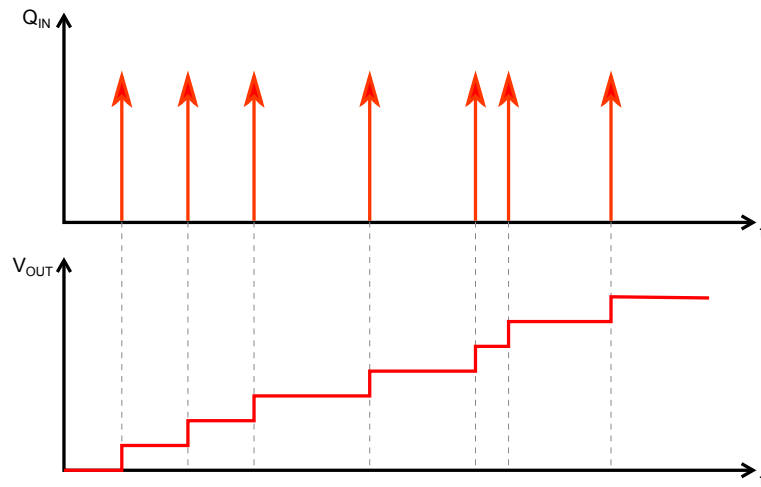
RYSUNEK 3.7: Schemat matrycy bazującej na wzmacniaczu ładunkoczułym.

Zatem wzmocnienie ładunkowe  $k_Q$  takiego układu dane jest przez:

$$k_Q = \frac{V_{OUT}}{Q_{IN}} = -\frac{1}{C_F} \quad (3.5)$$

Widać zatem wyraźnie, że czułość ładunkową takiego układu można zwiększać poprzez zmniejszanie pojemności w sprzężeniu zwrotnym. Należy jednak pamiętać, że jest tak dopóki spełniony jest warunek 3.3, w przeciwnym wypadku istotną rolę zaczyna pełnić pojemność pikselu  $C_{pix}$  i coraz większa część wstrzykiwanego ładunku zamiast trafić na wejście układu całkującego zostaje na niej odłożona.

Powyższe rozważania prowadzą do wniosku, że pojedyncze wstrzyknięcie ładunku na wejście układu wzmacniacza ładunkoczułego skutkuje skokiem napięcia na wyjściu. Tym samym, podczas ciągłej pracy układu kolejne impulsy sumują się (rysunek 3.8). W związku z tym konieczne jest resetowanie pojemności  $C_F$  przed kolejnym pomiarem, zrealizowane za pomocą tranzystora  $T_1$  pracującego jako klucz. Odczyt informacji dokonywany jest przy użyciu tranzystora  $T_2$  łączącego piksel ze wzmacniaczem kolumnowym, który zrealizowany może być w postaci bufora napięciowego.



RYSUNEK 3.8: Odpowiedź wzmacniacza ładunko-czułego na ciąg impulsów dirakowskich.

### 3.5 Piksel zliczający

W przypadku niektórych zastosowań informacja na temat ilości ładunku wygenerowanego w sensorze nie jest niezbędna. Przykładem może być obrazowanie medyczne gdzie użyteczną informację stanowi rozkład natężenia promieniowania padającego na powierzchnię sensora. Funkcjonalność tę uzyskać można poprzez liczenie ilości impulsów wpadających w obszar danego piksela, co stanowi podstawę działania piksela zliczającego. Układ taki zbudowany jest w oparciu o przedwzmacniacz, dyskryminator progowy oraz licznik. Na przedwzmacniaczu wejściowy impuls prądowy ulega konwersji do informacji napięciowej, która następnie trafia na dyskryminator progowy. Jeżeli przekroczony zostanie próg dyskryminatora wartość licznika zwiększona zostaje o jeden.

Zaletą tego rozwiązania jest brak konieczności konwersji sygnału analogowego do postaci cyfrowej, bowiem digitalizacja zrealizowana jest na poziomie licznika. Co więcej układy tego typu mogą osiągać wysokie rozdzielczości, określone ilością bitów licznika. Jednakże implementacja stosunkowo dużej ilości elektroniki w obrębie piksela naturalnie wpływa na zwiększenie jego rozmiarów.

## Rozdział 4

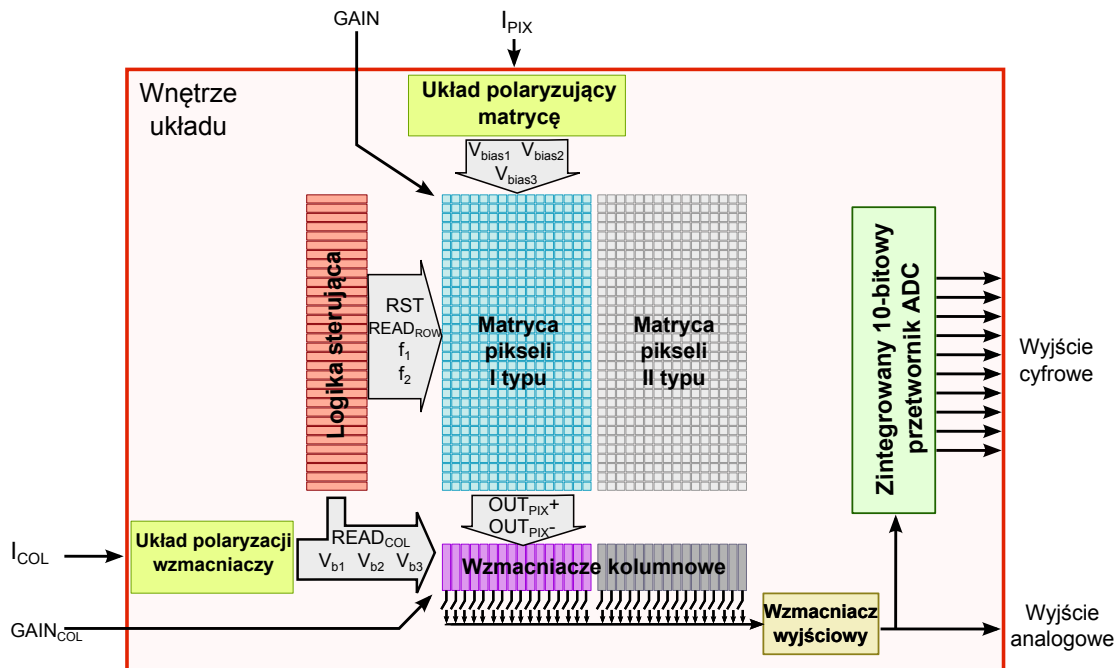
# Projekt detektora pikselowego w technologii SOI 200 nm

Przedstawiona praca stanowiła część większego projektu realizowanego przez krakowską grupę wchodzącą w skład kolaboracji *SOIPIX*. Celem przedsięwzięcia było zaprojektowanie nisko-szumowego detektora pikselowego wykonanego w technologii SOI, zawierającego wbudowany przetwornik analogowo-cyfrowy. Projekt ten stanowił kontynuację prac nad rozwojem detektora pikselowego, opartą na rezultatach pomiarów pierwszego prototypu wykonanego przez grupę [11].

Działania grupy są obecnie ukierunkowane na pracę badawczo-rozwojową, dlatego też projektowany układ nie był dedykowany pod konkretne zastosowanie. Niemniej jednak podstawowym kryterium projektowym, była minimalizacja szumu, bardzo pożądana w przypadku zastosowań spektrometrycznych. Z drugiej strony, mały wymiar pikseli wraz z nisko-szumowym odczytem i wbudowanym układem konwersji sygnału do postaci cyfrowej gwarantują bardzo wysoką rozdzielczość przestrzenną, co pozwala myśleć o ewentualnych zastosowaniach w detektorach śladowych.

Aby maksymalnie zapoznać się z możliwościami technologii SOI, projektowana matryca pikseli podzielona została na mniejsze matryce zawierające różne implementacje elektroniki odczytu. Rysunek 4.1 przedstawia schemat blokowy zawierający podstawowe (w kontekście prezentowanej pracy) części wchodzące w skład zaprojektowanego detektora oraz przepływ głównych sygnałów pomiędzy nimi. W ramach przedstawionej pracy magisterskiej zaprojektowana została matryca pikseli I typu, wzmacniacze kolumnowe, oraz

układy polaryzujące zarówno matrycę jak i wzmacniacze. Przetwornik analogowo-cyfrowy stanowił temat komplementarnej pracy magisterskiej realizowanej na Wydziale Fizyki i Informatyki Stosowanej, z kolei matryca pikseli II typu, wzmacniacz wyjściowy oraz logika sterująca zaprojektowane zostały przez pozostałych członków grupy.



RYSUNEK 4.1: Schemat blokowy przedstawiający podstawowe bloki wchodzące w skład układu oraz przepływ głównych sygnałów pomiędzy nimi.

Prezentowany układ wykonany został w technologii *200nm Silicon-On-Insulator* dostarczonej przez japońską firmę *Lapis*, korzystającą z wafli wyprodukowanych w oparciu o technikę *Smart-Cut*. Z uwagi na badawczo-rozwojowy charakter pracy, w projekcie wykorzystane zostały najnowsze udoskonalenia technologii SOI, jak na przykład *Double SOI*.

Bloki zapewniające poprawne funkcjonowanie zaprojektowanej matrycy pikseli (przedstawione na rysunku 4.1) realizują następujące zadania:

#### ◇ Logika sterująca

W celu minimalizacji czasu martwego detektora, odczyt matrycy zaprojektowany został w trybie *rolling-shutter*. Zadaniem logiki odczytu jest generowanie sygnałów sterujących pracą matrycy. Do każdego wiersza matrycy dociera zestaw następujących sygnałów:

- ★ *RST* - sygnał resetujący ładunek zgromadzony na pikselach w danym wierszu,



- ★  $READ_{ROW}$  - sygnał pozwalający połączyć wyjścia pikseli  $OUT_{PIX+}$ ,  $OUT_{PIX-}$  ze wzmacniaczami kolumnowymi,
- ★  $f_1$ ,  $f_2$  - sygnały pozwalające na zmianę trybu pracy piksela (pobieranie informacji o linii bazowej lub integracja zbieranego ładunku). Sygnały te odpowiadają za rozpoczęcie oraz zakończenie pojedynczego pomiaru.

Dodatkowo układ logiki zaprojektowany został w taki sposób, że zapewnia możliwość regulowania czasu integracji ładunku podczas pojedynczego pomiaru. Daje to możliwość pomiarów, pozwalających na odseparowanie przyczynku szumowego płynącego z prądu upływu detektora, od szumów wprowadzonych przez układ elektroniki odczytu. Częstotliwość z jaką odczytywane są kolejne piksele dyktowana jest poprzez zewnętrzny zegar  $CLK$ , przy czym maksymalna częstotliwość odczytu przewidywana jest na około 20 MHz.

#### ◇ **Matryca pikseli**

Zaprojektowana matryca składa się z 32 wierszy oraz 32 kolumn, co łącznie daje 1024 piksele. Każdy z pikseli ma wymiary  $30 \mu\text{m} \times 30 \mu\text{m}$ , tym samym wymiary całej matrycy to niespełna  $1 \text{ mm} \times 1 \text{ mm}$ . Jak zostało już wspomniane matryca składa się z dwóch części ( $16 \times 32$  każda) wyposażonych w odmienny układ elektroniki odczytu. Pierwsza część matrycy zawiera odczyt całkujący, natomiast piksele II typu wyposażone zostały w przedwzmacniacz z układem kształtującym oraz detektorem piku. Obydwa rozwiązania zrealizowane są w formie różnicowej, dlatego też z matrycy wychodzą dwa sygnały:  $OUT_{PIX+}$  oraz  $OUT_{PIX-}$ . W dalszej części pracy bliżej przedstawiona zostanie matryca pikseli I typu, ponieważ to ona stanowi część prezentowanej pracy magisterskiej.

#### ◇ **Wzmacniacze kolumnowe**

Zadaniem wzmacniaczy kolumnowych jest odebranie sygnału od pikseli oraz przetrzymanie go do czasu odczytu przez wzmacniacz wyjściowy. Wzmacniacze kolumnowe, podobnie jak cały tor odczytu, zrealizowane zostały w postaci w pełni różnicowej przy wykorzystaniu architektury *Recycling Folded Cascode*, opisanej w dalszej części pracy.

#### ◇ **Wzmacniacz wyjściowy**

Z uwagi na duże pojemności pasożytnicze pól kontaktowych układu, niezbędne jest

użycie wzmacniacza o dużej mocy, pozwalającego na wysterowanie sygnału wyjściowego w pożądanym czasie. Jest on zrealizowany w postaci różnicowego bufora napięciowego. Wzmacniacz ten jest także wykorzystywany w celu propagacji sygnału na wejście układu przetwornika analogowo-cyfrowego.

◇ **Przetwornik analogowo-cyfrowy**

Układ wyposażony jest w zintegrowany 10-bitowy przetwornik analogowo-cyfrowy wykonany w architekturze *Successive approximation* (10-bit SAR ADC). Pozwala on na cyfrowy odczyt matrycy z częstotliwością szacowaną na 20 MHz.

◇ **Układy polaryzujące**

Aby zapewnić poprawne działanie matrycy oraz wzmacniaczy kolumnowych, niezbędne jest ustawienie poszczególnych tranzystorów w odpowiednich punktach pracy. Jest to realizowane poprzez doprowadzenie zarówno do matrycy jak i do wzmacniaczy kolumnowych napięć polaryzujących ( $V_{b1}$ ,  $V_{b2}$ ,  $V_{b3}$ ,  $V_{bias1}$ ,  $V_{bias2}$ ,  $V_{bias3}$ ). Napięcia te regulują przepływ prądu w poszczególnych gałęziach elektroniki odczytu. Są one ustawiane przy pomocy zewnętrznych sygnałów prądowych  $I_{PIX}$  oraz  $I_{COL}$ . Daje to możliwość regulacji pobieranego przez układ prądu, co pozwala na zwiększenie (zmniejszenie) szybkości odczytu kosztem zwiększenia (zmniejszenia) mocy pobieranej przez układ.

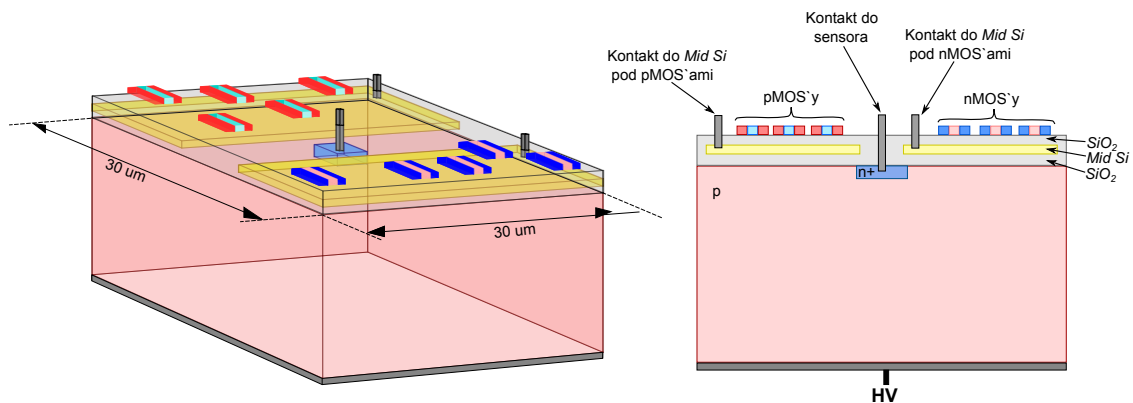
## 4.1 Projekt sensora promieniowania

Dostarczony przez firmę *Lapis* zestaw do projektowania układów scalonych umożliwia także ingerencję w *layout* (projekt masek produkcyjnych) warstw wchodzących w skład sensora promieniowania. Pozwala to na projektowanie nie tylko elektroniki odczytu, ale także kształtu sensora. Umożliwia to również zróżnicowanie kształtów sensorów w zależności od potrzeb. Istnieje więc możliwość ingerencji w pojemności piksela, czy też kształtowania rozkładu linii pola wewnątrz sensora. Jak już wcześniej wspomniano, przedstawiony detektor zaprojektowany został w technologii *Double SOI*. Dostarczony zestaw projektowy umożliwia także dowolność w rozmieszczeniu środkowej warstwy krzemu (*Mid Si*).

Na rysunku 4.2 schematycznie przedstawiono rozmieszczenie poszczególnych warstw w zaprojektowanym sensorze. Podczas projektowania sensora główny nacisk położony został na wykorzystanie struktury *Double SOI*. Dodanie kolejnej cienkiej warstwy krzemu pomiędzy sensor a elektronikę ma na celu ekranowanie elektroniki od pola elektrycznego sensora, a

także umożliwienie kompensacji efektów radiacyjnych. Z uwagi na fakt, że jest to stosunkowo nowe rozwiązanie (pierwszy wafel o strukturze Double SOI wyprodukowany został pod koniec 2012 roku) dostępne są jedynie wstępne wyniki pomiarów, jednakże wskazują one jednoznacznie na możliwość efektywnego wykorzystania środkowej warstwy krzemu do podniesienia odporności radiacyjnej[9].

Jak wcześniej przedstawiono, podatność struktury SOI na zniszczenia radiacyjne, w kontekście całkowitej pochłoniętej dawki, wywołana jest obecnością warstwy tlenku znajdującej się zaraz pod elektroniką. W tlenku gromadzą się bowiem ładunki dodatnie co powoduje przesunięcie napięć progowych tranzystorów. Przesunięcie to może jednak zostać skompensowane poprzez przyłożenie ujemnego potencjału do warstwy *Mid Si*. Pierwsze pomiary wskazują na skuteczność takiego rozwiązania. Niestety w miarę wzrostu pochłoniętej dawki, pojawiają się różnice w napięciach jakie należy przyłożyć aby zniwelować ten efekt w tranzystorach różnego typu.



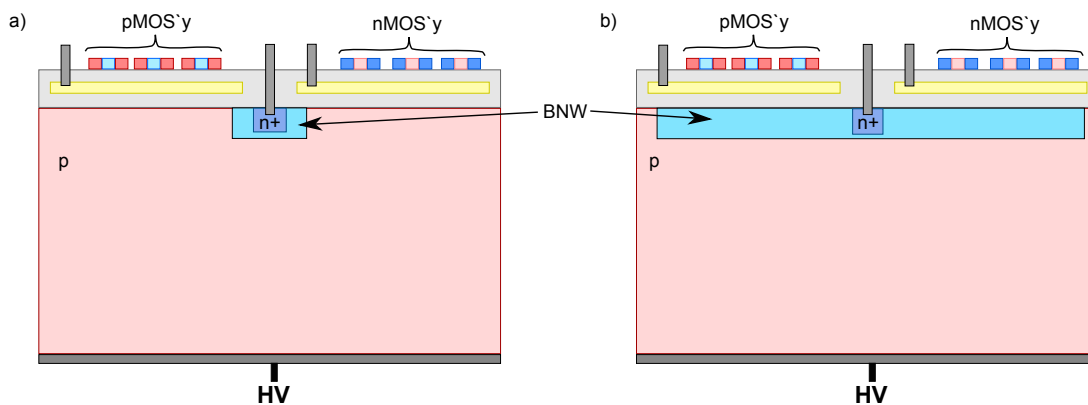
RYСУNEK 4.2: Rysunek schematyczny przedstawiający zaprojektowany sensor.

W związku z tym w ramach projektowanego układu zaproponowane zostało rozwiązanie umożliwiające indywidualną kompensację przesunięcia napięcia progowego dla nMOS'ów oraz pMOS'ów. Rozwiązanie to może być szczególnie wartościowe z punktu widzenia układów analogowych, które są o wiele czulsze na przesunięcia napięć progowych niż układy cyfrowe. Dlatego też proponowane rozwiązanie zastosowane zostało w przypadku matrycy pikseli I typu oraz wzmacniaczy kolumnowych. W pozostałej części układu środkowa warstwa krzemu jest wspólna dla pMOS'ów jak i nMOS'ów, umożliwiając jedynie przybliżoną kompensację.

Opisana separacja zrealizowana została poprzez przestrzenny podział elektroniki wchodzącej w skład układu na dwie części: jedną złożoną z samych nMOS'ów, drugą z samych

pMOS'ów. Taki podział umożliwił rozbić warstwę *Mid Si* na dwie izolowane części, znajdujące się pod określonym typem tranzystorów. Do każdej z nich doprowadzony został osobny kontakt umożliwiający podpięcie zewnętrznego potencjału. Idea opisanego rozwiązania przedstawiona została na rysunku 4.2.

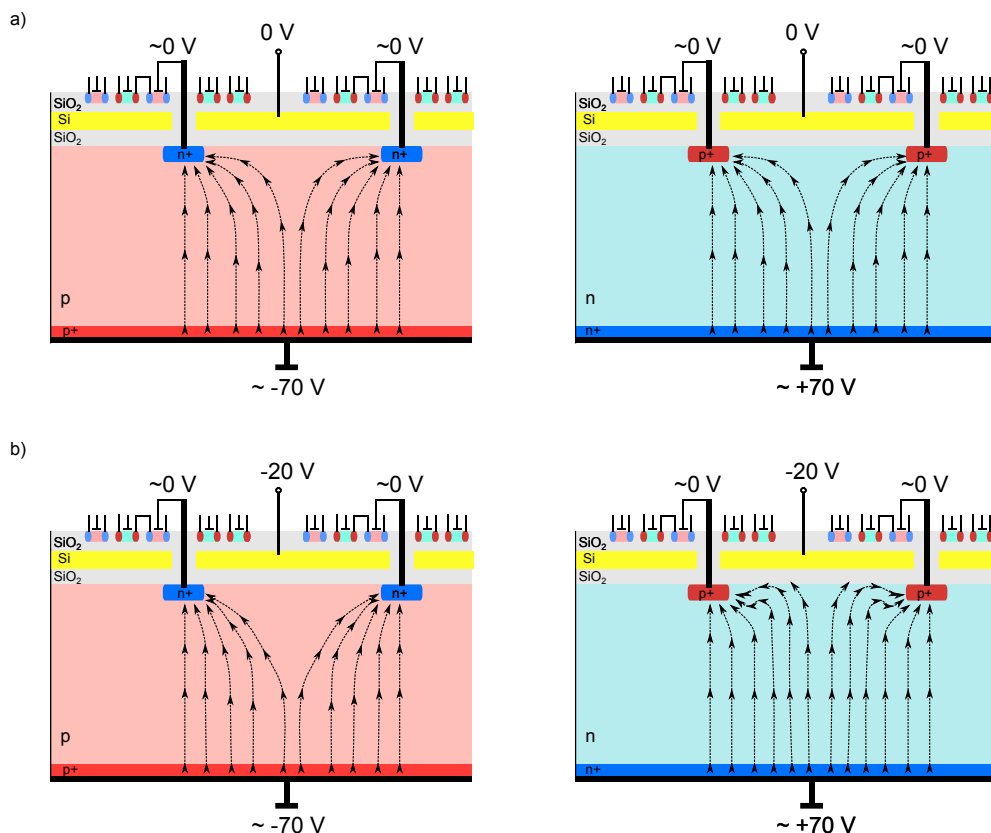
Co więcej, zaprojektowana w ramach prezentowanej pracy matryca pikseli I typu dodatkowo podzielona została na dwie równe części, z których każda posiada inny projekt sensora promieniowania (rysunek 4.3). Jedna z nich zawiera elektrody zbiorcze, wykonane z warstwy *BNW*, wypełniająca praktycznie całą powierzchnię piksela ( $29 \mu\text{m} \times 29 \mu\text{m}$ ). W drugim przypadku elektroda zbiorcza znajduje się jedynie w centrum piksela i ma wymiary  $5 \mu\text{m} \times 5 \mu\text{m}$ . Takie zróżnicowanie pozwoli na sprawdzenie czy warstwa *Mid Si* istotnie może zastąpić warstwę *BPW/BNW* w kontekście ekranowania elektroniki odczytu od pola elektrycznego sensora. Pozwoli to również sprawdzić wpływ powierzchni elektrody zbiorczej na pojemność piksela.



RYSUNEK 4.3: Różnica pomiędzy dwoma zaprojektowanymi sensorami.

Należy także zaznaczyć, że wykorzystując warstwę *Mid Si* w celu kompensacji efektów radiacyjnych zachwiana zostaje komplementarność pomiędzy detektorem wykonanym w krzemie typu *n* oraz w krzemie typu *p*. Standardowo, zmiana typu podłoża wiąże się ze zmianą znaku napięcia polaryzującego, co skutkuje zmianą zbieranych ładunków, a w efekcie prowadzi do konieczności zmiany tranzystorów w stopniu wejściowym elektroniki odczytu. Wprowadzenie wszystkich niezbędnych zmian skutkuje otrzymaniem komplementarnego detektora o zbliżonych właściwościach. Jednak w przypadku detektorów wykonanych w technologii *Double SOI*, wykorzystanie środkowej warstwy krzemu wprowadza znaczące różnice w rozkładzie pola elektrycznego wewnątrz sensora, w zależności od wybranego typu podłoża.

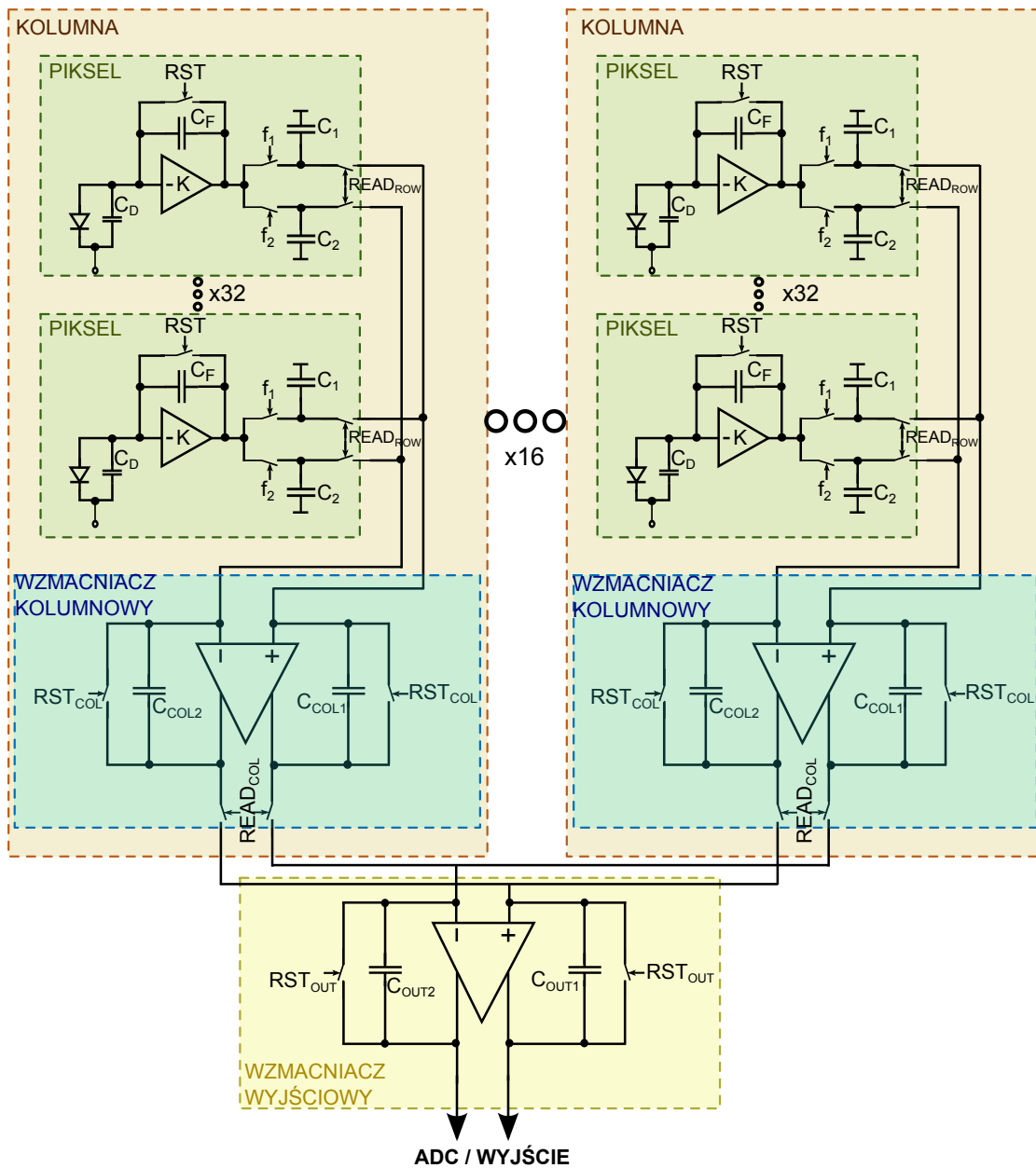
Związane jest to faktem, że niezależnie od podłoża, w tlenku zawsze gromadzone są ładunki dodatnie. Wymusza to kompensację efektów radiacyjnych poprzez przyłożenie ujemnego potencjału do warstwy *Mid Si*. Potencjał ten, z jednej strony przywraca napięcia progowe tranzystorów, ale z drugiej strony wpływa także na rozkład linii pola elektrycznego w sensorze. Co więcej wpływ ten jest zależny od typu podłoża. Napięcia przykładane do środkowej warstwy krzemu mogą wynosić nawet do  $-20\text{ V}$ , co w znaczący sposób wpływa na kształt pola elektrycznego. Na rysunku 4.4 zobrazowane zostały jakościowe przewidywania teoretyczne, wpływu ujemnego potencjału warstwy *Mid Si* na rozkład pola w sensorach różnych typów. W przypadku sensora wykonanego w krzemie typu *n* pojawia się niekorzystne minimum potencjału w obszarze pomiędzy pikselami mogące redukować liczbę nośników docierających do elektrod zbiorczych. Z kolei w przypadku sensora typu *p* efekt ten nie występuje. W naturalny sposób faworyzuje to wykorzystywanie sensorów typu *p* w strukturach *Double SOI*. Taki właśnie rodzaj sensora wykorzystany został w ramach projektowanego detektora.



RYSUNEK 4.4: Jakościowe zobrazowanie rozkładu pola elektrycznego wewnątrz sensorów różnego typu przed (a) oraz po (b) wykorzystaniu warstwy *MidSi* w celu kompensacji dodatniego ładunku zgromadzonego w tlenku.

## 4.2 Architektura elektroniki odczytu

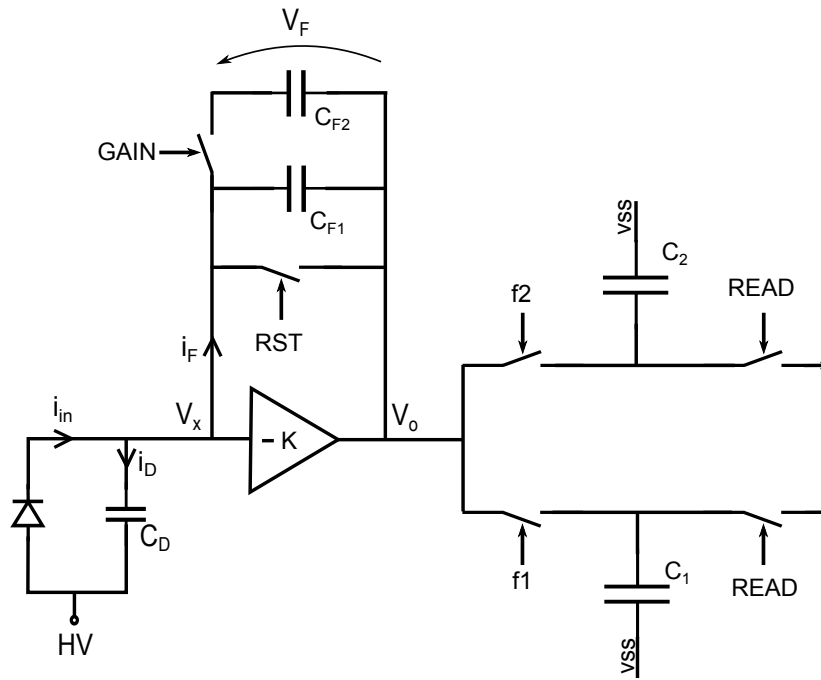
Na rysunku 4.5 przedstawiony został ogólny zarys układu elektroniki odczytu zaprojektowanej w ramach pracy (z pominięciem układów polaryzujących). W jego skład wchodzi matryca  $16 \times 32$  pikseli I typu, wyposażonych w przedwzmacniacz ładunkoczuły, całkowający ładunek zebrany w sensorze oraz 16 w pełni różnicowych wzmacniaczy kolumnowych, bazujących na układzie przełączanych pojemności. Poszczególne części układu zostaną szerzej przedstawione w dalszej części pracy.



RYSUNEK 4.5: Schemat elektroniki odczytu.

### 4.3 Projekt elektroniki odczytu piksela

Elektronika wchodząca w skład każdego piksela przedstawiona została na rysunku 4.6. Opiera się ona na przedwzmacniaczu ładunkoczułym z bezrezystywną pętlą sprzężenia zwrotnego oraz na dwóch pojemnościach  $C_1$  i  $C_2$  wchodzących w skład układu mającego na celu redukcję szumów, wykorzystującego technikę *Correlated Double Sampling (CDS)*[12] .



RYSUNEK 4.6: Schemat elektroniki w obrębie piksela.

Głównym parametrem charakteryzującym przedwzmacniacz ładunkoczuły jest wzmocnienie ładunkowe  $k_Q$ , wyrażone poprzez stosunek maksymalnego napięcia wyjściowego do ilości ładunku wstrzykiwanego na wejście układu.

$$k_Q = \frac{V_{outmax}}{Q_{in}} \quad (4.1)$$

W celu określenia wzmocnienia ładunkowego niezbędna jest znajomość funkcji przenoszenia przedstawionego układu[1]. Aby ją wyznaczyć założmy, że wzmocnienie przedwzmacniacza wynosi  $K$  i nie zależy od częstotliwości, a pojemność w sprzężeniu zwrotnym układu wynosi  $C_F$ . Jako wejściowy impuls wymuszający przyjmijmy dirakowski impuls prądowy

niosący ładunek  $Q_{in}$ , stanowiący dobre przybliżenie sygnału pochodzącego z sensora.

$$i_{in}(t) = Q_{in}\delta(t) \quad (4.2)$$

$$i_{in}(s) = Q_{in} \quad (4.3)$$

Wówczas otrzymujemy zestaw równań operatorowych w postaci:

$$i_{in}(s) = i_F(s) + i_D(s) \quad (4.4)$$

$$V_x(s) = V_o(s) + V_F(s) \quad (4.5)$$

$$V_F(s) = \frac{i_F(s)}{sC_F} \quad (4.6)$$

$$V_x(s) = \frac{i_D(s)}{sC_D} \quad (4.7)$$

$$V_o(s) = -KV_x(s) \quad (4.8)$$

Zatem korzystając z 4.4, 4.5, 4.6 oraz 4.7 otrzymujemy:

$$\begin{aligned} i_{in}(s) &= V_x s C_D + V_F s C_F = V_x s C_D + (V_x - V_o) s C_F \\ &= V_x s (C_D + C_F) - V_o s C_F \end{aligned} \quad (4.9)$$

Stąd:

$$V_x(s) = \frac{i_{in}(s) + V_o s C_F}{s(C_D + C_F)} \quad (4.10)$$

Wstawiając do 4.8 otrzymujemy:

$$V_o(s) = -K \frac{i_{in}(s) + V_o s C_F}{s(C_D + C_F)} \quad (4.11)$$

Ostatecznie:

$$V_o(s) = -K \frac{i_{in}(s) \frac{1}{s(C_D + C_F)}}{1 + K \frac{s C_F}{s(C_D + C_F)}} = -K \frac{i_{in}(s)}{s} \frac{1}{C_D + C_F(1 + K)} \quad (4.12)$$

Korzystając z założenia 4.3 otrzymujemy operatorową zależność napięcia wyjściowego od ładunku:

$$V_o(s) = -K \frac{Q_{in}}{s} \frac{1}{C_D + C_F(1 + K)} \quad (4.13)$$



Przechodząc do dziedziny czasu otrzymujemy:

$$\begin{aligned}
 V_o(t) &= \sum_i \operatorname{Res}\{F(s) e^{st}\} \\
 V_o(t) &= \operatorname{Res}_{s=0} \left\{ -K \frac{Q_{in}}{s} \frac{1}{C_D + C_F(1+K)} e^{st} \right\} \\
 &= \lim_{s \rightarrow 0} \left\{ -K \frac{Q_{in}}{s} \frac{1}{C_D + C_F(1+K)} s e^{st} \right\} \\
 &= -K \frac{Q_{in}}{C_D + C_F(1+K)}
 \end{aligned} \tag{4.14}$$

W równaniu 4.14 wyraźnie wydać liniową zależność napięcia wyjściowego od wstrzykiwanego ładunku, stanowiącą istotę działania przedwzmacniacza ładunkoczułego. Co więcej, stosując przedwzmacniacz o wystarczająco dużym wzmocnieniu, spełniający warunek:

$$K \cdot C_F \gg C_D \tag{4.15}$$

otrzymujemy przybliżoną zależność:

$$V_o(t) \simeq - \frac{Q_{in}}{C_F} \tag{4.16}$$

Tym samym wzmocnienie ładunkowe przedwzmacniacza ładunkoczułego wynosi:

$$k_Q = - \frac{1}{C_F} \tag{4.17}$$

W zaprojektowanym układzie wartości poszczególnych komponentów wynoszą:

$$C_{F1} = 4 \text{ fF}$$

$$C_{F2} = 4 \text{ fF}$$

$$C_D = \sim 16 \text{ fF}$$

$$K = \sim 300 \text{ V/V}$$

$$C_1 = 100 \text{ fF}$$

$$C_2 = 100 \text{ fF}$$

Zatem spełniony jest warunek 4.15. Umożliwia to uniezależnienie wzmocnienia od pojemności detektora. Powiązanie wzmocnienia ładunkowego, jedynie z pojemnością w sprzężeniu zwrotnym, pozwala modyfikować je w prosty sposób, co zostało wykorzystane w projekcie. Istnieje mianowicie możliwość dołączenia dodatkowej pojemności  $C_{F2}$  przy pomocy zewnętrznego sygnału  $GAIN$ . Zaprojektowany układ posiada zatem dwa tryby pracy:

- ◊ pierwszy, w którym w sprzężeniu zwrotnym podłączona jest tylko pojemność  $C_{F1}$ , charakteryzujący się większym wzmocnieniem ładunkowym, wynoszącym teoretycznie:

$$|k_{Q1}| = \frac{1}{C_{F1}} = 0.25 \frac{V}{fC} = 40 \frac{\mu V}{e^-}$$

pozwalający na detekcję mniejszych ładunków.

- ◊ drugi, w którym obie pojemności połączone równolegle wchodzi w skład sprzężenia zwrotnego, o wzmocnieniu ładunkowym, wynoszącym:

$$|k_{Q2}| = \frac{1}{C_{F1} + C_{F2}} = 0.125 \frac{V}{fC} = 20 \frac{\mu V}{e^-}$$

pozwalającym na pomiary w szerszym zakresie ładunków wejściowych.

W celu ciągłego całkowania ładunku wejściowego, przedstawiony układ wykorzystuje bezrezystywną pętlę sprzężenia zwrotnego. Wymaga to zatem kasowania go pomiędzy kolejnymi pomiarami. Zrealizowane to zostało przy pomocy klucza sterowanego sygnałem  $RST$ , spinającego wyjście przedwzmacniacza z jego wejściem.

Wyjście przedwzmacniacza, przy pomocy kluczy sterowanych sygnałami  $f_1$  oraz  $f_2$ , może zostać połączone z jedną z dwóch pojemności, odpowiednio  $C_1$  oraz  $C_2$ . Pojemności te pełnią funkcję elementu pamięci, przechowującego wartość napięcia wyjściowego do czasu odczytu. Użycie dwóch pojemności pozwala na wykorzystanie techniki *Correlated Double Sampling*, bazującej na dwukrotnym pomiarze, z określonym interwałem czasowym pomiędzy pomiarami.

### 4.3.1 Correlated Double Sampling (CDS)

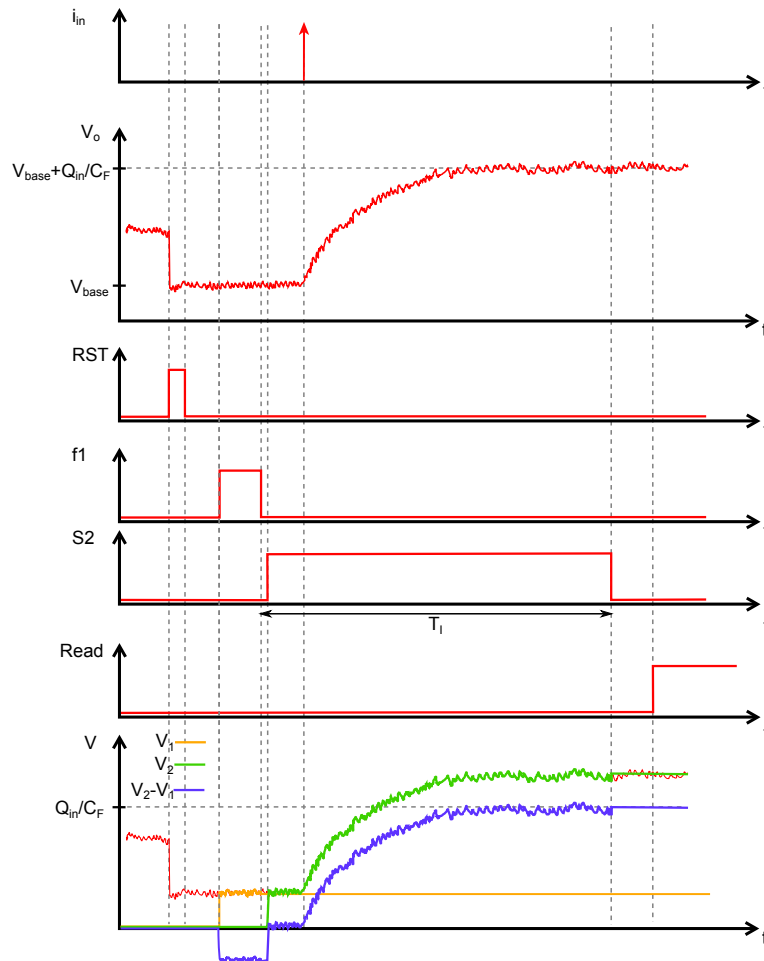
Idea działania techniki CDS przedstawiona została na rysunku 4.7. Praca takiego układu podzielona jest na trzy główne etapy:

- ◇ W pierwszym kroku, zaraz po resecie, klucz sterowany sygnałem  $f_1$  zostaje na chwilę włączony, co sprawia, że na pojemności  $C_1$  odłożony zostaje poziom linii bazowej  $V_{base}$ .
- ◇ W kolejnym kroku wyjście przedwzmacniacza połączone zostaje z drugą pojemnością  $C_2$ . Wówczas, przez czas integracji  $T_I$ , układ oczekuje na pojawienie się sygnału w sensorze. Jeżeli na wejście przedwzmacniacza trafi ładunek  $Q_0$ , wówczas napięcie wyjściowe układu przedwzmacniacza wzrośnie do poziomu  $V_{base} + \frac{Q_0}{C_F}$ . Napięcie to zostanie odłożone na pojemności  $C_2$  i zapamiętane poprzez wyłączenie klucza sterowanego sygnałem  $f_2$ .
- ◇ Następnie dochodzi do odczytu, który zrealizowany może zostać w dwojaki sposób. W przedstawionym układzie zastosowany został odczyt różnicowy, nieczuły na zakłócenia wspólne dla obu linii sygnałowych. Możliwe jest także zrealizowanie odczytu *single-ended*, poprzez dodanie stopnia odejmującego napięcie odłożone na pojemności  $C_2$ , od napięcia na pojemności  $C_1$ . Wówczas przesyłana jest jedynie różnica napięć, wynosząca  $\frac{Q_0}{C_F}$ , proporcjonalna do ładunku na wejściu układu.

Zastosowanie techniki CDS niesie za sobą szereg korzyści. Do najważniejszych z nich należą:

- ◇ Uniezależnienie mierzonego napięcia od fluktuacji napięcia linii bazowej, występujących zarówno pomiędzy kolejnymi pomiarami jak i pomiędzy różnymi pikselami.
- ◇ Redukcja szumów nisko-częstotliwościowych, w tym szumów  $1/f$ . Wykonywanie dwóch pomiarów w odstępie czasu  $T_I$  w naturalny sposób prowadzi do niwelowania wpływu szumów, o częstotliwościach mniejszych od  $\frac{1}{T_I}$ .
- ◇ Dodatkowo zastosowanie techniki CDS pozwala na redukcję szumu szablonowego (ang. *pattern noise*).

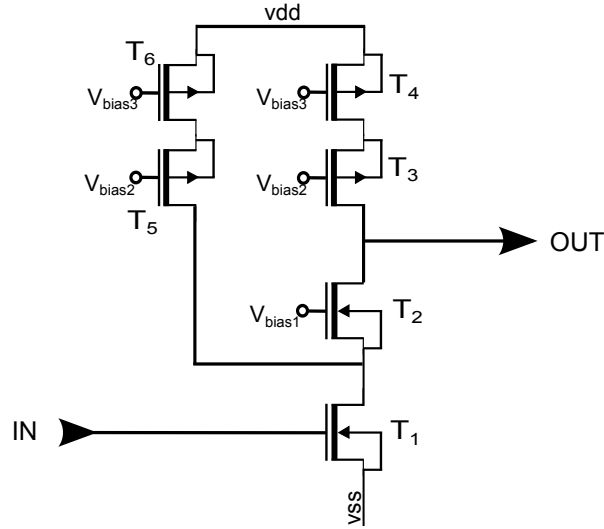
Warto także zaznaczyć, że dzięki zastosowaniu techniki CDS możliwe jest uzyskanie sygnału różnicowego, co zmniejsza podatność układu na wpływ zniekształceń wspólnych. Z tego względu cały tor elektroniki odczytu zaprojektowany w ramach pracy, a także zintegrowany układ przetwornika analogowo-cyfrowego wykonany został w architekturze w pełni różnicowej.



RYSUNEK 4.7: Przebiegi czasowe sygnałów obrazujące zasadę działania techniki CDS.

### 4.3.2 Architektura przedwzmacniacza

Użyty w układzie pikseli przedwzmacniacz, wykonany został w architekturze teleskopowej kaskody ze wspomagającym źródłem prądowym, przedstawionej na rysunku 4.8. Kaskodowy stopień wzmacniający wybrany został ze względu na możliwość uzyskania dużego wzmocnienia w pojedynczym stopniu. Składa się on z tranzystora  $T_1$  pracującego w konfiguracji wspólnego źródła oraz tranzystora  $T_2$  pracującego w konfiguracji wspólnej bramki. Tranzystory  $T_3$  i  $T_4$  stanowią aktywne obciążenie w postaci kaskodowego lustra prądowego. Tranzystory  $T_5$  i  $T_6$  tworzą wspomagające lustro prądowe, także zrealizowane w formie kaskody. Lustro to dostarcza dodatkowy prąd płynący przez tranzystor  $T_1$ , co ma na celu redukcję szumów.



RYSUNEK 4.8: Schemat zastosowanego przedwzmacniacza.

W celu wyznaczenia wzmocnienia zaprezentowanego układu należy rozpatrzyć model małosygnałowy przedstawiony na rysunku 4.9. Dla uproszczenia pominięte zostało wspomagające źródło prądowe, a aktywne obciążenie zastąpione rezystancją  $R_D$ . Wówczas, stosując metodę prądów oczkowych otrzymujemy:

$$\begin{aligned} (r_{ds1} + r_{ds1} + R_D) \cdot i_{out} &= -r_{ds1}g_{m1}V_{gs1} - r_{ds2}g_{m2}V_{gs2} \\ V_{gs2} &= (i_{out} + g_{m1}V_{gs1})r_{ds1} \\ V_{gs1} &= V_{in} \\ V_{out} &= i_{out}R_D \end{aligned}$$

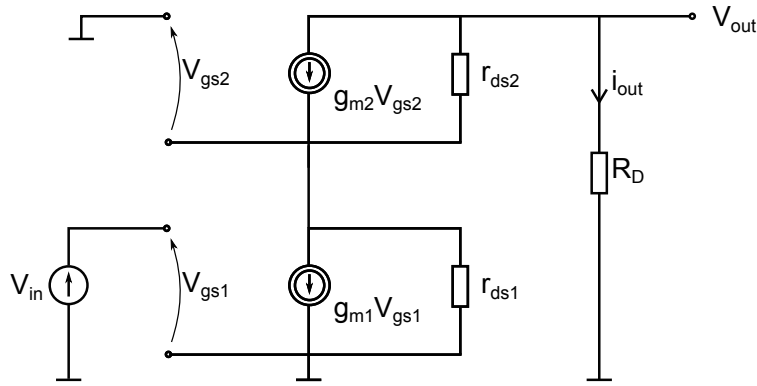
Stąd wzmocnienie przedwzmacniacza wynosi:

$$K = \frac{V_{out}}{V_{in}} = -g_{m1} \frac{R_D(r_{ds1} + g_{ms2}r_{ds2}r_{ds1})}{R_D + r_{ds2} + r_{ds1} + g_{ms2}r_{ds2}r_{ds1}}$$

$$K \cong -g_{m1}R_D \parallel R_{down} = -g_{m1}R_{out} \quad (4.18)$$

gdzie  $R_{down}$  oznacza rezystancję widzianą z wyjścia w dół układu, a  $R_{out}$  rezystancję wyjściową.

Z równania 4.18 widać wyraźnie, że wzmocnienie układu zdominowane będzie przez mniejszą z rezystancji  $R_D$  i  $R_{down}$ . Więc aby maksymalnie wykorzystać potencjał układu, należy



RYSUNEK 4.9: Małosygnalowy model wzmacniacza kaskodowego.

zrównać obie te rezystancje. Z tego względu aktywne obciążenie zrealizowane zostało w formie kaskodowego lustra prądowego, którego rezystancja wynosi:

$$R_D = g_{m3}r_{ds3}r_{ds4} + r_{ds3} + r_{ds4} \quad (4.19)$$

Wówczas wzmocnienie napięciowe układu wynosi w przybliżeniu:

$$K \simeq -g_{m1} \cdot \frac{1}{2}g_{m2}r_{ds2}r_{ds1} \quad (4.20)$$

Przeprowadzając nisko-częstotliwościową analizę szumową wzmacniacza kaskodowego, można wykazać, że gęstość widmowa mocy ekwiwalentnych szumów napięciowych dana jest przez[13]:

$$\frac{d\langle v_{ni}^2 \rangle}{df} = 4k_B T \left( \frac{2}{3g_{m1}} + \frac{1}{g_{m1}^2 R_D} \right) \quad (4.21)$$

Co w prowadzi do wniosku, że stosując aktywne obciążenie o odpowiednio dużym  $R_D$ , główny przyczynik szumowy ze strony przedwzmacniacza pochodzi od czynnika  $\frac{2}{3g_{m1}}$  związanego z szumem rezystancji kanału tranzystora  $T_1$ . Dlatego też, w celu minimalizacji szumu dążymy do uzyskania jak największej transkonduktancji  $g_{m1}$  tranzystora wejściowego, danej wzorem:

$$g_m = \sqrt{2\mu_0 C_{ox} \frac{W}{L} I_D} \quad (4.22)$$

Można to osiągnąć poprzez maksymalizację szerokości tranzystora, użycie tranzystora o minimalnej długości kanału, bądź zwiększenie prądu drenu. Użycie tranzystora wejściowego o dowolnie dużej szerokości, jest jednak ograniczone dostępną powierzchnią piksela. Co więcej wzrost szerokości wpływa także na zwiększenie pojemności bramki tranzystora

wejściowego, połączonej równolegle z pojemnością detektora, co niekorzystnie wpływa na działanie układu. W przypadku długości kanału tranzystora pomiary doświadczalne wskazują, że optymalna długość kanału stopnia wejściowego jest nieco większa niż minimalna długość kanału dostępna w danej technologii. Związane jest to z redukcją wpływów od efektu krótkiego kanału. Zatem ostatnim parametrem umożliwiającym zwiększenie transkonduktancji jest prąd drenu. Także w tym wypadku nie istnieje proste rozwiązanie. Wzrost prądu drenu powoduje bowiem wzrost mocy pobieranej przez układ. Jeśli jednak możemy pozwolić sobie na większy pobór mocy, należy zwrócić również uwagę na wpływ zwiększenia prądu na pozostałą część układu. Należy zatem rozpatrzyć jego wpływ na rezystancję aktywnego obciążenia, a tym samym na wzmocnienie. Rezystancja obciążenia dana jest wzorem 4.19, przy czym pozostawiając jedynie człon dominujący można ją przybliżyć do:

$$R_D = g_{m3} r_{ds3} r_{ds4} \quad (4.23)$$

Biorąc pod uwagę, że małosygnalowa rezystancja pomiędzy drenem a źródłem zależy odwrotnie proporcjonalnie od prądu drenu [14]:

$$r_{ds} \cong \frac{1}{\lambda I_D} \quad (4.24)$$

Prowadzi to do zależności rezystancji obciążenia od prądu drenu danej przez:

$$R_D \propto \frac{1}{I_D^{\frac{3}{2}}} \quad (4.25)$$

Widać więc wyraźnie, że zwiększanie transkonduktancji układu poprzez zwiększanie prądu w głównej gałęzi, prowadzi do spadku wzmocnienia. Istnieje jednak rozwiązanie pozwalające ominąć ten efekt. Mianowicie zastosowane w zaprojektowanym układzie wspomagające źródło prądowe (rysunek 4.8 tranzystory  $T_5$  i  $T_6$ ) pompuje dodatkowy prąd do tranzystora w stopniu wejściowym, nie zmieniając przy tym prądu w pozostałej części układu. Pozwala to na zwiększenie transkonduktancji tranzystora  $T_1$ , bez negatywnego wpływu na wzmocnienie przedwzmacniacza.

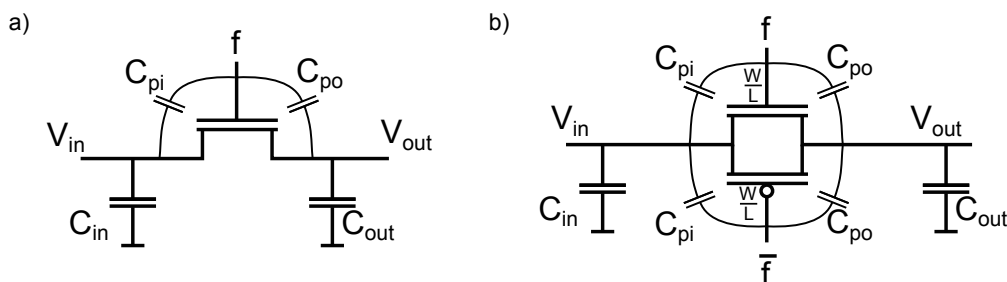
### 4.3.3 Efekty wstrzykiwania ładunku w układach na przełączanych pojemnościach

Wykorzystywanie tranzystorów jako klucze, zarówno w przypadku przedstawionej konfiguracji przedwzmacniacza, jak i we wzmacniaczach kolumnowych bazujących na układzie przełączanych pojemności, niesie za sobą szereg reperkusji, które należy wziąć pod uwagę[12][15]. Najczęściej poruszaną kwestią w kontekście stosowania tranzystora jako klucz jest niezerowa, a co więcej nieliniowo zmienna rezystancja włączonego klucza. Jednakże, w przypadku wyżej wymienionych układów największy wpływ na ich pracę mają efekty takie jak:

- ◇ przesłuch od sygnałów sterujących,
- ◇ wstrzykiwanie ładunku z kanału.

Przesłuchy od sygnałów sterujących pojawiają się z uwagi na występowanie pojemności pasożytniczych pomiędzy bramką a drenem oraz między bramką a źródłem. Za ich pośrednictwem sygnał sterujący kluczem częściowo wpływa na przesyłany sygnał. Przedstawione to zostało na rysunku 4.10a. Efekt ten jest szczególnie istotny, kiedy niezbędne jest wykorzystanie dużych kluczy. Powoduje to bowiem wzrost wartości pojemności pasożytniczych, zwiększając tym samym przesłuch pochodzący od napięcia sterującego kluczem.

Efekt przesłuchu od sygnałów sterujących może zostać stłumiony stosując jako klucz pełną bramkę transmisyjną. Przy czym zarówno pMOS jak i nMOS muszą mieć taką samą szerokość oraz długość, gwarantując tym samym zbliżone wartości ich pojemności pasożytniczych. Wówczas, podczas gdy na bramce nMOS'a pojawia się sygnał sterujący  $f$ , na pMOS'a trafia sygnał zaprzeczony  $\bar{f}$ . Dzięki temu wpływ obydwu sygnałów na linie transmisyjną znosi się. Zostało to przedstawione na rysunku 4.10b.



RYSUNEK 4.10: Wpływ pojemności pasożytniczych tranzystora na przesłuch od sygnału sterującego (a) oraz kompensacja tego efektu przy użyciu bramki transmisyjnej (b).



Kolejny efekt związany jest z ładunkiem zgromadzonym w kanale. W czasie gdy tranzystor pracujący jako klucz jest włączony, w jego kanale zgromadzony jest ładunek  $q_{ch}$  [13]:

$$q_{ch} = C_{OX}WL(V_{DD} - V_{th} - V_{in}) \quad (4.26)$$

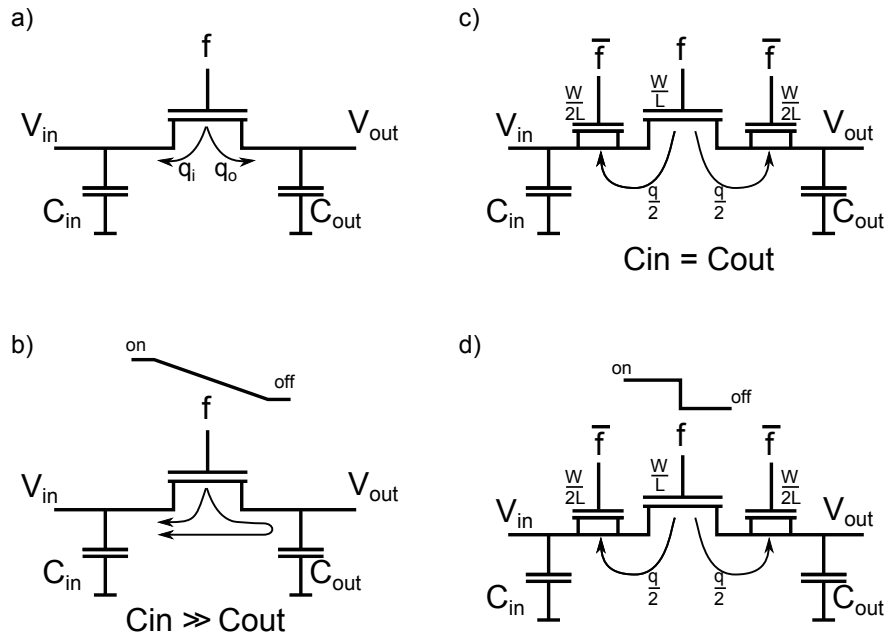
Po wyłączeniu, ładunek ten musi trafić na któryś z terminali tranzystora. W rzeczywistości dzieli się on pomiędzy źródło i dren, w proporcjach zależnych głównie od impedancji widzianych w każdą ze stron (stosunek  $C_{out}$  do  $C_{in}$ ). Jednakże na podział ładunku mają wpływ także inne parametry układu, jak na przykład rezystancja kanału, czy stromość zbocza sygnału sterującego. Ogólnie można przyjąć, że przy wolno zmieniającym się sygnałem sterującym ładunek wstrzykiwany z kanału wpływa głównie w stronę po której znajduje się większa pojemność. Z kolei w przypadku stromego sygnału sterującego ( $\ll R_{ON}C$ ), dochodzi do nagłego przerwania kanału co prowadzi do bardziej równomiernego rozplywu ładunku (niezależnie od pojemności  $C_{out}$  i  $C_{in}$ ).

Z uwagi na fakt, że efekt ten jest trudny do jednoznacznego opisania ilościowego, nie ma techniki pozwalającej w pełni go wyeliminować. Istnieją jednak sposoby pozwalające na jego minimalizację, przedstawione na rysunku 4.11. Jedną z nich jest maksymalizacja pojemności  $C_{in}$ , skutkująca zmniejszeniem impedancji widzianej od strony wejścia układu. Prowadzi to do przejęcia większości ładunku z kanału przez pojemność  $C_{in}$ , nie wprowadzając tym samym zaburzenia na wyjściu układu.

Kolejnym sposobem jest dodanie po obu stronach klucza wspomagających tranzystorów *dummy* (teoretycznie nie pełniących żadnej funkcji), o dwukrotnie mniejszej szerokości niż tranzystor w kluczu, sterowanych sygnałem zaprzeczonym. Rozwiązanie to wymaga ponadto równomiernego podziału ładunku, co można zapewnić poprzez odpowiednio stromy sygnał sterujący, bądź równość pojemności  $C_{in}$  i  $C_{out}$ . Wówczas ładunek spływający z kanału klucza, podzieli się w połowie pomiędzy dren a źródło, a następnie zostanie wykorzystany w celu utworzenia kanału w tranzystorach *dummy*.

Aby zobrazować jak duży wpływ na funkcjonowanie układu mogą mieć opisane efekty, przedstawione zostaną dwa proste oszacowania.

- ◊ W pierwszym z nich zakładamy, że z kluczem sterowanym sygnałem  $f_1$  (rysunek 4.6) stowarzyszona jest pojemność pasożytnicza o wartości  $\sim 1 fF$ , a napięcie zasilania wynosi 1.8 V. Pojemność  $C_1$  wynosi 100 fF. Wówczas podczas wyłączenia klucza,



RYСУNEK 4.11: Wstrzykiwanie ładunku z klucza (a) oraz metody tłumienia tego efektu (b)(c)(d).

dochodzi do wstrzyknięcia na wyjście układu ładunku o wartości:

$$q_{inj} \simeq 1 \text{ fF} \cdot 1.8 \text{ V} = 1.8 \text{ fC}$$

Prowadzi to do zmiany napięcia na pojemności  $C_1$ :

$$\Delta V \simeq \frac{1.8 \text{ fC}}{100 \text{ fF}} = 18 \text{ mV}$$

Co jest równoważne z sygnałem wygenerowanym przez wstrzyknięcie na wejście przedwzmacniacza ładunku  $1000 e^-$ .

- ◊ W drugim przykładzie rozpatrujemy wstrzykiwanie ładunku z kanału klucza  $f_1$ , zakładając jego szerokość  $W = 5 \mu\text{m}$  oraz długość  $L = 0.2 \mu\text{m}$ , a także pojemność bramki na jednostkę powierzchni równą  $C_{OX} = 8 \cdot 10^{-3} \frac{\text{F}}{\text{m}^2}$ . Wówczas ładunek zgromadzony w kanale, przy sygnale wejściowym równym  $0.5 \text{ V}$  wynosi:

$$q_{ch} = 8 \cdot 10^{-3} \cdot 5 \cdot 10^{-6} \cdot 0.2 \cdot 10^{-6} \cdot (1.8 - 0.5 - 0.5) = 6.4 \text{ fC}$$

Co prowadzi do zmiany napięcia na pojemności  $C_1$  równej:

$$\Delta V \leq \frac{6.4 \text{ fC}}{100 \text{ fF}} = 64 \text{ mV}$$

Odpowiada to wstrzyknięciu na wejście układu przedwzmacniacza ładunku  $3600 e^-$ . Wyraźnie wydać jak duże zaburzenie wprowadzają nieidealności tranzystora pracującego jako klucz. Z tego względu, we wszystkich zastosowanych w układzie kluczach wykorzystane zostały techniki, mające na celu redukcję zakłóceń pochodzących od kluczy (4.11b,c,d).

## 4.4 Wzmacniacz kolumnowy

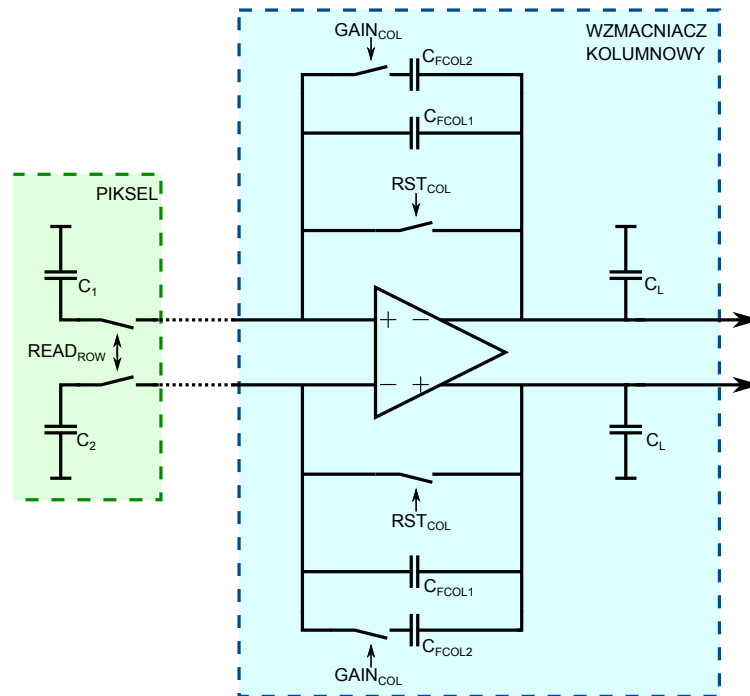
Zaprojektowany w ramach pracy wzmacniacz kolumnowy przedstawiony jest na rysunku 4.12. Wraz z pojemnościami wyjściowymi piksela tworzy on układ oparty na przełączanych pojemnościach, zrealizowany w formie różnicowej. Wzmocnienie takiego układu zdeterminowane jest poprzez stosunek pojemności wejściowej ( $C_{in} = C_1 = C_2$ ) do pojemności w sprzężeniu zwrotnym ( $C_F$ ):

$$K_{COL} = \frac{C_{in}}{C_F} \quad (4.27)$$

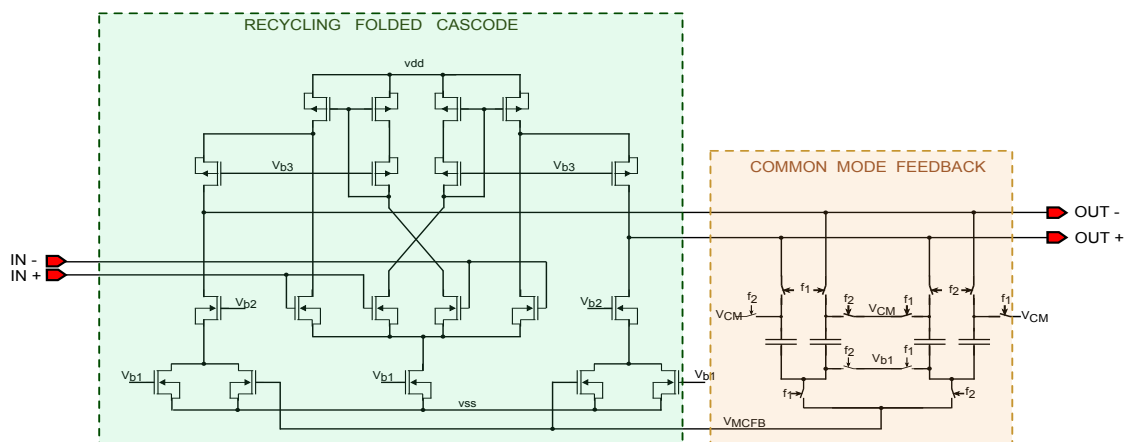
Zależność ta została wykorzystana w celu umożliwienia regulacji wzmocnienia wzmacniacza kolumnowego. W podstawowym trybie działa on jako bufor (jednostkowe wzmocnienie), jednakże pojemność sprzężenia zwrotnego rozdzielona została pomiędzy dwa kondensatory  $C_{FCOL1}$  oraz  $C_{FCOL2}$ . Zewnętrzny sygnał sterujący  $GAIN_{COL}$  pozwala na odłączenie jednego z nich, dwukrotnie zmniejszając pojemność sprzężenia zwrotnego. W efekcie otrzymujemy wzmocnienie wynoszące  $K_{COL} = 2 \frac{V}{V}$ .

Rdzeń wzmacniacza kolumnowego stanowi wzmacniacz różnicowy wykonany w architekturze *Recycling Folded Cascode*, wspomagany przez układ przywracania napięcia wspólnego (ang. *Common Mode Feedback* (CMFB)), zrealizowany na przełączanych pojemnościach (rysunek 4.13).

Nadrzędnym celem podczas projektowania wzmacniacza kolumnowego była minimalizacja pobieranej przez niego mocy. Z tego względu wybrana została architektura *Recycling Folded Cascode* (RFC), stanowiąca udoskonalenie standardowej zawiniętej kaskody (ang. *Folded Cascode* (FC)). Wykorzystanie tej architektury pozwala uzyskać układ o zadanych parametrach przy dwukrotnie mniejszym poborze mocy, niż w przypadku standardowej zawiniętej kaskody. Co więcej, pozwala również na znaczną redukcję powierzchni układu. Szczegółowy opis architektury RFC, a także porównanie jej z analogicznym układem FC, przedstawione zostały w [16] oraz [17].



RYSUNEK 4.12: Schemat układu wzmacniacza kolumnowego.

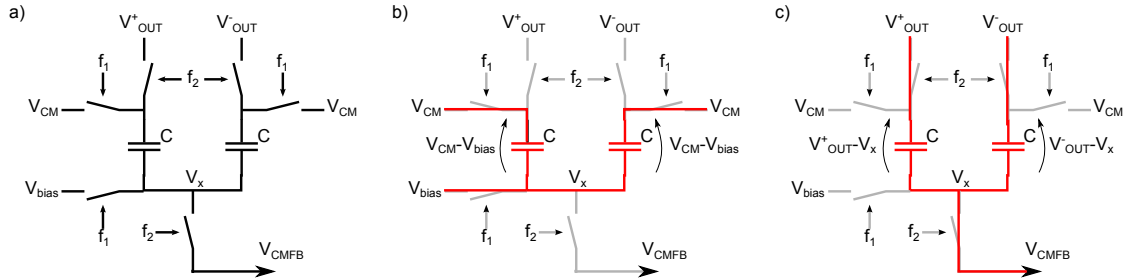


RYSUNEK 4.13: Architektura wzmacniacza różnicowego wraz z układem CMFB.

Wzmacniacze w pełni różnicowe wymagają dodatkowego układu mającego na celu ustalenie napięcia wspólnego ( $V_{CM} = \frac{V_{OUT+} + V_{OUT-}}{2}$ ) na wyjściu wzmacniacza. Funkcję tę pełni układ przywracania napięcia wspólnego (CMFB). Istnieje wiele architektur układu CMFB, jednak z uwagi na sekwencyjną pracę wzmacniacza kolumnowego oraz na kryterium minimalizacji poboru mocy, wykorzystana została realizacja oparta na przełączanych pojemnościach[15]. Jej główną zaletą jest brak statycznego poboru mocy, jak również brak dodatkowych ograniczeń na zakres napięć wyjściowych. Taka architektura wymaga jednak dodatkowych sygnałów ( $f_1$  i  $f_2$ ) zapewniających odpowiednie przełączanie pojemności oraz

próbkowania sygnału wyjściowego w odpowiednim momencie.

Zastosowany układ CMFB składa się z dwóch komplementarnych układów - w czasie gdy pierwszy "pracuje", drugi przygotowany jest do pracy, i na odwrót. Jego działanie opiera się na redystrybucji ładunku, i przedstawione zostało na rysunku 4.14.



RYSUNEK 4.14: Zasada działania układu CMFB zrealizowanego w postaci przełączanych pojemności.

W ogólności działanie układu CMFB opiera się na porównaniu odstępstwa średniego napięcia wyjściowego  $\frac{V_{OUT+} + V_{OUT-}}{2}$  od pożądanego napięcia wspólnego  $V_{CM}$ . Następnie wynik porównania zwrócony zostaje do wzmacniacza w celu przywrócenia odpowiedniego napięcia wspólnego. Realizowane jest to poprzez napięciowe sterowanie prądem stopnia wyjściowego wzmacniacza. Rozpatrzmy zatem działanie zastosowanego układu CMFB (rysunek 4.14). Poprzez  $V_{bias}$  oznaczone zostało typowe napięcie polaryzujące lustro prądowe sterujące prądem stopnia wyjściowego. Z kolei przez  $V_{CMFB}$  oznaczono napięcie wychodzące z układu CMFB. W pierwszej fazie, na obydwu pojemnościach odłożone zostaje napięcie  $V_{CM} - V_{bias}$ . Zatem ładunek na nich zgromadzony wynosi:

$$Q_0 = 2 \cdot (V_{CM} - V_{bias})C$$

W drugiej fazie górne okładki pojemności połączone zostają z wyjściami z układu. Ze względu na brak stałoprądowego połączenia dolnych okładek z resztą układu, ładunek na pojemnościach musi zostać zachowany. Dochodzi jedynie do jego redystrybucji, przez co ustala się potencjał  $V_x$ , w tej fazie odpowiadający napięciu  $V_{CMFB}$ . Z zasady zachowania ładunku zapisać możemy:

$$2 \cdot (V_{CM} - V_{bias})C = (V_{OUT+} - V_x)C - (V_{OUT-} - V_x)C$$

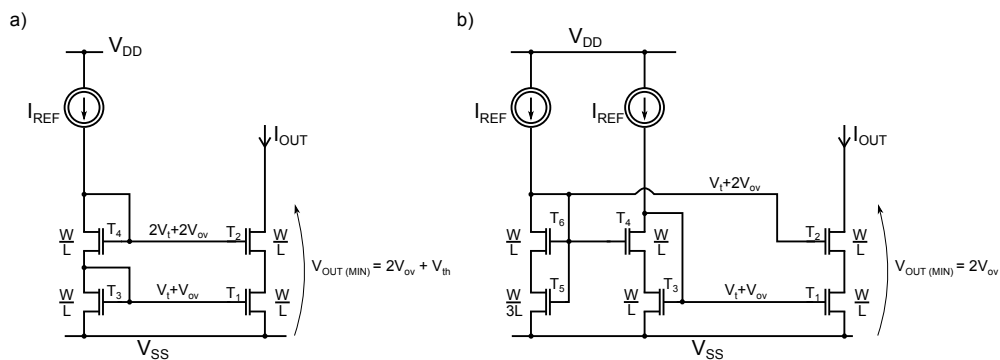
Stąd otrzymujemy:

$$V_{CMFB} = V_x = V_{bias} + \left( \frac{V_{OUT}^+ + V_{OUT}^-}{2} - V_{CM} \right)$$

W powyższym równaniu wyraźnie widać dwa człony: pierwszy wnoszący typowe napięcie polaryzacji oraz drugi dodający poprawkę z odstępstwa średniego napięcia wyjściowego od napięcia wspólnego.

## 4.5 Układy polaryzujące

Układy polaryzujące wykonane zostały w postaci luster prądowych, sterujących prądem płynącym w poszczególnych gałęziach przedwzmacniacza oraz wzmacniacza kolumnowego. W obydwu przypadkach istotnym czynnikiem jest zapewnienie odpowiednio dużej rezystancji wyjściowej lustra prądowego, pozwalającej na uzyskanie dużego wzmocnienia. Można to osiągnąć poprzez zastosowanie kaskodowego lustra prądowego. Mankamentem takiego rozwiązania jest jednak znaczne ograniczenie rozpiętości możliwych napięć wyjściowych wzmacniaczy. Z tego względu wybrana została architektura pozwalająca na uzyskanie takiej samej rezystancji wyjściowej jak w przypadku standardowego lustra kaskodowego, przy jednoczesnym poszerzeniu zakresu dostępnych napięć. Realizowane jest to kosztem dodatkowej gałęzi polaryzującej.



RYSUNEK 4.15: Schemat klasycznego kaskodowego lustra prądowego (a) oraz lustra zaimplementowanego w układach polaryzujących (b).

Na rysunku 4.15 przedstawiono porównanie klasycznego kaskodowego lustra prądowego(a), z lustrem wykorzystanym w układach polaryzujących(b). Obydwa układy posiadają taką

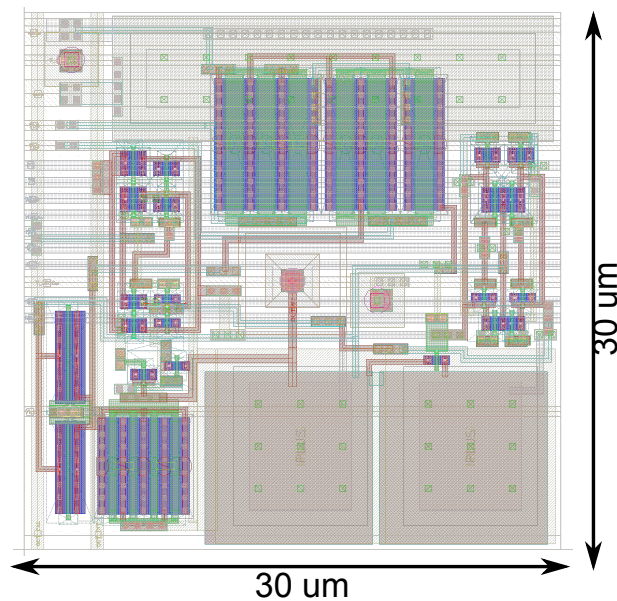
samą rezystancję wyjściową:

$$R_{out} = g_{m2}r_{ds2}r_{ds1} + r_{ds2} + r_{ds1} \quad (4.28)$$

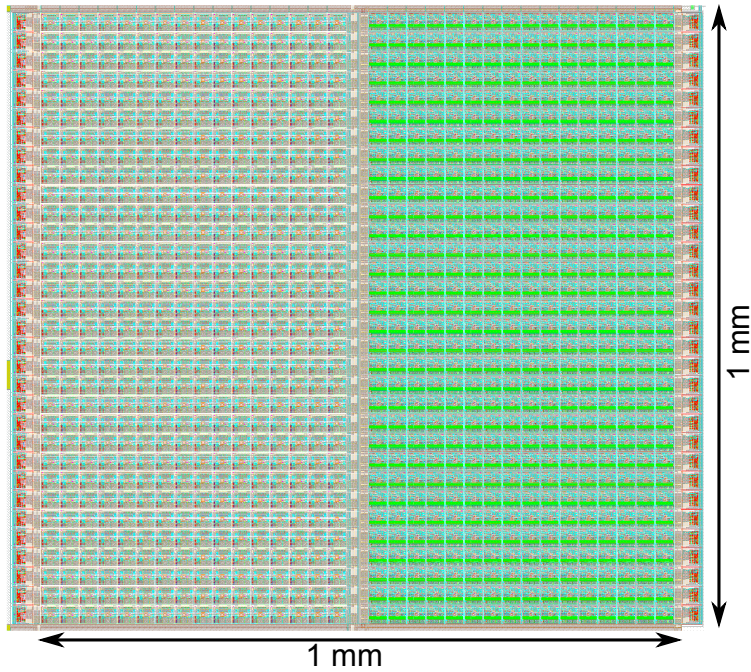
Znaczną różnicę pomiędzy dwoma układami widać w minimalnym napięciu  $V_{OUT(MIN)}$  odłożonym na tranzystorach  $T_1$  i  $T_2$ , pozwalającym na pracę w obszarze aktywnym. W przypadku standardowej kaskody wynosi ono  $2V_{ov} + V_{th}$ , z kolei w drugim przypadku jedynie  $2V_{ov}$ . Przy czym  $V_{ov}$  oznacza poziom przekroczenia napięcia bramka-źródło ponad napięcie progowe ( $V_{ov} = V_{GS} - V_{th}$ )[13]. Zastosowana na potrzeby projektowanego układu architektura pozwala więc uzyskać dodatkowe napięcie progowe w zakresie dostępnych napięć wyjściowych. Jest to szczególnie ważne w przypadku technologii sub-mikronowych, gdzie maksymalne napięcie zasilania schodzi poniżej 2 V. Wówczas zysk rzędu 0.5 V stanowi znaczne udoskonalenie.

## 4.6 Projekt masek produkcyjnych

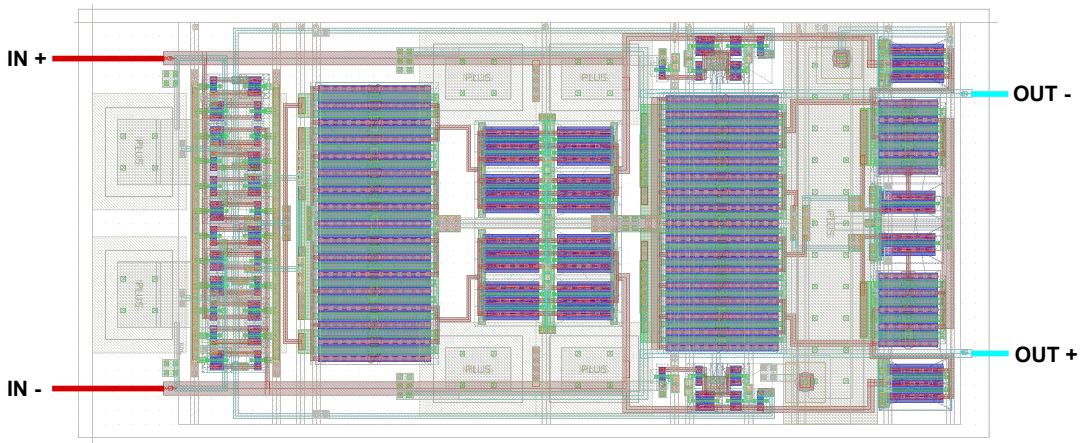
Po otrzymaniu układu o pożądanym funkcjonalności oraz zgodnym z założeniami projektowymi, wykonane zostały projekty masek produkcyjnych (*layout'y*) każdego, z przedstawionych w pracy układów. Stanowią one efekt końcowy prezentowanej pracy.



RYСУNEK 4.16: *Layout* pojedynczego piksela.

RYSUNEK 4.17: *Layout* matrycy pikseli.

Na rysunku 4.16 przedstawiony został *layout* pojedynczego piksela. Głównym wyzwaniem podczas projektowania *layout*'u piksela było odpowiednie rozmieszczenie poszczególnych elementów. Z jednej strony konieczne było dostosowanie się do reguł projektowych, określających minimalne odległości pomiędzy elementami, z drugiej strony dostępna powierzchnia ograniczona była poprzez założenia projektowe, nie pozwalając tym samym na swobodne rozmieszczenie elementów. Rysunek 4.17 zawiera *layout* głównego bloku funkcjonalnego, a mianowicie całej matrycy pikseli.

RYSUNEK 4.18: *Layout* wzmacniacza kolumnowego.



Na rysunku 4.18 przedstawiony został *layout* pojedynczego wzmacniacza kolumnowego, z zaznaczonymi sygnałami wejściowymi oraz wyjściowymi. Ze względu na w pełni różnicową architekturę wzmacniacza kolumnowego, podczas projektowania masek produkcyjnych bardzo istotne jest uwzględnienie symetrii układu. Stąd na rysunku 4.18 wyraźnie widoczna jest oś symetrii pomiędzy dwiema komplementarnymi częściami układu.

Zaprojektowanie masek produkcyjnych było ostatnim etapem pracy. Ukończony projekt wszedł w skład wspomnianego monolitycznego detektora pikselowego wraz ze zintegrowanym przetwornikiem ADC. W styczniu 2014 roku układ został wysłany do fabrykacji przez japońską firmę Lapis, dostarczającą technologię *200nm low-leakage, fully-depleted CMOS SOI*.



## Rozdział 5

# Wyniki symulacji oraz parametry zaprojektowanego układu

W celu weryfikacji poprawności działania zaprojektowanego układu oraz optymalizacji jego parametrów wykonano szereg symulacji. W tym rozdziale przedstawione zostaną wyniki najistotniejszych z nich, a także końcowe parametry przedstawionego układu. Prezentowane symulacje wykonane zostały na podstawie schematów poszczególnych układów. Część z nich przeprowadzona została również po ekstrakcji elementów pasożytniczych i ich wyniki były spójne.

### 5.1 Przedwzmacniacz ładunkoczuły

Podstawowym parametrem wzmacniacza ładunkoczułego jest jego wzmocnienie ładunkowe (wyrażone równaniem 4.1). W celu jego wyznaczenia przeprowadzona została symulacja, pozwalająca wyznaczyć napięcie na wyjściu przedwzmacniacza ( $V_{OUT}$ ) w funkcji ładunku wstrzykiwanego na jego wejście ( $Q_{IN}$ ). Jej wyniki przedstawione zostały na rysunku 5.1. W tym wypadku, wzmocnienie ładunkowe wyrażone jest poprzez współczynnik kierunkowy prostej, dopasowanej w zakresie liniowym. Otrzymane wyniki wynoszą:

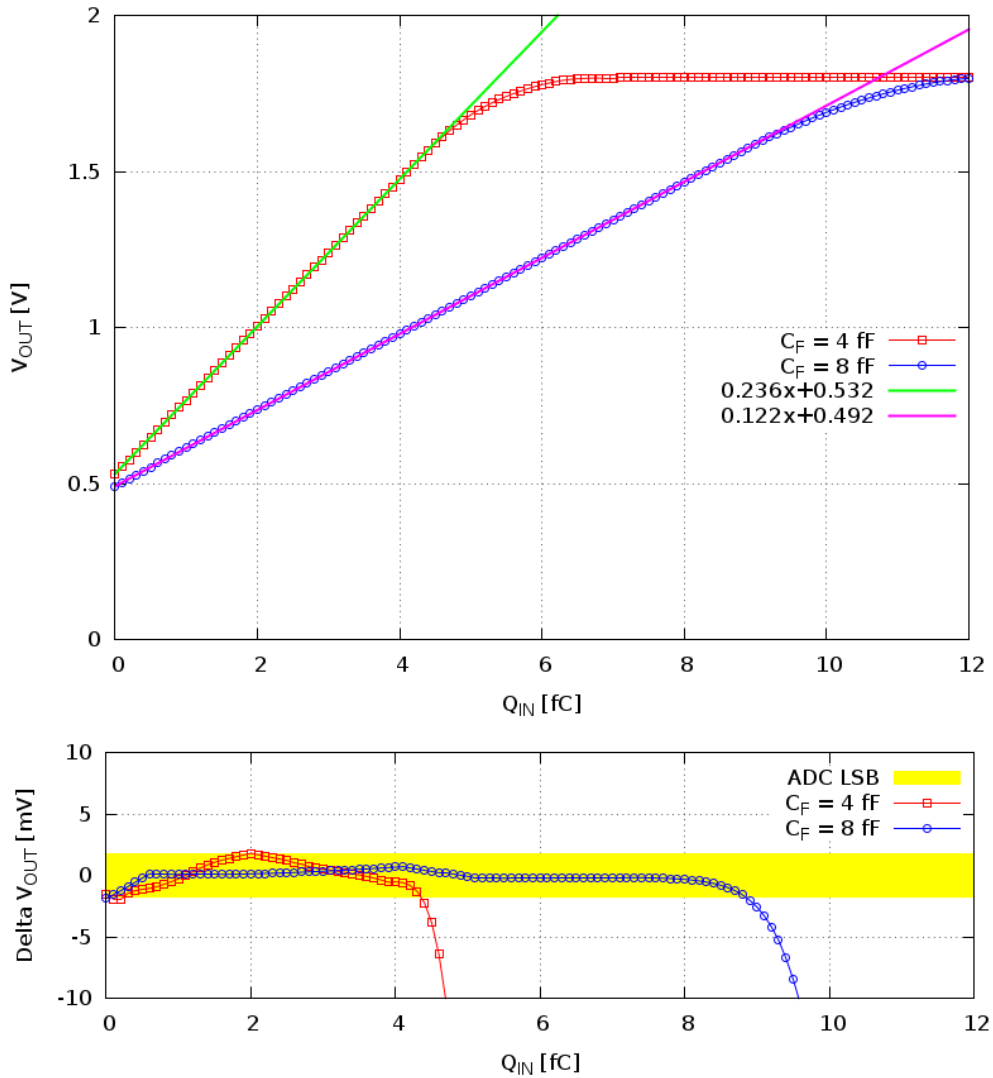
◇ w konfiguracji większego wzmocnienia ( $C_F = 4 \text{ fF}$ )

$$|k_{Q1}| = 0.236 \frac{\text{V}}{\text{fC}} = 38 \frac{\mu\text{V}}{e^-}$$

◇ w konfiguracji mniejszego wzmocnienia ( $C_F = 8 \text{ fF}$ )

$$|k_{Q2}| = 0.122 \frac{\text{V}}{\text{fC}} = 19 \frac{\mu\text{V}}{e^-}$$

Obydwa wyniki są zgodne z wartościami przewidywanymi teoretycznie (rachunki przeprowadzone w rozdziale 4.3), wynoszącymi odpowiednio  $40 \frac{\mu\text{V}}{e^-}$  oraz  $20 \frac{\mu\text{V}}{e^-}$ .



RYSUNEK 5.1: Napięcie wyjściowe przedwzmacniacza w funkcji wstrzykiwanego ładunku wraz z dopasowanymi prostymi oraz odchylenia napięć od dopasowanej prostej.

Ponadto, na wykresie 5.1 przedstawiono odstępstwa wartości otrzymanych w symulacji od dopasowania liniowego ( $\Delta V_{OUT}$ ). Na ich podstawie wyznaczony został zakres dynamiczny ładunków wejściowych wynoszący:  $[0 \div 4.5] \text{ fC}$  dla konfiguracji o większym

wzmocnieniu oraz  $[0 \div 9]$  fC dla konfiguracji o mniejszym wzmocnieniu. Dodatkowo, żółtym pasem oznaczono zakres napięcia, odpowiadający najmniej znaczącemu bitowi zintegrowanego przetwornika analogowo-cyfrowego (*ADC LSB*). Wyraźnie widać, że w zakresie dynamicznym, wszystkie odstępstwa napięcia wyjściowego od liniowości mieszczą się w ramach napięcia odpowiadającego najmłodszemu bitowi. Tym samym, niedoskonałości przedwzmacniacza nie wprowadzają mierzalnych zaburzeń.

Na podstawie wykresu 5.1 wyznaczono również zakres dynamiczny napięć wyjściowych wynoszący  $[0.5 \div 1.6]$  V.

### 5.1.1 Przedwzmacniacz kaskodowy

Podstawowe parametry przedwzmacniacza kaskodowego wyznaczone zostały na podstawie symulacji wzmocnienia w otwartej pętli sprzężenia zwrotnego ( $K$ ) oraz fazy sygnału wyjściowego w funkcji częstotliwości sygnału wejściowego ( $f$ ). Jej wyniki dla nominalnej wartości prądu polaryzującego ( $I_{PIX} = 20 \mu A$ ), przedstawione zostały na wykresie 5.2, a otrzymane parametry przedwzmacniacza dla przejrzystości zebrane zostały w tabeli 5.1.

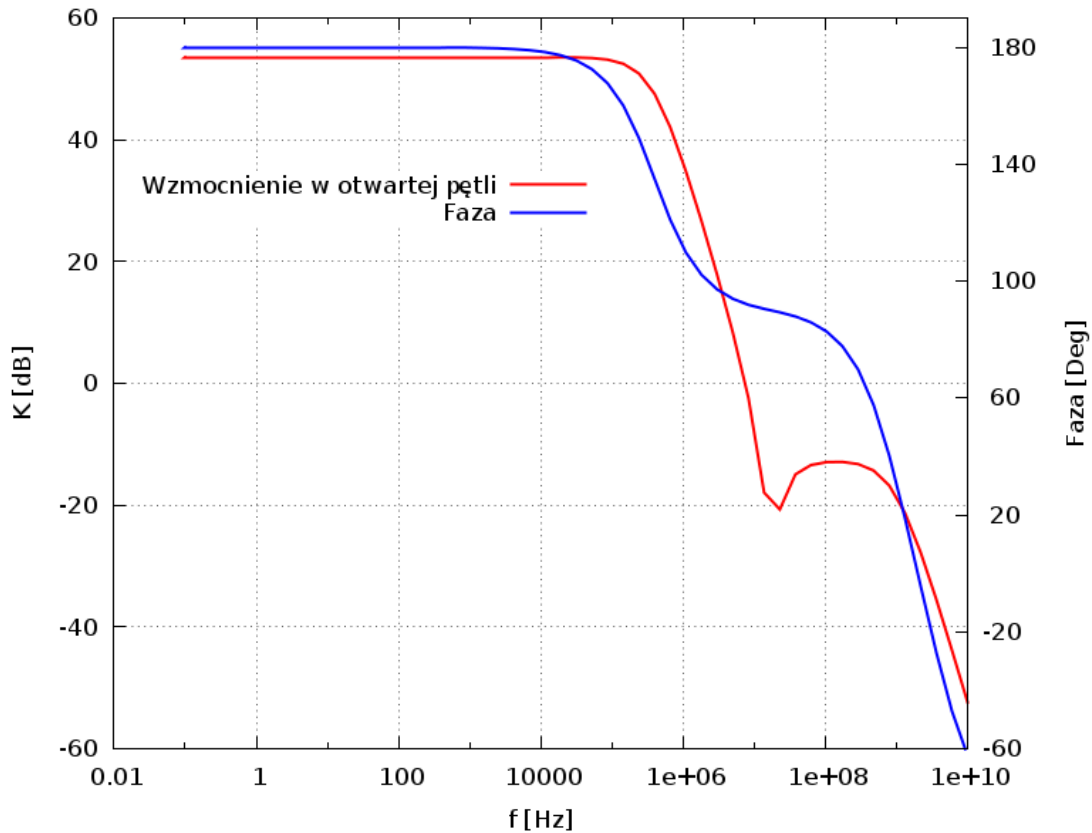
Wzmocnienie przedwzmacniacza w otwartej pętli zwrotnej ( $K_V^{PIX}$ )= wynosi 53.6 dB i pozostaje w zgodności z wartością teoretyczną, obliczoną na podstawie równania 4.20, wynoszącą 53.9 dB. Istotnym parametrem jest także całkowita moc pobierana przez pojedynczy piksel  $P^{PIX}$  wynosząca jedynie 9  $\mu W$ . Przekłada się to na niespełna 5 mW mocy pobieranej przez całą matrycę pikseli I typu.

TABELA 5.1: Parametry przedwzmacniacza.

$I_{PIX} [\mu A]$	$I_{TOTAL}^{PIX} [\mu A]$	$P^{PIX} [\mu W]$	$K_V^{PIX} [dB]$	$GBW^{PIX} [MHz]$	$PM^{PIX} [deg]$
20	5	9	53.6	192	92

### 5.1.2 Analiza szumowa

Przeprowadzona analiza szumowa pozwoliła na wyznaczenie szumów wprowadzanych przez pierwszy stopień elektroniki odczytu, a także na oszacowanie skuteczności zastosowanej techniki *Correlated Double Sampling* w ich redukcji. Na wykresie 5.3 przedstawiona została gęstość widmowa mocy szumów na wyjściu przedwzmacniacza w różnych konfiguracjach. Symulacje przeprowadzone zostały dla dwóch możliwych wzmocnień ładunkowych,



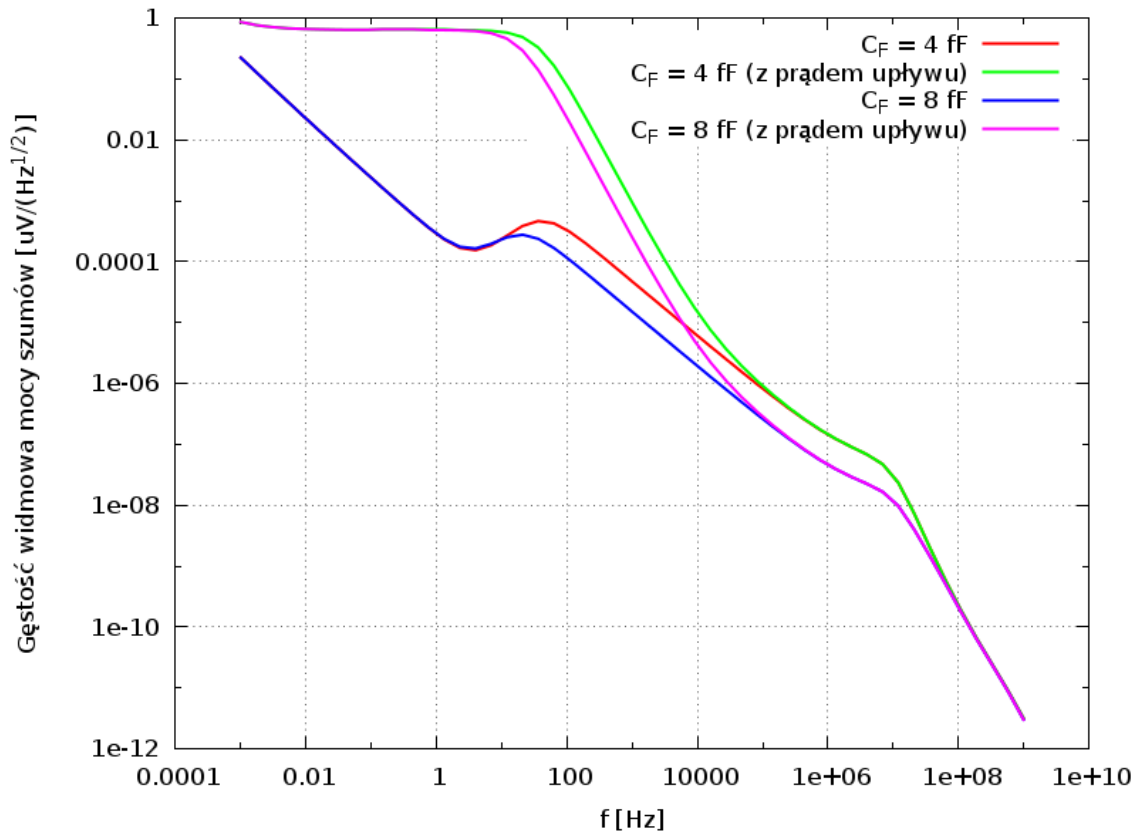
RYSUNEK 5.2: Wzmocnienie przedwzmacniacza w otwartej pętli zwrotnej oraz faza sygnału wyjściowego.

a także z uwzględnieniem oraz bez uwzględnienia szumu śrutowego stowarzyszonego z prądem upływu detektora. Wartość prądu upływu oszacowana została na 2 pA, na podstawie pomiarów poprzedniego układu [11]. Wyraźnie widać, że uwzględnienie prądu upływu powoduje znaczący wzrost nisko-częstotliwościowych szumów wyjściowych.

Użyteczną wielkością pozwalającą na ilościowe opisanie szumów jest ekwiwalentny ładunek szumowy (ENC ang. *Equivalent Noise Charge*). Ekwiwalentny ładunek szumowy jest to taki ładunek  $Q_N$ , który wprowadzony na wejście wzmacniacza w postaci prądowego impulsu dirakowskiego  $I(t) = Q_N \delta(t)$ , na wyjściu daje odpowiedź napięciową o wartości maksymalnej  $V_{MAX}$  równej średniej kwadratowej wartości napięcia szumów  $V_{ORMS}$  [1].

TABELA 5.2: Ekwiwalentny ładunek szumowy przedwzmacniacza.

	$C_F = 4 \text{ fF}$		$C_F = 8 \text{ fF}$	
Prąd upływu	×	✓	×	✓
ENC [ $e^-$ ] (bez CDS)	32	162	39	226
ENC [ $e^-$ ] (z CDS)	31	40	37	45



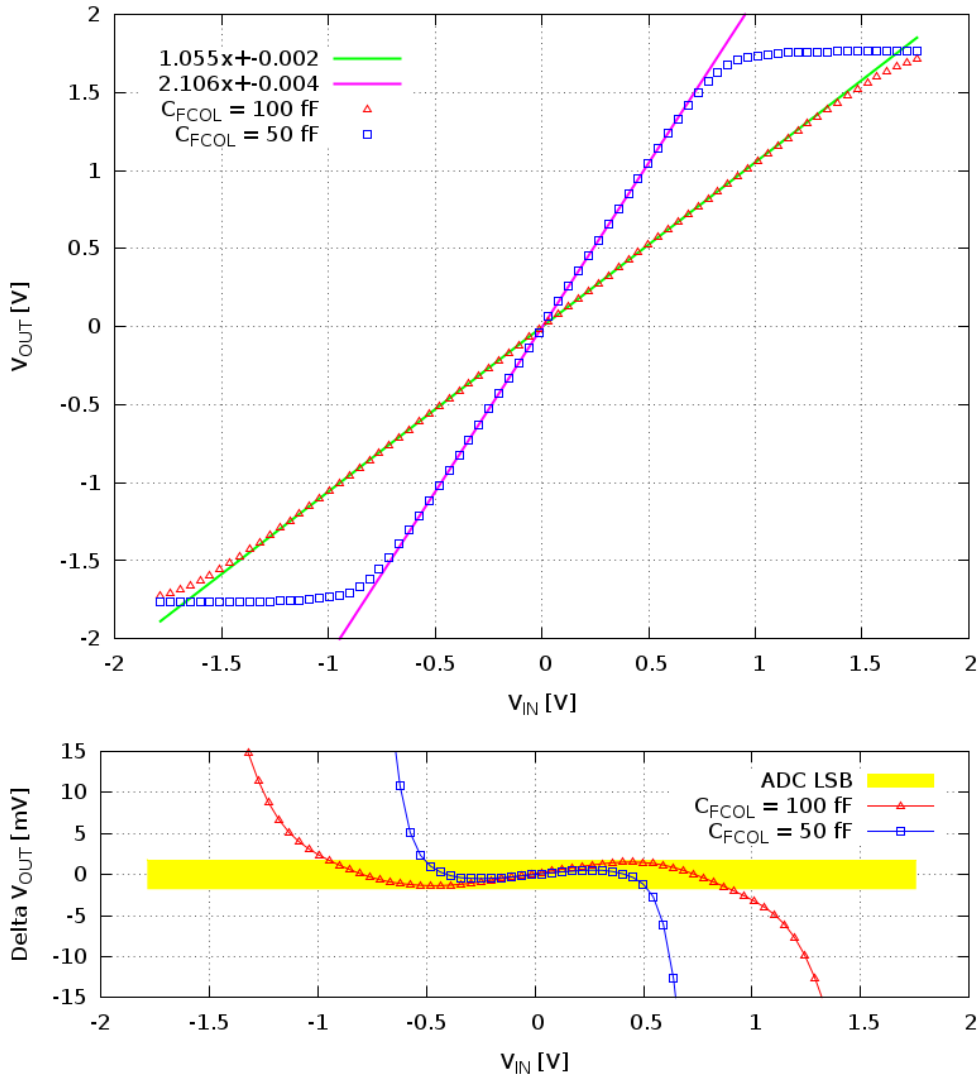
RYSUNEK 5.3: Gęstość widmowa mocy szumów dla różnych konfiguracji.

Wartości ekwiwalentnego ładunku szumowego, dla przedstawionych wyżej konfiguracji, zebrane zostały w tabeli 5.2. Zawiera ona także szacowane wartości ENC, po zastosowaniu techniki *Correlated Double Sampling*. Oszacowanie to wykonane zostało poprzez odrzucenie szumów o częstotliwościach ponad dziesięciokrotnie niższych niż nominalna odwrotność czasu integracji. Przy czym nominalny czas integracji wynosi około  $50 \mu\text{s}$ , tym samym odrzucone zostały szumy o częstotliwościach poniżej 2 kHz. Należy tutaj zaznaczyć, że takie oszacowanie jest bardzo zachowawcze, nie mniej jednak zostało ono przyjęte jako najbardziej pesymistyczne podejście. Na podstawie przedstawionych wyników można jednoznacznie stwierdzić, że dzięki wykorzystaniu techniki CDS, wyeliminowana zostaje zdecydowana większość szumu śrutowego, związanego z prądem upływu detektora.

## 5.2 Wzmacniacz kolumnowy

W celu wyznaczenia wzmocnienia, liniowości, a także zakresu dynamicznego wzmacniacza kolumnowego, wykonana została symulacja pozwalająca wykreślić napięcie wyjściowe w

funkcji napięcia na wejściu wzmacniacza kolumnowego. Jej wyniki przedstawione zostały na wykresie 5.4, gdzie z uwagi na różnicowość układu poprzez  $V_{OUT}$  oznaczona została różnica napięć na wyjściach wzmacniacza ( $V_{OUT} = V_{OUT}^- - V_{OUT}^+$ ) oraz analogicznie w przypadku napięcia na wejściu układu ( $V_{IN} = V_{IN}^+ - V_{IN}^-$ ). Wykres ten zawiera zbiorcze wyniki dla dwóch możliwych ustawień wzmocnienia, jak również dopasowane do nich funkcje liniowe.



RYSUNEK 5.4: Napięcie wyjściowe wzmacniacza kolumnowego w funkcji napięcia wejściowego wraz z dopasowanymi prostymi oraz odstępstwa napięć wyjściowych od dopasowanych prostych.

Współczynniki kierunkowe dopasowanych prostych niosą informację o wzmocnieniu wzmacniacza kolumnowego. W trybie mniejszego wzmocnienia jego wartość wyniosła  $K_{COL1} = 1.055 \frac{V}{V}$ , a w konfiguracji zapewniającej większe wzmocnienie  $K_{COL2} = 2.106 \frac{V}{V}$ . Obydwie

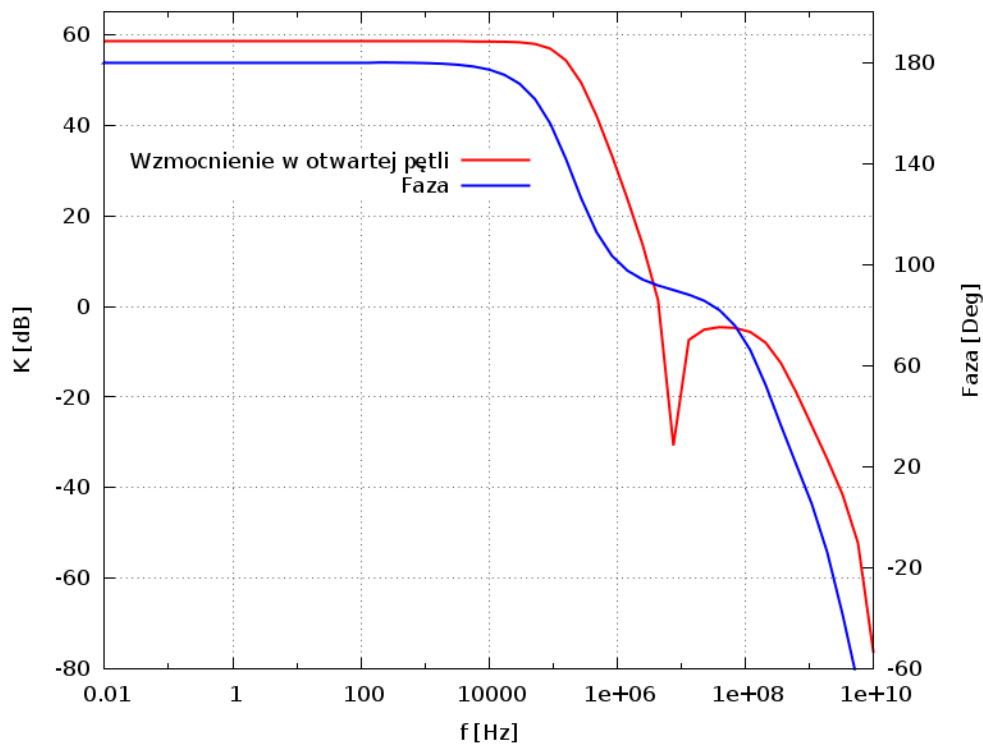


wartości są zgodne z wartościami teoretycznymi wyznaczonymi na podstawie równania 4.27, wynoszącymi odpowiednio  $K_{COL1}^{teor} = 1 \frac{V}{V}$  oraz  $K_{COL2}^{teor} = 2 \frac{V}{V}$ .

Na wykresie 5.4 przedstawione zostały również odstępstwa otrzymanych napięć wyjściowych od dopasowanej krzywej. Na ich podstawie wyznaczone zostały wejściowe zakresy dynamiczne wynoszące  $[-1 \div 1]$  V oraz  $[-0.5 \div 0.5]$  V odpowiednio dla konfiguracji o mniejszym oraz większym wzmocnieniu. Wyjściowy zakres dynamiczny jest taki sam w obydwu przypadkach i wynosi  $[-1 \div 1]$  V. Podobnie jak w przypadku przedwzmacniacza, obserwowane we wzmacniaczu kolumnowym odstępstwa od liniowości, mieszczą się w obrębie napięcia odpowiadającego najmniej znaczącego bitu zintegrowanego przetwornika ADC.

### 5.2.1 Wzmacniacz różnicowy

Główne parametry wzmacniacza różnicowego, stanowiącego rdzeń wzmacniacza kolumnowego, wyznaczone zostały na podstawie symulacji wzmocnienia w otwartej pętli zwrotnej ( $K$ ) oraz fazy napięcia wyjściowego w funkcji częstotliwości sygnału wejściowego ( $f$ ). Jej wynik przedstawiony został na wykresie 5.5.



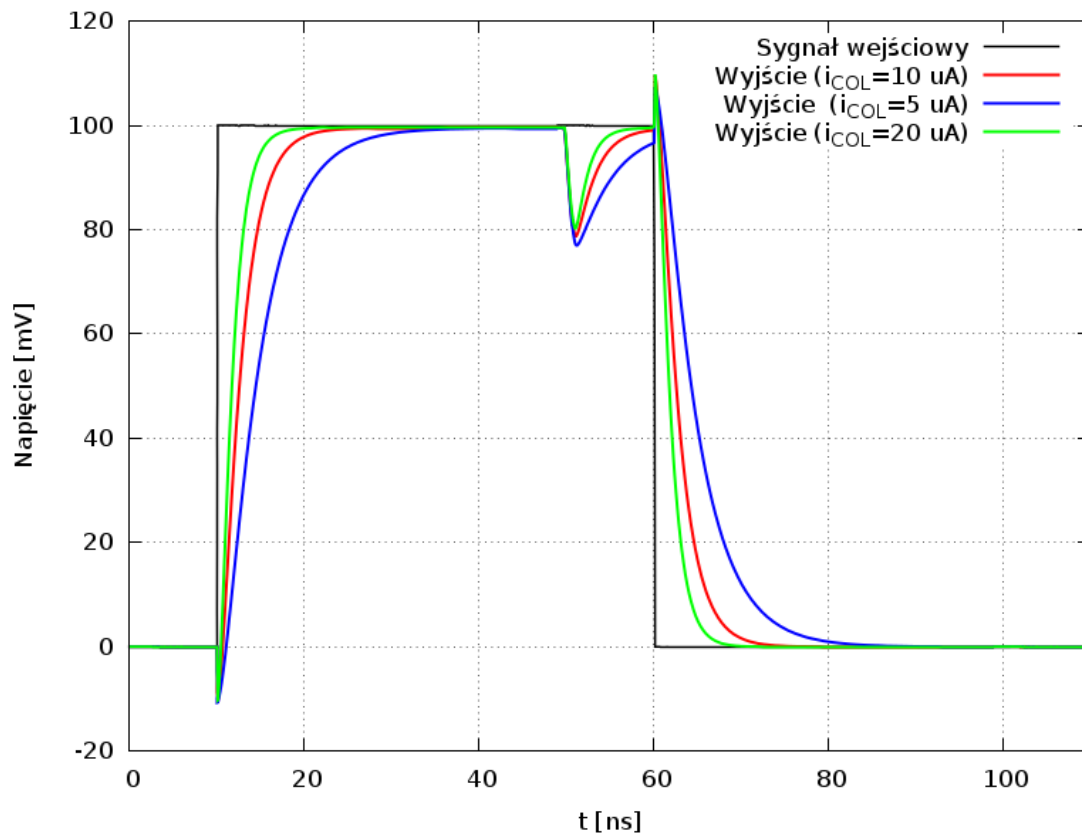
RYСУNEK 5.5: Wzmocnienie wzmacniacza kolumnowego w otwartej pętli zwrotnej oraz faza sygnału wyjściowego.

Natomiast, w tabeli 5.3 zebrane zostały podstawowe parametry zaprojektowanego wzmacniacza, dla kilku przykładowych prądów polaryzacji ( $I_{COL}$ ). Wyraźnie wydać, że poprzez zmianę prądu polaryzacji można regulować czas potrzebny na ustalenie się odpowiedzi na wyjściu ( $\tau_R$ ). Oczywiście skrócenie tego czasu odbywa się kosztem wzrostu mocy ( $P^{COL}$ ) pobieranej przez układ. Wzmocnienie w otwartej pętli dla nominalnej wartości prądu polaryzacji ( $I_{COL} = 10 \mu A$ ) wynosi  $K_V^{COL} = 58.5 \text{ dB}$  i jest zbliżone do oczekiwań teoretycznych  $K_V^{COL \text{ teor}} = 57.1 \text{ dB}$  (przedstawionych w [16], [17]).

TABELA 5.3: Parametry wzmacniacza kolumnowego przy różnych prądach polaryzujących.

$I_{COL} [\mu A]$	$I_{TOTAL}^{COL} [\mu A]$	$P^{COL} [\mu W]$	$K_V^{COL} [dB]$	$GBW^{COL} [MHz]$	$PM^{COL} [deg]$	$\tau_R [ns]$
10	35	63	58.5	155	62	13
5	18	32.4	58	95	65	24
20	62	111.6	60	235	59	7

Na wykresie 5.6 przedstawiona została odpowiedź wzmacniacza kolumnowego na skok napięcia, dla trzech różnych prądów polaryzujących. Widać wyraźnie różnice w czasach



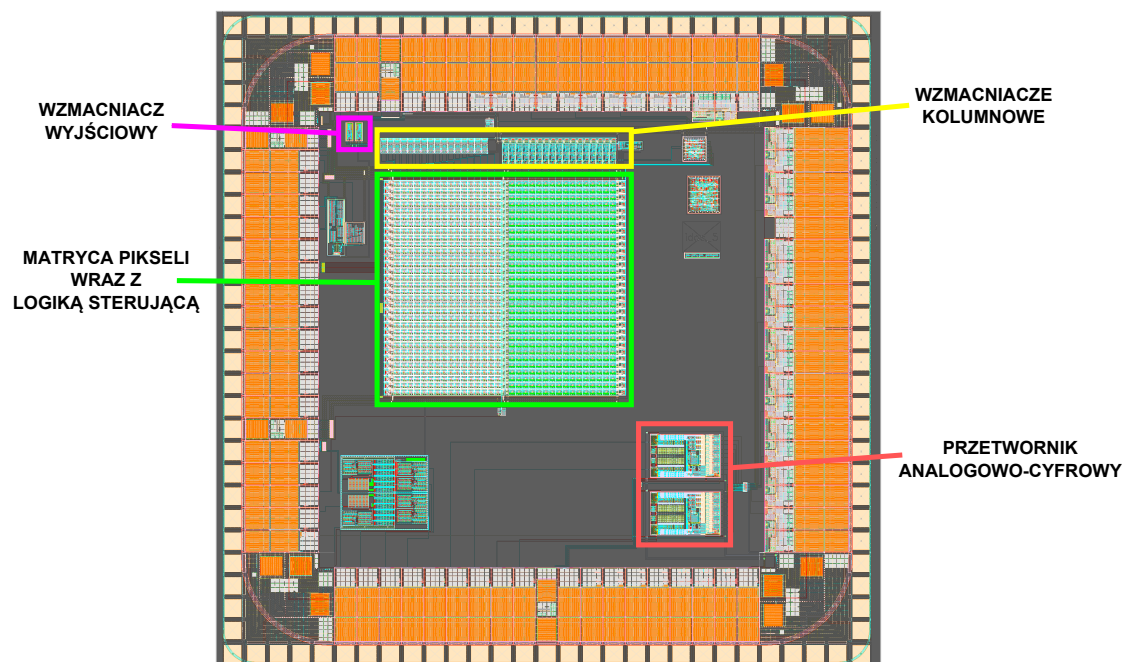
RYSUNEK 5.6: Odpowiedź wzmacniacza kolumnowego na skok napięcia.

narastania sygnałów wyjściowych w zależności od prądu polaryzacji, przedstawione również w tabeli 5.3. Widoczne jest także załamanie sygnału wyjściowego w okolicach 50 ns związane z sekwencyjną pracą układu przywracania napięcia wspólnego (CMFB) zrealizowanego w formie przełączanych pojemności. Jest to moment, w którym następuje przełączenie pomiędzy dwoma komplementarnymi układami pojemności (opisanymi w rozdziale 4.4). Obecność tego załamania wymaga zatem ostrożnego próbkowania sygnału wyjściowego wzmacniacza kolumnowego, co jest głównym mankamentem czysto pojemnościowego układu CMFB.



# Podsumowanie

W ramach przedstawionej pracy magisterskiej wykonano projekt detektora pikselowego, wyposażonego w nisko-szumową elektronikę odczytu. W jej skład wchodzi przedwzmacniacz ładunkoczuły o regulowanym wzmacnieniu ładunkowym, układ CDS pozwalający na redukcję szumów oraz wzmacniacz kolumnowy wykonany w architekturze *Recycling Folded Cascode*. Dodatkowym atutem zaproponowanego układu, jest wykorzystanie najnowszych rozwiązań technologicznych - jak na przykład *Double SOI*. Pozwala to z jednej strony na poprawienie właściwości układu, ale także na ścisłą weryfikację możliwości zastosowanych rozwiązań.



RYSUNEK 6.1: *Layout* finalnego układu z wyróżnionymi głównymi podzespołami.

Podsumowując, w ramach niniejszej pracy wykonany został projekt detektora pikselowego. Jego funkcjonalność została zweryfikowana w szeregu symulacji. Po zoptymalizowaniu parametrów układu zaprojektowane zostały maski produkcyjne poszczególnych podukładów. Ostatecznie wszystkie podukłady zostały zebrane w większe bloki funkcjonalne (przedstawione w rozdziale 4) i stworzyły monolityczny detektor pikselowy ze zintegrowanym

przetwornikiem analogowo-cyfrowym. Jego końcowy *layout*, z wyróżnionymi podstawowymi podzespołami, przedstawiony został na rysunku 6.1. W styczniu 2014 roku układ ten wysłany został do produkcji. Tym samym cele pracy zostały w pełni zrealizowane.

Po otrzymaniu wyprodukowanego układu planowane są jego szczegółowe pomiary. Porównanie wyników pomiarów z wynikami symulacji projektowych, pozwoli na określenie możliwości wykorzystywanej technologii. Co więcej, z uwagi na nowatorskie rozwiązania zastosowane w projekcie, wyniki pomiarów posłużą nie tylko poszerzeniu lokalnego "know-how", ale będą również interesujące z punktu widzenia całej kolaboracji *SOIPIX*, zajmującej się rozwojem detektorów pikselowych w technologii SOI.

Pomiary zaprojektowanego w ramach prezentowanej pracy układu będą również użyteczne z punktu widzenia produkcji kolejnych prototypów monolitycznych detektorów krzemowych. Pozwolą one na dalszą optymalizację parametrów układu, w celu minimalizacji szumów, zwiększenia zdolności rozdzielczej, czy też zwiększenia szybkości pracy układu.

# Spis rysunków

1.1	Zasada działania detektora typu DEPFET oraz rozkład potencjału elektrycznego. . . . .	5
1.2	Struktura monolitycznego aktywnego detektora pikselowego oraz rozkład poprzeczny potencjału wzdłuż przerywanej linii. . . . .	6
1.3	Wykorzystanie <i>bump-bondingu</i> w detektorach hybrydowych. . . . .	7
1.4	Struktura detektora 3D. . . . .	8
1.5	Porównanie detektora planarnego (z lewej) oraz detektora 3D (z prawej). . . . .	9
1.6	Struktura detektora wykonanego w technologii SOI. . . . .	10
2.1	Etapy produkcji struktury SOI w procesie <i>Smart-Cut</i> . . . . .	13
2.2	Implementacja inwertera w technologii <i>bulk CMOS</i> wraz z pasożytniczym układem mogącym wywołać <i>latch-up</i> (a) oraz w technologii SOI (b). . . . .	14
2.3	Przedstawienie obszaru upływu w technologii <i>bulk-CMOS</i> (a) oraz SOI (b). . . . .	15
2.4	Struktura SOI w pełni zubożonego - FD-SOI (a) oraz częściowo zubożonego - PD-SOI (b). . . . .	16
2.5	Wykorzystanie warstwy BPW w celu ekranowania elektroniki od pola elektrycznego sensora. . . . .	18
2.6	Struktura <i>Double SOI</i> umożliwiająca wykorzystanie dodatkowej warstwy krzemu do ekranowania elektroniki, a także kompensacji efektów radiacyjnych. . . . .	19
3.1	Podstawowe bloki wchodzące w skład elektroniki odczytu detektorów pikselowych. . . . .	22
3.2	Schemat matrycy bazującej na odczycie pasywnym. . . . .	24
3.3	Układ odczytu pasywnego wraz przykładową implementacją wzmacniacza kolumnowego. . . . .	25
3.4	Schemat 3-tranzystorowego odczytu aktywnego. . . . .	26
3.5	Układ odczytu aktywnego z przykładową implementacją wzmacniacza kolumnowego. . . . .	27
3.6	Schemat matrycy bazującej na odczycie hybrydowym. . . . .	27
3.7	Schemat matrycy bazującej na wzmacniaczu ładunkoczułym. . . . .	29
3.8	Odpowiedź wzmacniacza ładunkoczułego na ciąg impulsów dirakowskich. . . . .	30
4.1	Schemat blokowy przedstawiający podstawowe bloki wchodzące w skład układu oraz przepływ głównych sygnałów pomiędzy nimi. . . . .	32
4.2	Rysunek schematyczny przedstawiający zaprojektowany sensor. . . . .	35
4.3	Różnica pomiędzy dwoma zaprojektowanymi sensorami. . . . .	36

4.4	Jakościowe zobrazowanie rozkładu pola elektrycznego wewnątrz sensorów różnego typu przed (a) oraz po (b) wykorzystaniu warstwy <i>MidSi</i> w celu kompensacji dodatniego ładunku zgromadzonego w tlenku. . . . .	37
4.5	Schemat elektroniki odczytu. . . . .	38
4.6	Schemat elektroniki w obrębie piksela. . . . .	39
4.7	Przebiegi czasowe sygnałów obrazujące zasadę działania techniki CDS. . . . .	44
4.8	Schemat zastosowanego przedwzmacniacza. . . . .	45
4.9	Małosygnalowy model wzmacniacza kaskodowego. . . . .	46
4.10	Wpływ pojemności pasożytniczych tranzystora na przesłuch od sygnału sterującego (a) oraz kompensacja tego efektu przy użyciu bramki transmisyjnej (b). . . . .	48
4.11	Wstrzykiwanie ładunku z klucza (a) oraz metody tłumienia tego efektu (b)(c)(d). . . . .	50
4.12	Schemat układu wzmacniacza kolumnowego. . . . .	52
4.13	Architektura wzmacniacza różnicowego wraz z układem CMFB. . . . .	52
4.14	Zasada działania układu CMFB zrealizowanego w postaci przełączanych pojemności. . . . .	53
4.15	Schemat klasycznego kaskodowego lustra prądowego (a) oraz lustra zaimplementowanego w układach polaryzujących (b). . . . .	54
4.16	<i>Layout</i> pojedynczego piksela. . . . .	55
4.17	<i>Layout</i> matrycy pikseli. . . . .	56
4.18	<i>Layout</i> wzmacniacza kolumnowego. . . . .	56
5.1	Napięcie wyjściowe przedwzmacniacza w funkcji wstrzykiwanego ładunku wraz z dopasowanymi prostymi oraz odchylenia napięć od dopasowanej prostej. . . . .	60
5.2	Wzmocnienie przedwzmacniacza w otwartej pętli zwrotnej oraz faza sygnału wyjściowego. . . . .	62
5.3	Gęstość widmowa mocy szumów dla różnych konfiguracji. . . . .	63
5.4	Napięcie wyjściowe wzmacniacza kolumnowego w funkcji napięcia wejściowego wraz z dopasowanymi prostymi oraz odstępstwa napięć wyjściowych od dopasowanych prostych. . . . .	64
5.5	Wzmocnienie wzmacniacza kolumnowego w otwartej pętli zwrotnej oraz faza sygnału wyjściowego. . . . .	65
5.6	Odpowiedź wzmacniacza kolumnowego na skok napięcia. . . . .	66
6.1	<i>Layout</i> finalnego układu z wyróżnionymi głównymi podzespołami. . . . .	69



# Spis tabel

5.1	Parametry przedwzmacniacza. . . . .	61
5.2	Ekwiwalentny ładunek szumowy przedwzmacniacza. . . . .	62
5.3	Parametry wzmacniacza kolumnowego przy różnych prądach polaryzujących. . . . .	66



# Bibliografia

- [1] *Układy elektroniczne Front-End*. AGH Uczelniane Wydawnictwa Naukowo-Dydaktyczne, 2005.
- [2] Piotr Wiacek. Analiza i optymalizacja przestrzennej zdolności rozdzielczej pozycyjnych półprzewodnikowych detektorów promieniowania x. Rozprawa doktorska, Akademia Górniczo-Hutnicza.
- [3] N. Wermes. Trends in pixel detectors: Tracking and imaging. *IEEE Transactions On Nuclear Science*, 51(3):1006–1014, Czerwiec 2004.
- [4] S. Parker-J. Segal C. Storment C, Kenney. Silicon detectors with 3-d electrode arrays: Fabrication and initial test results. *IEEE Transactions On Nuclear Science*, 46(4): 1224–1235, Sierpień 1999.
- [5] A. Tooi M. Watanabe. Formation of  $SiO_2$  films by oxygen-ion bombardment. *Japanese Journal of Applied Physics*, 5(8), 1966.
- [6] T. Douseki T. Sakurai, A. Matsuzawa. *Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications*. Springer.
- [7] *Comparison of Bulk and SOI CMOS Technologies in a DSP Processor Circuit Implementation*, 2011.
- [8] P. Paillet P. Dodd J. Schwank, M. Shaneyfelt. Radiation effects in soi technologies. *IEEE Transactions On Nuclear Science*, 50(3), 2003.
- [9] SOI Committee KEK. Detector technology project international review. Technical report, KEK.
- [10] Farhad Taghibakhsh. Active pixel sensor architectures for high resolution large area digital imaging. Rozprawa doktorska, Uniwersytet Waterloo.

- [11] M. Idzik P. Kapusta M. Turala M. Ahmed, S. Glab. Prototype pixel detector in the soi technology. *Journal of Instrumentation*, 9(02), 2014.
- [12] G. Themes C.Enz. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization. *Proceedings of the IEEE*, 84(11), 2002.
- [13] *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Higher Education, 2001.
- [14] *Analog Integrated Ccircuit Design*. John Wiley & Sons, Inc., 2011.
- [15] *Analog Design Essentials*. Springer, 2006.
- [16] J. Silva-Martinez R. Assaad. The recycling folded cascode: A general enhancement of the folded cascode amplifier. *IEEE Journal of Solid-State Circuits*, 44(9), 2009.
- [17] J. Silva-Martinez R. Assaad. Enhancing general performance of folded cascode amplifier by recycling current. *Electronics Letters*, 43(23), 2007.