



AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Wydział Fizyki i Informatyki Stosowanej

PRACA MAGISTERSKA

Roma Dasgupta

kierunek studiów: fizyka techniczna

Projekt przetwornika analogowo-cyfrowego typu SAR w submikronowej technologii SOI

PROMOTOR:

prof. dr hab. inż. Marek Idzik

Kraków 2014

Oświadczenie autora rozprawy:

Oświadczam, świadomy(-a) odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracę dyplomową wykonałem(-am) osobiście i samodzielnie i że nie korzystałem(-am) ze źródeł innych niż wymienione w pracy.

data, podpis autora

prof. dr hab. inż. Marek Idzik
Wydział Fizyki i Informatyki Stosowanej AGH
Katedra Oddziaływań i Detekcji Cząstek

Merytoryczna ocena pracy przez opiekuna:

opinia promotora ...

Końcowa ocena pracy przez opiekuna:

.....
(data)

.....
(podpis opiekuna)

Skala ocen: 5.0 - bardzo dobra, 4.5 - plus dobra, 4.0 - dobra, 3.5 - plus dostateczna, 3.0 - dostateczna, 2.0 - niedostateczna

dr inż. Krzysztof Świentek
Wydział Fizyki i Informatyki Stosowanej AGH
Katedra Oddziaływań i Detekcji Cząstek

Merytoryczna ocena pracy przez recenzenta:

opinia recenzenta ...

Końcowa ocena pracy przez recenzenta:

.....
(data)

.....
(podpis recenzenta)

Skala ocen: 5.0 - bardzo dobra, 4.5 - plus dobra, 4.0 - dobra, 3.5 - plus dostateczna, 3.0 - dostateczna, 2.0 - niedostateczna

Kraków, 18 czerwca 2014

**Tematyka pracy magisterskiej i praktyki dyplomowej Romy Dasgupta,
studentki II roku studiów magisterskich kierunku fizyka techniczna**

Temat pracy magisterskiej: **Projekt przetwornika analogowo-cyfrowego typu SAR
w submikronowej technologii SOI**

Opiekun pracy: prof. dr hab. inż. Marek Idzik

Recenzenci pracy: dr inż. Krzysztof Świentek

Miejsce praktyki dyplomowej: WFiIS AGH, Kraków

Program pracy magisterskiej i praktyki dyplomowej

1. Omówienie realizacji pracy magisterskiej z opiekunem.
2. Zebranie i opracowanie literatury dotyczącej tematu pracy.
3. Praktyka dyplomowa:
 - zapoznanie się z ideą projektowania elektroniki odczytu detektorów
 - projektowanie przetwornika analogowo-cyfrowego
 - symulacje zaprojektowanego układu
 - sporządzenie sprawozdania z praktyki
4. Kontynuacja prac związanych z projektowaniem i symulacjami układu.
5. Analiza wyników symulacji, ich omówienie i zatwierdzenie przez opiekuna.
6. Wysłanie układu do produkcji.
7. Opracowanie redakcyjne pracy.

Termin oddania w dziekanacie: ... czerwca 2014 r.

.....

(podpis kierownika katedry)

.....

(podpis opiekuna)

Podziękowania

Szczególne podziękowania kieruję do mojego promotora prof. dr hab. inż. Marka Idzika za umożliwienie mi realizacji tematu niniejszej pracy, cenne uwagi, wsparcie naukowe oraz poświęcony czas. Jednocześnie pragnę w szczególny sposób podziękować za nieocenioną pomoc merytoryczną mgr inż. Jakubowi Moroniowi oraz dr Piotrowi Kapuście za wskazówki techniczne i ostateczną finalizację projektu.

Spis treści

Merytoryczna ocena pracy przez opiekuna	v
Merytoryczna ocena pracy przez recenzenta	vii
Tematyka praktyk dyplomowych	ix
Podziękowania	xi
Spis treści	xiii
Słowniczek	xvii
Stałe i wielkości fizyczne	xix
Wprowadzenie	1
1 Technologia Silicon-On-Insulator CMOS	3
1.1 Wprowadzenie	3
1.2 Struktura SOI CMOS	3
1.3 Rys historyczny	4
1.3.1 Procesy technologiczne	5
1.3.1.1 SIMOX	5
1.3.1.2 ELTRAN	5
1.3.1.3 Smart Cut	6
1.4 PD-SOI i FD-SOI	7
1.4.1 Efekt pływającego podłoża	8
1.5 Zalety technologii SOI	9
1.5.1 Redukcja pojemności pasożytniczych i prądów upływu	9
1.5.2 Eliminacja efektów typu <i>latch-up</i>	10
1.5.3 Odporność na SEU	10
1.5.4 Redukcja powierzchni układów	10
1.6 Struktura SOI jako detektor	11
1.6.1 Detektory pikselowe	11
1.6.2 Double SOI	13
2 Wprowadzenie do przetworników analogowo-cyfrowych	15
2.1 Błąd kwantyzacji	16
2.1.1 Stosunek sygnału do szumu	17
2.2 Podstawowe parametry pracy ADC	17

2.2.1	Całkowity zakres wejściowy	19
2.2.1.1	Czas konwersji	19
2.2.2	Dokładność	19
2.3	Parametry statyczne	19
2.3.1	Błąd przesunięcia zera	19
2.3.2	Błąd wzmocnienia	20
2.3.3	Nieliniowość całkowita	20
2.3.4	Nieliniowość różniczkowa	22
2.4	Parametry dynamiczne	22
2.4.1	Stosunek sygnału do szumu i zniekształceń	22
2.4.2	Efektywna liczba bitów	23
2.4.3	Stosunek sygnału do zniekształceń nieharmonicznych	23
2.4.4	Całkowite zniekształcenia harmoniczne	23
2.4.5	Zakres wolny od zniekształceń	24
2.5	Podstawowe architektury analogowo-cyfrowych	24
3	Przetworniki analogowo-cyfrowe z sukcesywną aproksymacją	27
3.1	Algorytm pracy SAR ADC	27
3.1.1	Architektura z redystrybucją ładunku	28
3.1.2	Rozwiązanie różnicowe	30
3.2	Układy próbkujące	31
3.2.1	Próbkowanie sygnału	32
3.2.2	Charakterystyka układów S/H	33
3.2.2.1	Jitter	34
3.2.3	Tranzystor MOS jako klucz próbkujący	35
3.2.4	Klucz próbkujący typu <i>bootstrap</i>	36
3.3	Komparatory	37
3.3.1	Parametry pracy	38
3.3.2	Architektury komparatorów	40
3.4	DAC	42
3.4.1	Algorytmy przełączania pojemności	44
3.4.1.1	Metoda konwencjonalna	45
3.4.1.2	Metoda 2-krokowa	47
3.4.1.3	Metoda podziału ładunku	48
3.4.1.4	Metoda podziału pojemności	49
3.4.1.5	Metoda monotoniczna	49
3.4.1.6	Metoda MCS	51
3.4.1.7	Metoda monotoniczna bazująca na V_{cm}	53
3.4.1.8	Metoda hybrydowa	55
3.5	Logika sterująca	58
3.5.1	Inwerter	58
3.5.2	Przerzutniki typu D	60
4	Projekt 10-bitowego przetwornika SAR ADC	63
4.1	Projekt układu	63
4.1.1	Klucz próbkujący typu <i>bootstrap</i>	65
4.1.2	3-stopniowy dynamiczny komparator	65

4.1.3	DAC	67
4.1.4	Układ cyfrowej logiki sterującej	69
4.1.4.1	Rejestr danych	70
4.1.4.2	Układ kontroli komparatora	73
4.1.4.3	Układ kontroli kluczy	74
4.1.4.4	Układ generacji resetu	75
4.1.5	Projekt masek technologicznych.	77
4.2	Wyniki symulacji	79
Podsumowanie		83
A Konwencjonalna metoda przełączania pojemności - straty energii		85
B Merge capacitor switching - straty energii		89
Spis rysunków		93
Spis tabel		95
Bibliografia		97

Słownik

ADC	A nalog T o D igital C onverter
ASIC	A pplication S pecified I ntegrated C ircuit
BER	B it- E rror R ate
BNW	B uried N Well
BOX	B uried O Xide
BPW	B uried P Well
cDAC	capacitive D igital T o A nalog C onverter
CMOS	C omplementary M etal O xide S emiconductor
DAC	D igital T o A nalog C onverter
DFT	D iscrete F ourier T ransform
DNL	D ifferential N onlinearity
ELTRAN	E pitaxial L ayer T RANsfer
EMCS	E arly M erge C apacitor S witching
ENOB	E ffective N umber O f B its
FD	F ully D epleted
FF	F lip F lop
FSR	F ull- S cale R ange
INL	I ntegral N onlinearity
LSB	L ess S ignificant B it
MCS	M erge C apacitor S witching
MSB	M ost S ignificant B it
PD	P artially D epleted
S/H	S ample and H old
SAR	S uccessive A pproximation R egisters
SEU	S ingle E vent U pset
SFDR	S purious- F ree D ynamic R ange

SINAD	S ignal T o N oise A nd D istortion
SIMOX	S epataition by I Mplement O Xygen
SNR	S ignal to N oise R atio
SOI	S ilicon O n I nsulator
SOS	S ilicon O n S aphire
T/H	T rack and H old
THD	T otal H armonic D istortion
VLSI	V ery L arge S cale I ntegration

Stałe i wielkości fizyczne

Stałe fizyczne ¹

k	$= 1.3806504(24) \cdot 10^{-23} \frac{J}{K}$	(stała Boltzmann)
e	$= 1.602176487(40) \cdot 10^{-19} C$	(ładunek elementarny)
$E_{G_{Si}}$	$= 1.11 eV$ (dla 300 K)	(przerwa energetyczna krzemu)
ϵ_0	$= 8.854187817... \cdot 10^{-12} \frac{F}{m}$	(przenikalność elektryczna próżni)
ϵ_{Si}	$= 11.68\epsilon_0 \frac{F}{m}$	(przenikalność elektryczna krzemu)

Symbole

C_{ox}	pojemność bramki na jednostkę powierzchni w tranzystorze MOS	$\frac{F}{cm^2}$
n	koncentracja elektronów	$\frac{1}{cm^3}$
L	długość kanału w tranzystorze MOS	μm
p	koncentracja dziur	$\frac{1}{cm^3}$
U_{DS}	napięcie dren-źródło tranzystora MOS	V
U_{GS}	napięcie bramka-źródło tranzystora MOS	V
U_{TH}	napięcie progowe tranzystora MOS	V
W	szerokość kanału w tranzystorze MOS	μm
μ_n	ruchliwość elektronów (dla krzemu $\sim 1450 \frac{cm^2}{V \cdot s}$ [1])	$\frac{cm^2}{V \cdot s}$
μ_h	ruchliwość dziur (dla krzemu $\sim 450 \frac{cm^2}{V \cdot s}$ [1])	$\frac{cm^2}{V \cdot s}$

¹Particle Physic Booklet, PDG, Review of Particle Physics, JP G 37, 075021 (2010)

Wprowadzenie

Detektory cząstek znajdują szerokie zastosowanie w fizyce wysokich energii oraz w spektroskopii X i γ . Dostarczają one informacji o energiach cząstek oraz o ich trajektoriach lotu. Z informacji o śladzie cząstki można natomiast otrzymać dane o wierzchołku rozpadu, rozkładzie kątowym produktów rozpadu oraz - jeżeli detektor umieszczony jest w polu magnetycznym - o ładunku i pędzie.

Współcześnie jednymi z najpopularniejszych półprzewodnikowych detektorów pozycjoczułych są krzemowe detektory pikselowe. Powszechną metodą produkcji tych detektorów jest metoda hybrydowa, która wymaga implementacji matrycy sensorów i elektroniki na osobnych waflach krzemowych. Atrakcyjną alternatywą dla takiego rozwiązania jest produkcja monolitycznych detektorów w zaawansowanej technologii *Silicon-On-Insulator* (SOI) CMOS. Technologia SOI umożliwia wytwarzanie systemów detekcyjnych o konkurencyjnych parametrach i dużym potencjale rozwojowym na pojedynczym wafle krzemowym. Dodatkowo, SOI charakteryzuje się szeregiem ulepszeń technologicznych w porównaniu do standardowej technologii CMOS. Należą do nich między innymi redukcja pojemności pasożytniczych, prądów upływu, a także ograniczenie efektów typu SEU oraz *latch-up*, co w konsekwencji pozwala projektować układy szybsze i pobierające mniej mocy.

Standardowy tor detektorowy składa się z sensora oraz elektroniki odczytu, nazywanej często elektroniką Front-End. Sensor odpowiada za detekcję informacji o zdeponowanej przez cząstkę energii, natomiast elektronika odczytu wzmacnia i kształtuje odebrany sygnał. Ostatnim stopniem podczas przetwarzania sygnału z detektora jest system konwertujący wartość analogową na cyfrową, czyli przetwornik analogowo-cyfrowy (ADC). Konwersja danych do postaci cyfrowej jest we współczesnych układach niezwykle istotna ze względu na konieczność wstępnego procesowania sygnału oraz przechowywania informacji.

Głównym celem niniejszej pracy było zaprojektowanie 10-bitowego przetwornika ADC pracującego w architekturze sukcesywnej aproksymacji w submikronowej technologii 200 nm

Fully-Depleted Low-Leakage SOI CMOS, dostarczanej przez japońską firmę Lapis. Motywacją do podjęcia takiego projektu jest plan wykonania przez grupę z Katedry Oddziaływań i Detekcji Cząstek WFiIS oraz Instytutu Fizyki Jądrowej PAN w pełni funkcjonalnego monolitycznego detektora pikselowego w technologii SOI, zawierającego zintegrowaną elektronikę odczytu i układem konwersji danych. Opisany w niniejszej pracy układ stanowi drugi prototyp SAR ADC dla proponowanego układu.

Niniejsza praca rozpoczyna się od opisu procesu technologicznego struktury typu SOI oraz krótkiej charakteryzacji samej technologii. W kolejnym rozdziale omówione zostały pokrótce najpopularniejsze architektury ADC oraz ich ogólna charakterystyka pracy. Rozdział 3 skupia się szczególnie na przetwornikach typu sukcesywnej aproksymacji, gdyż taki typ układu został wybrany do praktycznej realizacji, przedstawionej w rozdziale 4. Na zakończenie zaprezentowane zostały wyniki symulacji zaprojektowanego układu wraz z uzyskanymi parametrami pracy.

Rozdział 1

Technologia Silicon-On-Insulator CMOS

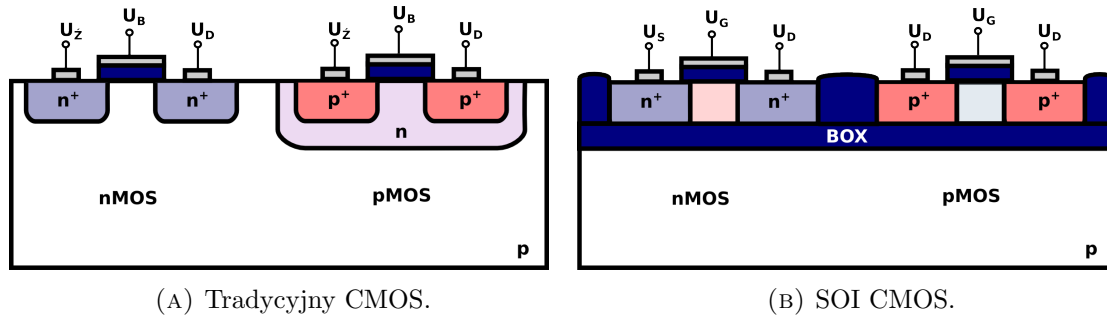
1.1 Wprowadzenie

Współcześnie technologia CMOS dominuje w projektowaniu układów elektronicznych. Układy o małym nakładzie produkcyjnym, znajdujące zastosowanie w wąskim zakresie użytkowym, nazywane są dedykowanymi układami scalonymi (ASIC). Takie układy znajdują szerokie zastosowanie w systemach elektroniki odczytu dla detektorów fizyki cząstek elementarnych lub medycyny.

Pewne modyfikacje standardowej struktury CMOS pozwalają na projektowanie układów szybszych, wydajniejszych, o lepszych parametrach pracy. Jedną z obiecujących technologii jest SOI CMOS (krzem-na-izolatorze), oferująca szereg ulepszeń względem standardowego CMOS. Wiele pomiarów pokazało, że w stosunku do rozwiązań standardowych, układy typu SOI pobierają mniej mocy, są szybsze, pracują poprawnie dla szerszego zakresu temperatur i odchyłń napięć zasilających [2], [3].

1.2 Struktura SOI CMOS

Podstawową cechą różniącą standardową strukturę CMOS oraz SOI CMOS jest obecność dodatkowej warstwy, znajdującej się pomiędzy epitaksjalną warstwą krzemu (na której implementowana jest elektronika) a podłożem. Schematyczny rysunek tranzystorów



RYSUNEK 1.1: Przekrój przez tranzystory MOSFET w standardowej technologii CMOS i SOI CMOS

wykonanych w technologii standardowej i SOI został przedstawiony na rysunku 1.1. Warstwa epitaksjalna nosi nazwę warstwy SOI, natomiast warstwa izolatora, wykonana z dwutlenku krzemu (SiO_2) - BOX-u. W celu usystematyzowania nazewnictwa, w dalszej części pracy krzem ponad BOX-em będzie nazywany podłożem (ang. *body*), natomiast pod nim podstawą lub bazą (ang. *hanle wafer, substrate*). Grubości warstw SOI i BOX różnią się w zależności od zastosowań, niemniej jednak jako przedział wartości można podać 20 – 200 nm dla SOI i 50 – 400 nm dla izolatora.

1.3 Rys historyczny

Pierwsze próby wytwarzania elektroniki w technologii SOI sięgają lat 60-tych XX wieku. Początkowo warstwą izolatora był monokryształ szafiru (Al_2O_3), a struktury nosiły nazwę SOS (krzem-na-szafirze). Dzięki znaczącemu ograniczeniu pojemności pasożytniczych do podłoża, struktury takie wykorzystywane były do projektowania szybkich układów LSI. Niemniej jednak duża różnica pomiędzy sieciami krystalicznymi krzemu i aluminium powodowała powstawanie wielu defektów struktury, a tym samym znaczące prądy upływu [4]. Poza tym pojawiała się tendencja do przenikania atomów aluminium do warstwy epitaksjalnej, czego próba wyeliminowania znacznie utrudniała proces produkcyjny. Warstwa dwutlenku krzemu okazała się znacznie lepszym izolatorem i zdecydowanie wyparła szafir.

Pierwszym przełomowym krokiem w produkcji układów SOI było opatentowanie w 1978 roku procesu SIMOX, który pozwalał na produkcję warstwy SiO_2 o bardzo dobrych parametrach elektrycznych. Niemniej jednak do połowy lat 80-tych produkowane były tylko układy o niecałkowicie zubożonym podłożu (PD-SOI), które nie charakteryzowały się najlepszymi osiągnięciami w układach analogowych ze względu na efekt pływającego podłoża (opisany w paragrafie 1.4). Dopiero w roku 1986 postęp technologiczny pozwolił na produkcję układów z w pełni zubożonym podłożem (FD-SOI), co znacząco zredukowało efekt

krótkiego kanału i wspomniany efekt pływającego podłoża. Wówczas FETy w technologii SOI wykazywały od 20% do 30% większą szybkość i o 33% mniejszy pobór mocy niż standardowy CMOS. Obiecujące wyniki pracy układów wykonanych w technologii SOI CMOS sprawiły, że w latach 90-tych miał miejsce jej gwałtowny rozwój. Pojawiły się procesy produkcyjne polegające na łączeniu wafli krzemowych (np. ELTRAN), pozwalające produkować struktury o stosunkowo małej gęstości defektów i dużej jednorodności poszczególnych warstw. Równocześnie z ulepszaniem samej technologii duży progres miał miejsce w dziedzinie symulacji i modelowania układów elektronicznych. W 1997 roku zamiar masowej produkcji w technologii SOI CMOS ogłosiła Motorola, a rok później IBM. Dziś SOI jest powszechnie stosowany do produkowania układów logicznych przez światowe koncerny, takie jak Apple, Microsoft, AMD czy wspomniany IBM [5].

1.3.1 Procesy technologiczne

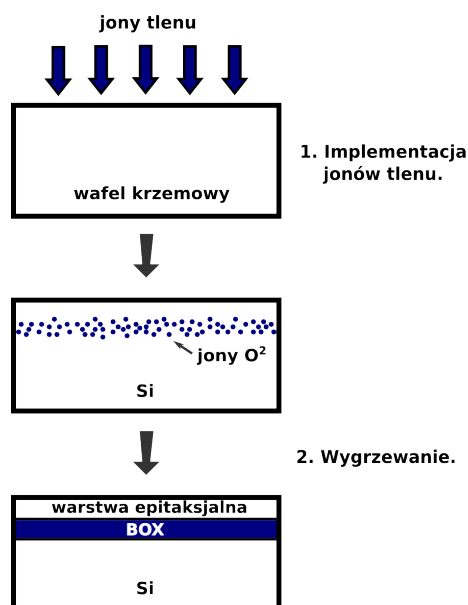
W tym rozdziale pokrótce przedstawione zostały trzy sposoby produkcji struktur SOI CMOS, rozpoczynając od jednego z historycznie pierwszych SIMOX, a kończąc na najpopularniejszym dziś Smart Cut.

1.3.1.1 SIMOX

Przebieg procesu SIMOX został schematycznie przedstawiony na rysunku 1.2. W metodzie tej w pierwszym kroku duża liczba jonów tlenu jest implementowana pod powierzchnię wafel krzemowego. Następnie wafel poddawany jest wygrzewaniu przez około 3 – 6 godzin w temperaturze rzędu 1300 °C, co prowadzi do powstania wewnątrz niego jednorodnej warstwy dwutlenku krzemu. Warstwa ta stanowi BOX przyszłej struktury SOI, a cienka warstwa krzemu ponad nią miejsce implementacji elektroniki. Średnia całkowita dawka jonów tlenu w procesie SIMOX to około 10^{18} cm^{-2} przy energii około 200 keV. Od energii wiązki zależą wymiary warstw BOX i SOI. Grubość BOX to średnio 100 – 400 nm, natomiast SOI 50 – 200 nm.

1.3.1.2 ELTRAN

Metoda ta została wynaleziona w 1994 roku przez firmę Canon. Wykorzystywane są dwa osobne wafle krzemowe, które następnie zostają sklezione. W procesie anodowania na pierwszym wafelu narasta cienka warstwa porowatego krzemu. Często wytwarzane są dwie warstwy o różnym stopniu porowatości. Następnie na warstwy porowate narasta



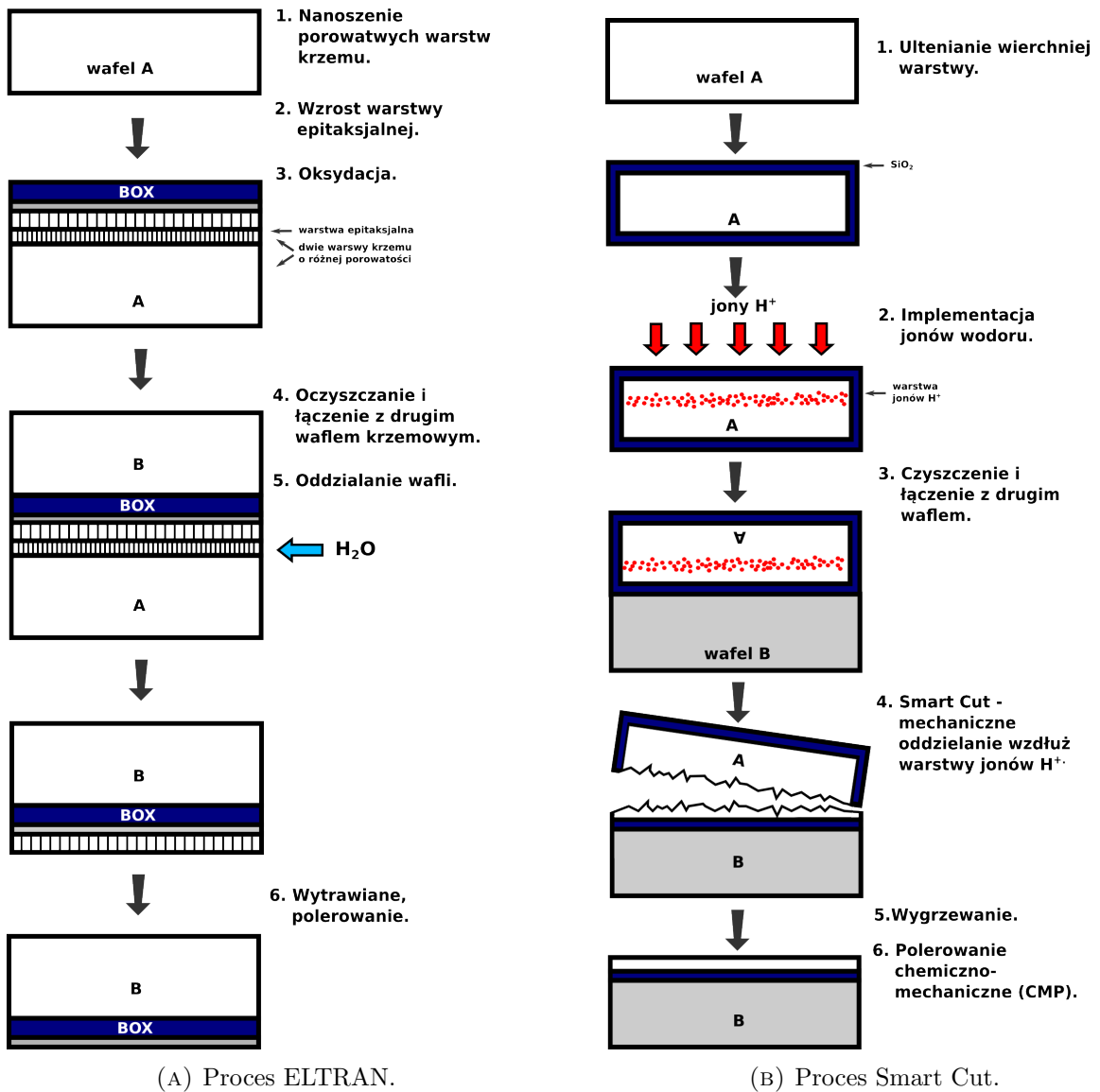
RYSUNEK 1.2: Proces technologiczny SIMOX.

warstwa epitaksjalna. Przygotowanie pierwszego wafla kończy proces utleniania, w wyniku którego powstaje BOX. Następnie drugi wafel krzemowy jest łączony z pierwszym od strony izolatora. Tak otrzymana struktura jest rozdzielana poprzez skierowanie strumienia wody na porowaty krzem. Pozostałości porowatych warstw są wytrawiane, a wierzchnia powierzchnia polerowana. Ta część wafla, która została oddzielona od struktury SOI, może zostać ponownie wykorzystana w następnym procesie produkcji. Schematycznie proces ELTRAN został zaprezentowany na rysunku 1.3a.

1.3.1.3 Smart Cut

Tak jak i ELTRAN, Smart Cut wykorzystuje technikę łączenia dwóch wafli krzemowych. Smart Cut został wynaleziony w 1995 roku przez francuską firmę CEA-Leti w kolaboracji z Soitec i opatentowany w dwa lata później. Struktury wyprodukowane za pomocą metody Smart Cut są produkowane przez Soitec pod nazwą UNIBOND.

Na początku produkcji wierzchnia warstwa jednego z wafli krzemowych jest utleniana. Potem zaś następuje implementacja jonów H^+ pod powierzchnię krzemu (całkowita dawka to około $2 \cdot 10^{16} - 10^{17} \text{ cm}^{-3}$ [6]). Do tak przygotowanego wafla dołączany jest drugi, po wcześniejszym oczyszczeniu powierzchni styku. Wstrzyknięte uprzednio jony wodoru osłabiają wafel krzemowy i wzdłuż ich linii dochodzi do odseparowania wafli. Część z warstwą SOI na powierzchni jest wygrzewana, a następnie poddawana obróbce

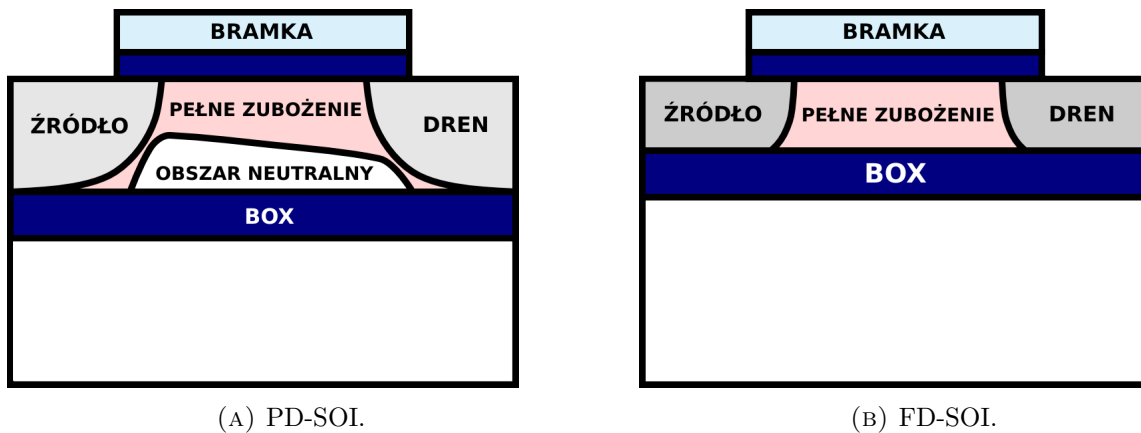


RYSUNEK 1.3: Metody produkcji struktur SOI.

chemiczno-mechanicznej (CMP) w celu wyrównania powierzchni wierzchniej. Na schemacie 1.3b przedstawione zostały poszczególne etapy produkcji struktury SOI w procesie Smart Cut [5].

1.4 PD-SOI i FD-SOI

Główną różnicą pomiędzy PD-SOI a FD-SOI jest częściowo zubożone podłoże w pierwszej z wymienionych struktur. Obie zostały graficznie przedstawione na rysunku 1.4. Podłoże w FD-SOI jest w pełni zubożone: od bramki aż do warstwy BOX. W PD-SOI, ze względu na o wiele grubszą warstwę SOI, tuż nad izolatorem tworzy się obszar neutralny.

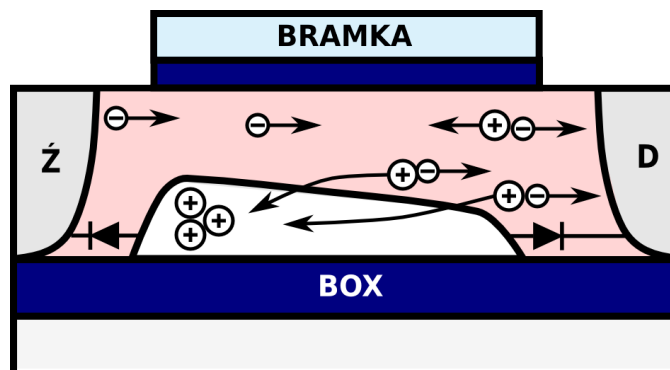


(A) PD-SOI.

(B) FD-SOI.

RYSUNEK 1.4: Porównanie struktur PD-SOI i FD-SOI.

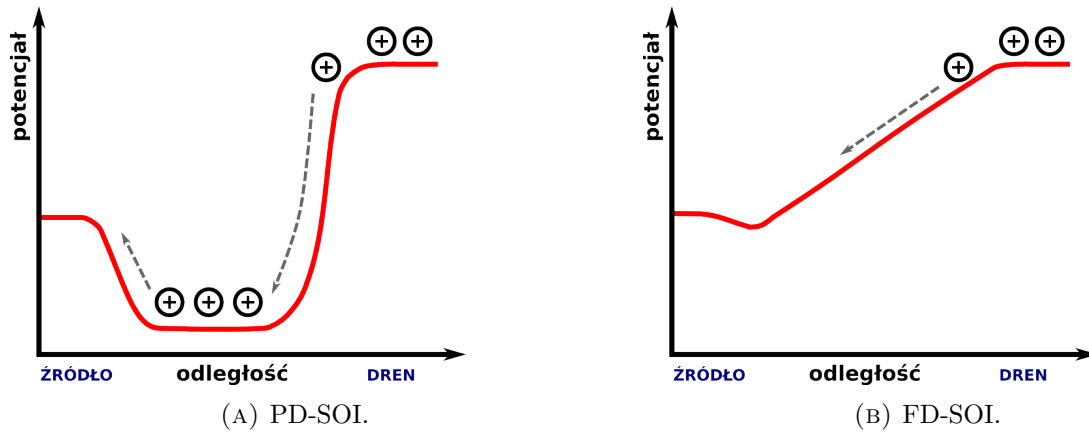
1.4.1 Efekt pływającego podłoża



RYSUNEK 1.5: Efekt pływającego podłoża.

Struktury PD-SOI cechują się kilkoma znaczącymi wadami w stosunku do FD-SOI, wśród których najbardziej znaczącą jest efekt pływającego podłoża (ang. *body-floating effect*). Główną fizyczną różnicą pomiędzy PD-SOI i FD-SOI jest rozkład pola elektrycznego w podłożu. We w pełni zubożonym obszarze gradient pola jest stały i skierowany w kierunku warstwy BOX, stąd pole elektryczne jest w tym kierunku zmienia się liniowo. W PD-SOI natomiast gradient pola w warstwie neutralnej jest zerowy, a pole elektryczne stałe. Taki efekt powoduje akumulowanie się ładunku dodatniego w podłożu tranzystora, co efektywnie wpływa na jego charakterystyki. Rozkład potencjałów w obu typach struktur został ideologicznie zaprezentowany na rysunku 1.6.

Istnieje pewne napięcie graniczne dren-źródło, dla którego pole elektryczne wokół drenu nie jest na tyle duże, by nadać elektronom w kanale energię wystarczającą do jonizacji ośrodka. Efekt ten znany jest jako jonizacja zderzeniowa. Powstałe w jej wyniku elektrony wędrują do drenu, natomiast dziury w stronę źródła. Źródło i obszar neutralny



RYSUNEK 1.6: Potencjały w obszarze źródło-dren w różnych strukturach SOI [7].

podłoża tworzą złącze diodowe, które po akumulacji odpowiedniego ładunku w obszarze neutralnym, zaczyna być spolaryzowane w kierunku przewodzenia i dziury przepływają do źródła. Jednak akumulacja ładunku dodatniego w podłożu zwiększa jego potencjał, co w konsekwencji obniża napięcie progowe tranzystora i zmniejsza barierę potencjału źródło-obszar neutralny. Efekt pływania potencjału podłoża, spowodowany pośrednio rosnącym napięciem U_{DS} , zmienia charakterystyki tranzystora w trakcie jego pracy, co jest efektem niepożądanym. W FD-SOI obszar podłoża jest w pełni zubożony, a w konsekwencji złącze źródło-podłoże jest stale spolaryzowane w kierunku przewodzenia i nie dochodzi do akumulacji ładunków dodatnich. Tym samym w tego typu strukturach efekt pływającego potencjału jest znacząco zredukowany.

1.5 Zalety technologii SOI

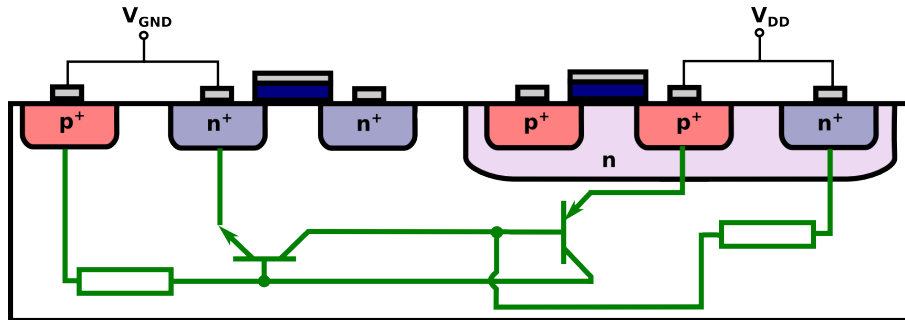
1.5.1 Redukcja pojemności pasożytniczych i prądów upływu

Szczególną zaletą implementacji warstwy SiO_2 jest znacząca redukcja pojemności pasożytniczych do podłoża w stosunku do standardowej technologii CMOS. Obecność pojemności pasożytniczych znacznie wpływa na szybkość układu, gdyż konieczność ich ładowania i rozładowywania wydłuża czas pracy całego systemu. Dla przykładu, pomiary przeprowadzone w [5] pokazują, że struktury zaprojektowane w SOI osiągają o 20% większe prędkości przy takim samym poborze mocy co standardowe rozwiązania. Równocześnie przy tej samej szybkości zużywają o 30% mniej energii.

Izolowanie poszczególnych elementów elektronicznych układu redukuje ilość możliwych ścieżek prądu upływu. Cecha ta, analogicznie jak zmniejszenie liczby pojemności pasożytniczych, znacznie redukuje pobór mocy układów.

1.5.2 Eliminacja efektów typu *latch-up*

Zjawiskiem *latch-up* nazywa się powstawanie niepożądanych nisko-impedancyjnych ścieżek pomiędzy liniami zasilającymi. Powstają wtedy pasożytnicze struktury pnpn, które działają jak połączone tranzystory pnp i npn (rysunek 1.7). Obecność warstwy BOX uniemożliwia powstawanie tego typu efektów.



RYSUNEK 1.7: Efekt typu *latch-up*. Na zielono zaznaczony został pasożytniczy obwód.

1.5.3 Odporność na SEU

Efekty SEU dotyczą przypadków, w których dochodzi do zmiany stanu logicznego elementów elektroniki, spowodowanej przez wolne ładunki elektryczne. Ładunki te powstają w procesie jonizacji wywołanej przez promieniowanie, na przykład kosmiczne. Efekty takie są nieniszczące, jednak mają szczególne znaczenie dla elektroniki cyfrowej, gdzie zmiana stanu może doprowadzić do błędów w pracy układu. W SOI CMOS efektywna objętość podłoża, w którym wytworzone losowo ładunki mogą powodować efekty SEU, jest znacznie zredukowana. W związku z tym podatność na tego typu zjawiska jest zminimalizowana w stosunku do standardowej techniki CMOS.

1.5.4 Redukcja powierzchni układów

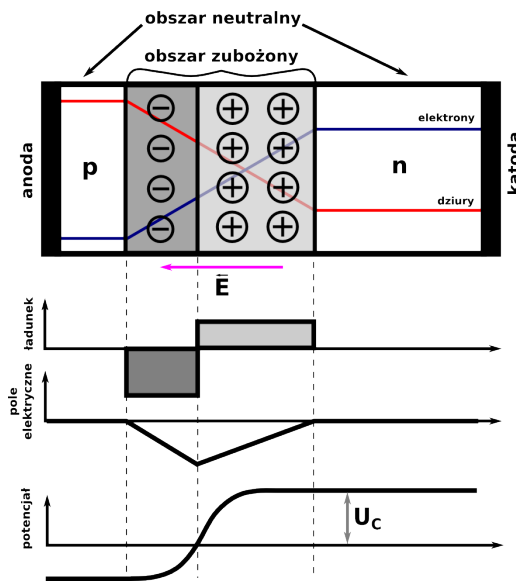
Technologia SOI zapewnia pełną izolację poszczególnych elementów elektronicznych. Poza warstwą BOX (izolującą od podstawy) każdy z tranzystorów i innych struktur jest izolowany od siebie nawzajem, tak jak zostało to pokazane na rysunku 1.1b. W związku z tym nie ma konieczności używania dodatkowych struktur ograniczających poszczególne elementy (*guard ring*), tak jak jest to często stosowane w standardowej technologii CMOS. Gęstość elementów elektronicznych w SOI może być zatem większa, co sprawia, że istnieje możliwość projektowania układów o mniejszej powierzchni.

1.6 Struktura SOI jako detektor

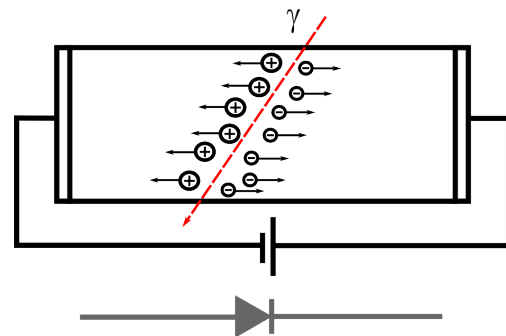
Szczególną zaletą technologii SOI jest możliwość produkcji monolitycznych detektorów pikselowych. Oznacza to, że zarówno matryca sensorów jak i elektronika odczytu zaimplementowana jest na jednym waflu krzemowym. Takie rozwiązanie staje się dużą konkurencją dla najpopularniejszych dziś pikselowych detektorów hybrydowych. Podczas fabrykacji detektorów hybrydowych elektronika i sensory wytwarzane są na osobnych waflach krzemowych, a następnie łączone w procesie *bump-bondingu*. Proces ten jest kosztowny, stąd możliwość projektowania detektorów monolitycznych staje się niezwykle obiecująca.

1.6.1 Detektory pikselowe

Detektory półprzewodnikowe znajdują szczególne zastosowanie w dziedzinach, gdzie wymagana jest wyjątkowo duża rozdzielczość pomiarów, nieosiągalna w detektorach gazowych. Dodatkowo, medium w detektorach krzemowych ma o wiele większą gęstość niż w gazowych, w związku z czym może absorbować cząstki o znacznie wyższych energiach. Powszechnie używanym półprzewodnikiem jest krzem, między innymi ze względu na bardzo dobrze opanowany proces jego obróbki technologicznej. Pojedynczy element detektora krzemowego stanowi złącze p-n, przedstawione na rysunku 1.8.



RYSUNEK 1.8: Złącze p-n.



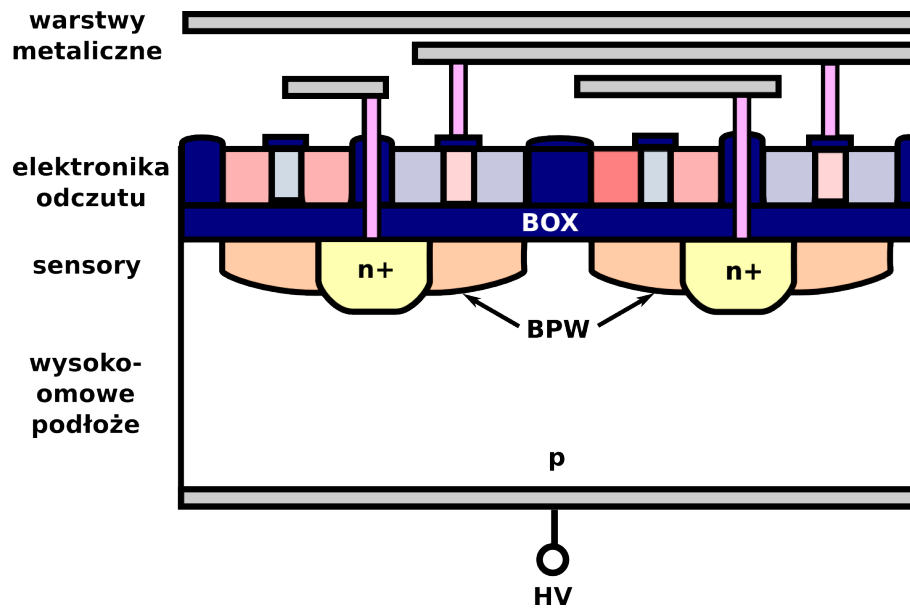
RYSUNEK 1.9: Dioda jako detektor promieniowania jonizującego.

Elektrony z obszaru n wędrują do obszaru p , natomiast dziury w kierunku przeciwnym: z p do n . Taki efekt prowadzi do powstania przestrzennego rozkładu ładunku w złączu p-n. Przez dodatnie jony w obszarze typu n i ujemne w obszarze typu p tworzy

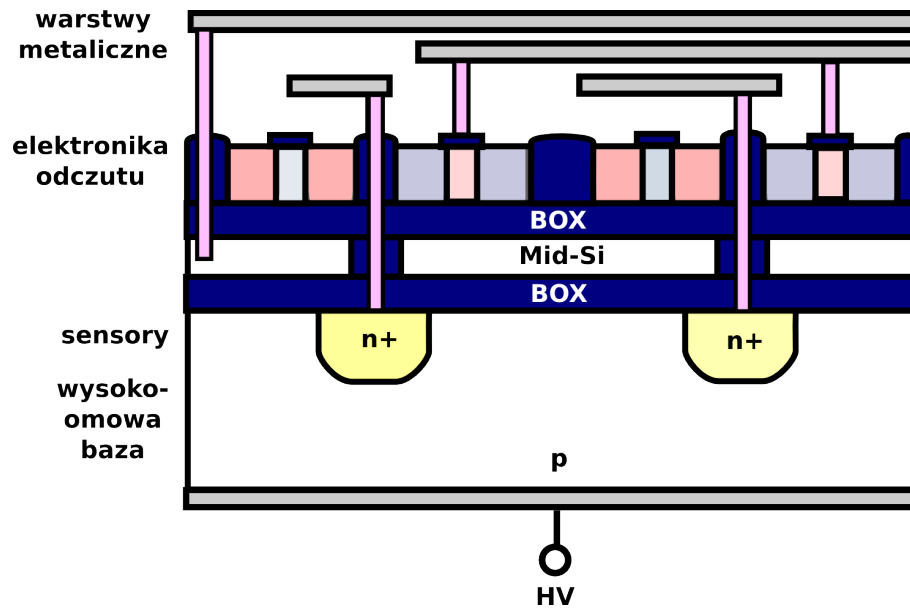
się pole elektryczne, które wypycha odpowiednio elektrony i dziury w przeciwnych kierunkach, tworząc obszar o bardzo niskiej koncentracji wolnych nośników. Taki region jest nazywany obszarem zubożonym. Dzięki takiemu zredukowaniu wolnych ładunków, naładowana cząstka przelatująca przez obszar zubożony zostawia ładunkowy ślad, który może być zarejestrowany przez elektrody złącza. Schematycznie dioda pracująca jako detektor została pokazana na rysunku 1.9. Spolaryzowanie złącza w kierunku zaporowym powoduje poszerzenie obszaru zubożonego złącza, a zatem zwiększenie objętości aktywnej detektora. Elektrody w detektorach półprzewodnikowych są segmentowane. W zależności od sposobu segmentacji wyróżnia się detektory paskowe i pikselowe. Do grupy tych ostatnich zaliczyć można detektory CCD lub sensory CMOS (ang. *active pixel sensors*). Na wysokorezystywnym podłożu implementowana jest matryca diod, która stanowi system elementów detekcyjnych urządzenia. Każdy z sensorów połączony jest z układem elektroniki odczytu położonym tuż nad nim.

Segmentacja sensorów w kierunku osi x i y pozwala naturalnie otrzymywać dwuwymiarową informację o pozycji cząstki. Typowe rozmiary pikseli współcześnie produkowanych to 30 – 100 μm . Odstęp pomiędzy pikselami i ich rozmiar limituje rozdzielczość przestrzenną detektora. Niemniej jednak informacja o podziale ładunku pomiędzy sąsiednimi sensorami (ang. *charge sharing*) umożliwia znaczne poprawienie dokładności wyznaczenia pozycji cząstki. Zaletą detektorów pikselowych w stosunku do paskowych jest pomiar współrzędnych w dwóch wymiarach oraz możliwość detekcji większej ilości cząstek jednocześnie [8].

Na rysunku 1.10 przedstawiony został schemat detektora wykonanego w technologii SOI. Nad warstwą izolatora zaimplementowana jest elektronika odczytu detektora. Matryca sensorów znajduje się natomiast pod BOX-em. Wafel krzemowy dla matrycy sensorów musi cechować się dużą rezystywnością, aby można było uzyskać pełne zubożenie poprzez przyłożenie stosunkowo niewielkiego napięcia. Jednym z problemów pojawiających się podczas projektowania detektorów w SOI jest tak zwany *back-gate effect*. Wysokie napięcie polaryzujące sensor oddziałuje także na elektronikę położoną tuż ponad nim. Każdy sensor otoczony jest warstwą zwaną BPW lub BNP, w zależności od rodzaju domieszkowania sensorów. Warstwa BP(N)W ma na celu ekranować elektronikę od pola elektrycznego sensora.



RYSUNEK 1.10: Struktura SOI jako detektor pikselowy.



RYSUNEK 1.11: Struktura Double SOI.

1.6.2 Double SOI

Jedną z najnowszych koncepcji jest dołożenie kolejnej warstwy izolatora i krzemu w procesie technologicznym SOI CMOS. Technika taka nazywana została Double SOI CMOS. Schematycznie struktura detektora z podwójną warstwą BOX została przedstawiona na rysunku 1.11. Warstwa pomiędzy izolatorami nazywana jest środkowym krzemem (Mid-Si).

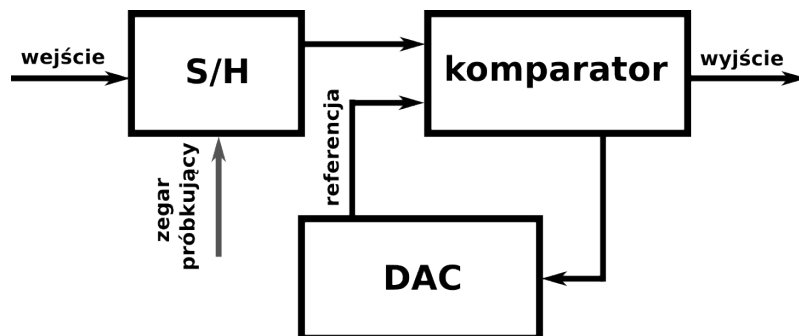
Podstawowym zadaniem dodatkowej warstwy SiO_2+Si jest zapewnienie większej odporności radiacyjnej detektora (na dawki powyżej 10 kGy). Poza tym Double SOI pełni

taką samą funkcję jak warstwa BP(N)W, czyli eliminuje *back-gate effect*. BP(N)W skutecznie ekranuje elektronikę, jednak zwiększa pojemność sensora. W Double SOI można zatem usunąć warstwę BP(N)W lub wykorzystać ją do modyfikacji kształtu sensora [9].

Rozdział 2

Wprowadzenie do przetworników analogowo-cyfrowych

Przetworniki analogowo-cyfrowe to układy służące do konwersji sygnału analogowego na cyfrowy. Główną funkcją tych przetworników jest zatem dyskretyzacja czasowo-amplitudowa sygnału. Ogólnie ADC można podzielić na dwie apodgrupy: pracujących w trybie Nyquista oraz nadpróbkujących. W tym rozdziale poświęcono uwagę jedynie pierwszej z wymienionych grup. Większość przetworników ADC jest zbudowana z kilku podstawowych podbloków: układu próbkująco-pamiętającego (układ S/H), komparatora oraz przetwornika DAC. Na rysunku 2.1 pokazany został prosty schemat przetwornika ADC. Głównym zadaniem układu S/H jest próbkowanie i zapamiętanie sygnału wejściowego. Komparator porównuje tę wartość z wartością referencyjną podawaną z przetwornika DAC. Na podstawie wyniku porównania podejmowana jest decyzja o zmianie napięcia referencyjnego w następnej iteracji. Dla N -bitowego ADC proces ten jest powtarzany N razy aż do wyznaczenia wartości każdego z bitów słowa wyjściowego.



RYSUNEK 2.1: Podstawowe podbloki przetworników ADC.

2.1 Błąd kwantyzacji

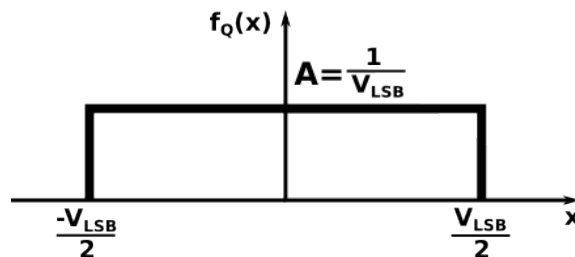
Na wejście ADC podawana jest ciągła wartość analogowa, która zostaje zdyskretyzowana. Podczas procesu kwantyzacji wymuszone jest zatem zaokrąglenie wartości wejściowej, prowadzące do powstania tak zwanego błędu kwantyzacji, oznaczanego zwykle przez Q_e . Błąd kwantyzacji jest najczęściej modelowany jako szum, zwany szumem kwantyzacji V_Q . Definiuje się go jako różnicę pomiędzy napięciem analogowym V_{in} a napięciem wyjściowym V_{out} , zgodnie ze wzorem 2.1.

$$V_Q = V_{in} - V_{out} \quad (2.1)$$

W idealnym przypadku V_Q zamyka się w granicach $\langle -\frac{1}{2}V_{LSB} ; \frac{1}{2}V_{LSB} \rangle$, gdzie V_{LSB} jest szerokością pojedynczego bitu. Napięcie V_{LSB} jest opisane wzorem 2.2, gdzie FSR oznacza całkowity zakres wejściowy N -bitowego przetwornika ADC. Wartości szumu kwantyzacji dla przypadku idealnego i rzeczywistego zostały graficznie zilustrowane na dolnych wykresach na 2.3a i 2.3b.

$$V_{LSB} = \frac{FSR}{2^N} \quad (2.2)$$

Prawdopodobieństwo błędu kwantyzacji podlega rozkładowi jednostajnemu w przedziale $\langle -\frac{1}{2}V_{LSB} ; \frac{1}{2}V_{LSB} \rangle$ (rysunek 2.2). Wtedy funkcja gęstości prawdopodobieństwa szumu kwantyzacji jest stała i z unormowania równa $f_Q = \frac{1}{V_{LSB}}$.



RYSUNEK 2.2: Funkcja gęstości prawdopodobieństwa błędu kwantyzacji.

$$\int_{-\infty}^{\infty} f_Q(x) dx = 1 \longrightarrow f_Q(x) = \frac{1}{V_{LSB}} \text{ dla } \langle -\frac{1}{2}V_{LSB} ; \frac{1}{2}V_{LSB} \rangle \quad (2.3)$$

Na tej podstawie można wyznaczyć wartość średniokwadratową szumu kwantyzacji, opisaną wzorem 2.6.

$$V_{Q(rms)} = \sqrt{\langle V_Q^2 \rangle - \langle V_Q \rangle^2} \quad (2.4)$$

$$\langle V_Q \rangle = \int_{-\infty}^{\infty} x f_Q(x) dx = \frac{1}{V_{LSB}} \int_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} x dx = 0 \quad (2.5)$$

$$V_{Q(rms)} = \sqrt{\langle \int_{-\infty}^{\infty} x^2 f_Q(x) dx \rangle} = \sqrt{\frac{1}{V_{LSB}} \int_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} x^2 dx} = \frac{V_{LSB}}{\sqrt{12}} \quad (2.6)$$

2.1.1 Stosunek sygnału do szumu.

Szum kwantyzacji jest podstawowym parametrem limitującym stosunek sygnału do szumu (SNR) przetwornika ADC. Nie uwzględniając innych szumów niż szum kwantyzacji, można wyznaczyć maksymalny SNR dla idealnego ADC. Obliczenia przeprowadzone są dla sinusoidalnego sygnału wejściowego o amplitudzie $\frac{1}{2}V_{ref}$ oraz szumu kwantyzacji o wartości średniokwadratowej $V_{n(rms)} = \frac{V_{LSB}}{\sqrt{12}}$, wyznaczonej we wzorze 2.6.

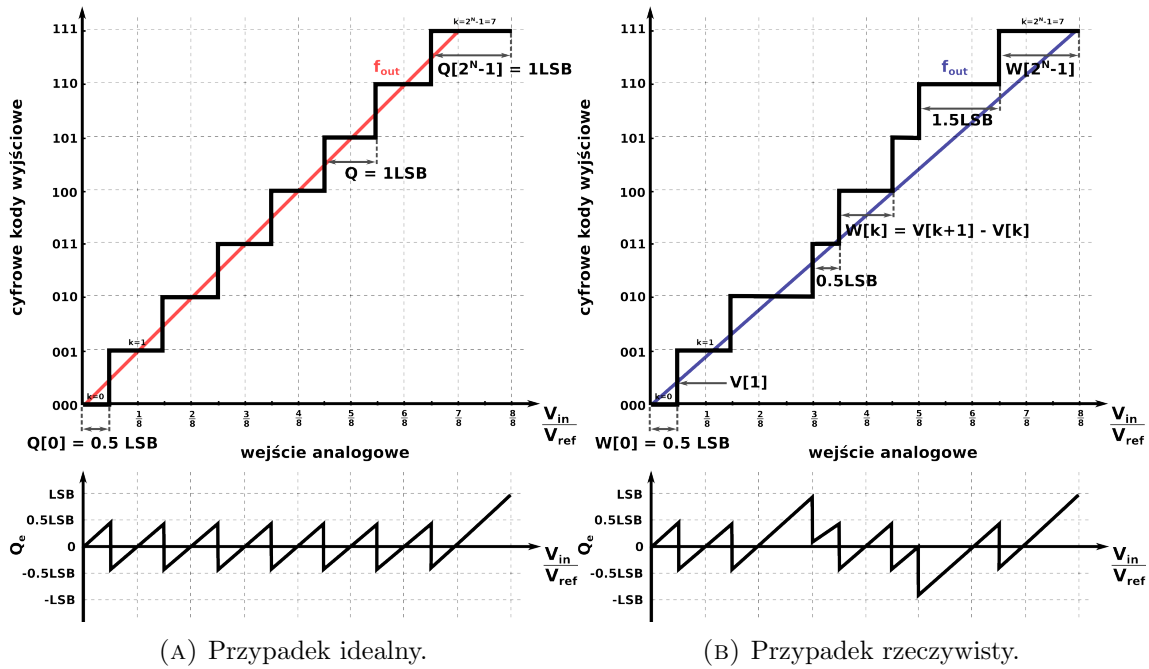
$$V_{s(rms)} = \frac{V_{ref}}{2\sqrt{2}} = \frac{2^N \cdot V_{LSB}}{2\sqrt{2}} \quad (2.7)$$

$$SNR_{ideal} = 20 \log_{10} \frac{2^N V_{LSB} \cdot \sqrt{12}}{2\sqrt{2} \cdot V_{LSB}} = 6.02N + 1.76 [dB] \quad (2.8)$$

2.2 Podstawowe parametry pracy ADC

Istnieje szereg wielkości, które należy zmierzyć, by określić jakość pracy przetwornika ADC. W tym rozdziale przedstawione zostały krótko ogólne własności charakteryzujące ADC. Dodatkowo można wyszczególnić dwie grupy parametrów opisujących działanie przetworników analogowo-cyfrowych: parametry statyczne i dynamiczne. Zostały one opisane w podrozdziałach 2.3 oraz 2.4.

Zależność pomiędzy sygnałem wejściowym a wartościami wyjściowymi ADC ma charakter krzywej schodkowej i zwyczajowo nosi nazwę funkcji przenoszenia przetwornika. Funkcja taka dla przypadku idealnego została przedstawiona na rysunku 2.3a na przykładzie 3-bitowego ADC. Całkowity zakres wejściowy (FSR) jest podzielony na równe przedziały, każdy o szerokości Q . W przypadku idealnym szerokość Q odpowiada jednemu LSB , czyli najmniej znaczącemu bitowi. Napięcie odpowiadające V_{LSB} zostało podane we wzorze 2.2. W przypadku rzeczywistym poszczególne szerokości przedziałów są różne. Przypadek taki został przedstawiony na rysunku 2.3b. Szerokość k -tego przedziału



RYSUNEK 2.3: funkcje przenoszenia przejścia na przykładzie 3-bitowego ADC. Czerwona krzywa - charakterystyka idealna, niebieska - rzeczywista. U dołu błąd kwantyzacji przetwornika.

oznaczona została jako $W[k]$ i jest równa:

$$W[k] = V[k + 1] - V[k] \quad (2.9)$$

gdzie k numeruje kolejne przedziały rozpoczynając od 0. $V[k]$ to napięcie wejściowe odpowiadające przejściu pomiędzy kodem wyjściowym $(k+1)$ -wszym a k -tym. Rozdzielczość przetwornika, wyrażana w bitach, determinują liczbę przedziałów w funkcji przenoszenia. N -bitowe ADC posiada 2^N poziomów kwantyzacji (przedziałów), z których każdy reprezentuje konkretne słowo cyfrowe, pojawiające się na wyjściu przetwornika dla szczególnego zakresu napięć wejściowych.

Funkcja przenoszenia zaprezentowana na 2.3a jest rzeczywiście przesunięta o $\frac{1}{2}LSB$ w kierunku ujemnych wartości osi x . W takim wypadku o połowę skrócony jest pierwszy poziom $Q[0]$, natomiast ostatni $Q[2^N - 1]$ o połowę wydłużony. Niemniej jednak zabieg taki sprawia, że prosta funkcji przenoszenia f_{out} przechodzi przez środki przedziałów konkretnych kodów, a błąd kwantyzacji (opisany niżej) jest scentrowany w zerze. Przesunięcie funkcji przenoszenia nie zmienia nic w kontekście działania przetwornika, ale jest wygodniejsze w analizie i powszechnie stosowane.

2.2.1 Całkowity zakres wejściowy

Całkowity zakres wejściowy (FSR) jest to dopuszczalny przedział napięć na wejściu przetwornika, dla których pracuje on prawidłowo. Wyznaczany jest jako różnica najbardziej dodatniej i ujemnej wartości napięć wejściowych, dla których ADC konwertuje poprawnie.

2.2.1.1 Czas konwersji

Jest to czas, jaki jest potrzebny do wykonania pełnej konwersji pojedynczego sygnału, włączając w to czas jego akwizycji (próbkiowania). Szybkość przetwornika najczęściej wyrażana jest w tak zwanej szybkości bitowej, określonej jako liczba bitów wyniku przetwarzania uzyskana w jednostce czasu [$\frac{\text{bity}}{\text{s}}$].

2.2.2 Dokładność

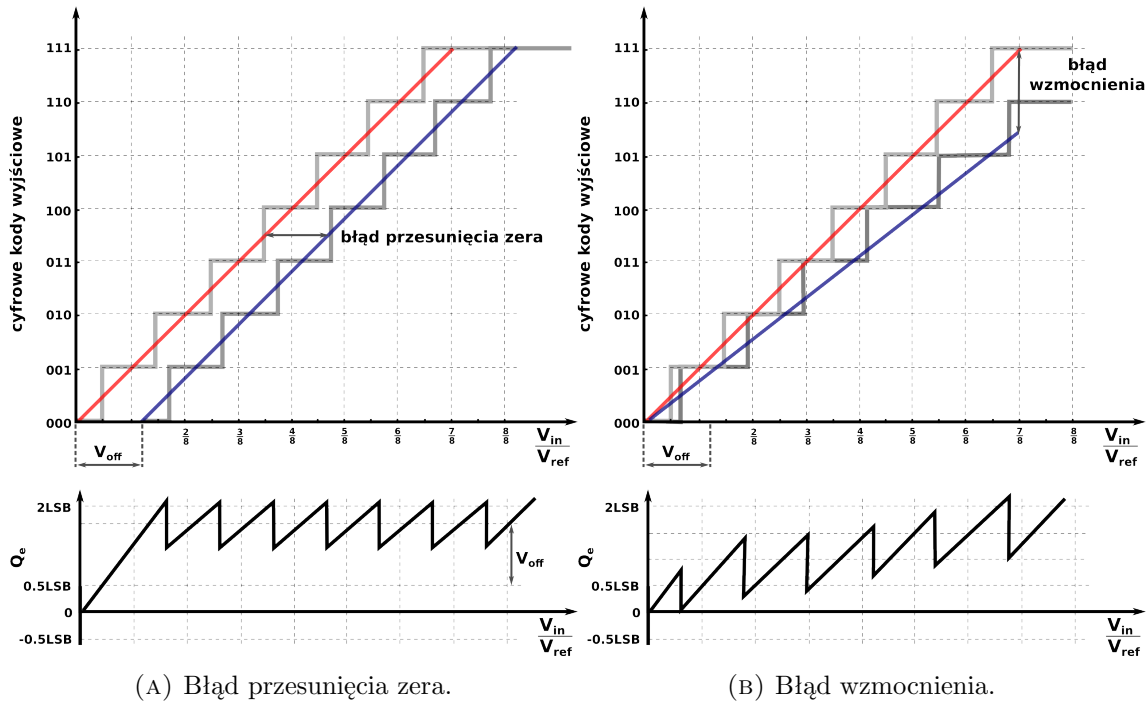
Warty zaznaczenia jest fakt, że rozdzielczość przetwornika nie jest tym samym co jego dokładność. Pojęcia te są często mylone. Dokładność przetwornika może zostać zdefiniowana jako różnica pomiędzy odpowiedzią idealną a rzeczywiście uzyskaną, która uwzględnia błąd wzmocnienia, błąd kwantyzacji i nieliniowości układu. Dokładność ADC może zostać wyrażona na przykład przez efektywną liczbę bitów, opisaną w paragrafie 2.4.2.

2.3 Parametry statyczne

Parametry statyczne są wyznaczone gdy sygnał wejściowy może być traktowany jako napięcie stałe w odniesieniu do częstotliwości pracy przetwornika. Do parametrów statycznych należy błąd przesunięcia zera, błąd wzmocnienia oraz nieliniowość całkowita i różniczkowa.

2.3.1 Błąd przesunięcia zera

Kolejnym błędem pojawiającym się podczas konwersji jest błąd przesunięcia zera V_{off} (ang. *offset error*), często nazywany także błędem niezrównoważenia. Błąd przesunięcia jest zdefiniowany jako odchylenie wartości pierwszego kodu od wartości idealnej równej $\frac{1}{2}V_{LSB}$. Został graficznie zaprezentowany na rysunku 2.4a.



RYSUNEK 2.4: Statyczne błędy przetworników ADC. Czerwona krzywa - charakterystyka idealna, niebieska - rzeczywista.

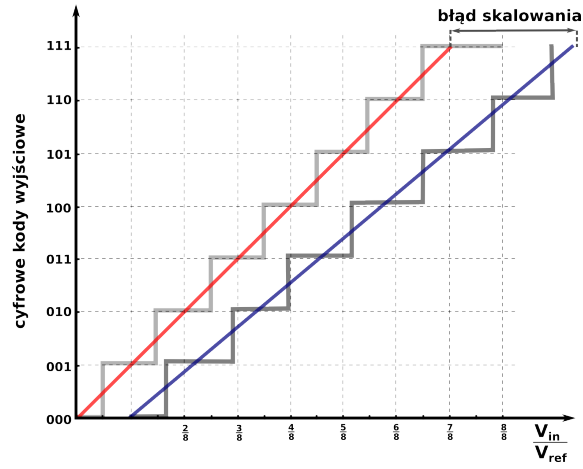
2.3.2 Błąd wzmocnienia

Błędem limitującym dokładność przetwornika jest także błąd wzmocnienia (ang. *gain error*). Jest zdefiniowany jako różnica pomiędzy nachyleniami idealnej i rzeczywistej funkcji przenoszenia po wyeliminowaniu błędu przesunięcia zera. Błąd wzmocnienia pokazany został a rysunku 2.4b.

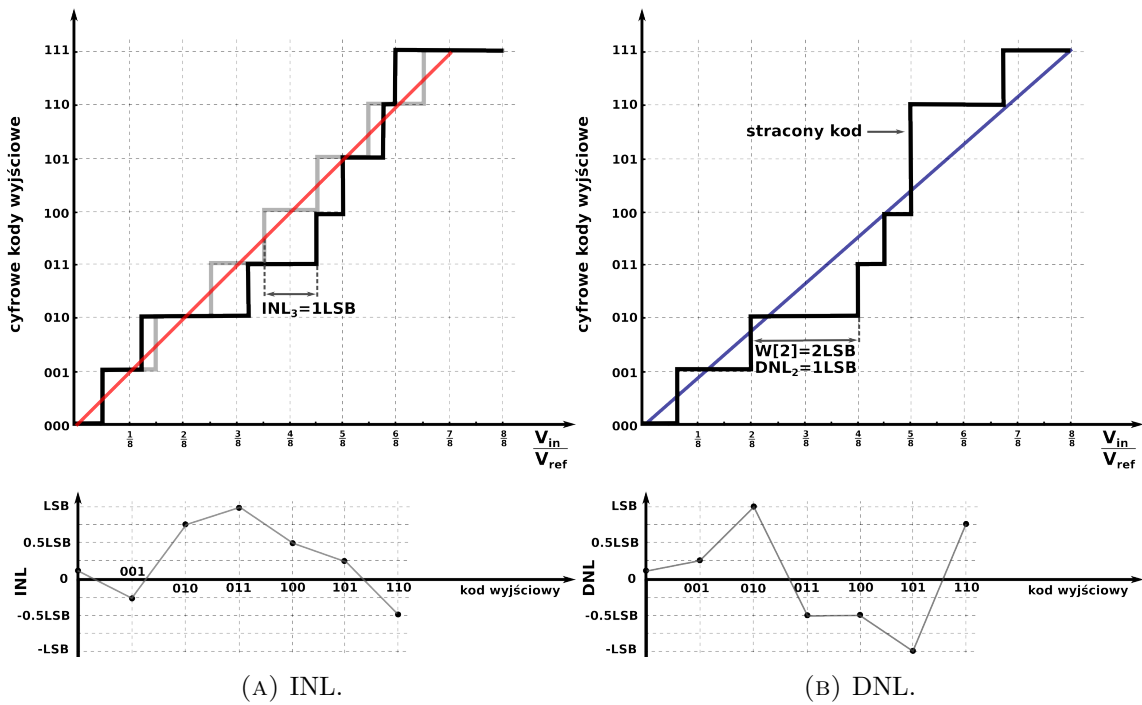
Z błędu przesunięcia zera i błędu wzmocnienia wynika tak zwany błąd skalowania (ang. *full-scale error*), czyli różnica pomiędzy ostatnim przejściem w rzeczywistej funkcji przenoszenia przetwornika a ostatnim przejściem w przypadku idealnym. Został on zaznaczony na rysunku 2.5.

2.3.3 Nieliniowość całkowita

Nieliniowość całkowita (INL) określana jest jako różnica pomiędzy rzeczywistą a idealną funkcją przenoszenia przetwornika i zilustrowana została na rysunku 2.6a. Nieliniowość całkowita wyznaczana jest po wyeliminowaniu błędu przesunięcia zera i wzmocnienia. Standardowo nieliniowość całkowita przedstawiana jest graficznie dla każdego bitu, jednak często jako wartość INL podaje się jego maksymalną różnicę. Zachowując poprzednie oznaczenia



RYSUNEK 2.5: Błąd skalowania.



RYSUNEK 2.6: Statyczne błędy przetworników ADC. Czerwona krzywa - charakterystyka idealna, niebieska - rzeczywista.

nieliniowość całkową możemy zdefiniować zgodnie z 2.10 oraz 2.11.

$$INL = \frac{V[k] - k \cdot V_{LSB}}{V_{LSB}} \quad \forall k = 0, \dots, (2^N - 2) \quad (2.10)$$

$$INL_{max} = \max \left| \frac{V[k] - k \cdot V_{LSB}}{V_{LSB}} \right| \quad \forall k = 0, \dots, (2^N - 2) \quad (2.11)$$

2.3.4 Nieliniowość różniczkowa

Nieliniowość różniczkowa (DNL) określa błąd jednorodności szerokości stopni przetwornika. Graficznie zilustrowana została na rysunku 2.6b. Jest wyznaczana zgodnie ze wzorem:

$$DNL = \frac{V[k+1] - V[k]}{V_{LSB}} - 1 \quad \forall k = 0, \dots, (2^N - 2) \quad (2.12)$$

Wartość maksymalna DNL określona jest przez:

$$DNL_{max} = \max \left| \frac{V[k+1] - V[k]}{V_{LSB}} - 1 \right| \quad \forall k = 0, \dots, (2^N - 2) \quad (2.13)$$

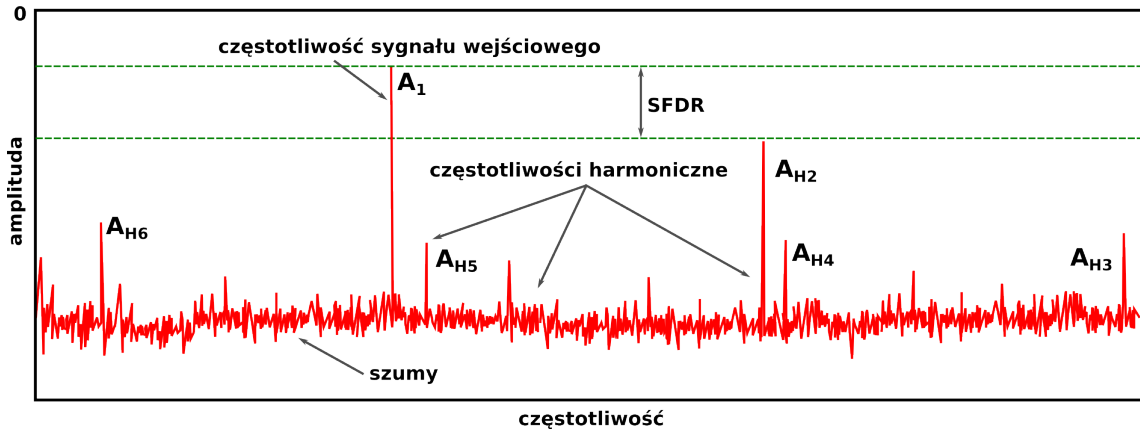
Duża nieliniowość różniczkowa może prowadzić do utracenia kodu. Oznacza to, że istnieją pewne wartości napięć wejściowych, dla których nie pojawi się odpowiedni kod na wyjściu przetwornika. DNL większe niż 1 jest gwarancją utracenia kodu wyjściowego. Na rysunku 2.6b został zaprezentowany taki przypadek, w którym kod 101 nigdy nie pojawi się na wyjściu ADC [10].

2.4 Parametry dynamiczne

Parametry dynamiczne otrzymuje się na podstawie analizy częstotliwościowej przetwornika [11]. Jedną z metod otrzymania metryk dynamicznych jest wykonanie dyskretnej transformaty Fouriera (DFT) na sygnale wyjściowym ADC. Przykładowe widmo amplitudowo-częstotliwościowe przetwornika, na którego wejście podany został sygnał sinusoidalny o częstotliwości f_{in} i amplitudzie V_{in} , zostało zaprezentowane na rysunku 2.7. Składowa oznaczona jako A_1 odpowiada częstotliwości sinusoidy wejściowej f_{in} . Kolejne oznaczone piki to zniekształcenia harmoniczne sygnału wejściowego, czyli składowe odpowiadające całkowitym wielokrotnościom częstotliwości f_{in} . Poziom bazowy, będący dominującą składową na widmie DFT z 2.7, oznacza natomiast szumy, które w przypadku idealnego ADC stanowiłyby tylko szumy kwantyzacji. W przypadku rzeczywistym do tej stałej składowej dodawane są także od szumy elektroniki.

2.4.1 Stosunek sygnału do szumu i zniekształceń

Stosunek sygnału do szumu i zniekształceń (SINAD) to stosunek wartości średniokwadratowych amplitudy wyjściowej sygnału $V_{s(rms)}$ i amplitudy szumów i zniekształceń wyjściowych $V_{n(rms)}$, podany w decybelach. SINAD jest dobrym parametrem do określenia



RYSUNEK 2.7: Przykładowe widmo DFT.

całkowitej jakości pracy przetwornika, ponieważ uwzględnia wszystkie źródła szumów, w tym zniekształcenia harmoniczne.

$$SINAD = 20 \log_{10} \frac{V_{s(rms)}}{V_{n(rms)}} [dB] \quad (2.14)$$

2.4.2 Efektywna liczba bitów

Korzystając ze wzoru na stosunek sygnału do szumu 2.6 można wyznaczyć efektywną liczbę bitów (ENOB) przetwornika. W praktyce SNR zastępujemy wielkością SINAD i otrzymujemy wyrażenie 2.15. ENOB jest parametrem, który można traktować jako miarę odchylenia przetwornika od przypadku idealnego.

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (2.15)$$

2.4.3 Stosunek sygnału do zniekształceń nieharmonicznych

Stosunek sygnału do zniekształceń nieharmonicznych (SNHR) to stosunek wartości średniokwadratowych amplitudy sygnału wyjściowego do amplitudy wszystkich szumów wyjściowych ($V_{nh(rms)}$), które nie są częstotliwościami harmonicznymi.

$$SNHR = 20 \log_{10} \frac{V_{s(rms)}}{V_{nh(rms)}} [dB] \quad (2.16)$$

2.4.4 Całkowite zniekształcenia harmoniczne

Nieliniowości przetwornika objawiają się pojawieniem zniekształceń harmonicznych w widmie amplitudowo-częstotliwościowym. Całkowite zniekształcenie harmoniczne (THD) jest równe sumie wartości średniokwadratowych składowych harmonicznych w stosunku do

składowej sygnału wejściowego. Zwyczajowo suma liczona jest do dziesiątej częstotliwości harmonicznej, jak podano we wzorze 2.17.

$$THD = 20 \log_{10} \frac{\sqrt{\sum_{k=2}^{10} A(f_k)}}{A_{f_1}} \quad (2.17)$$

2.4.5 Zakres wolny od zniekształceń

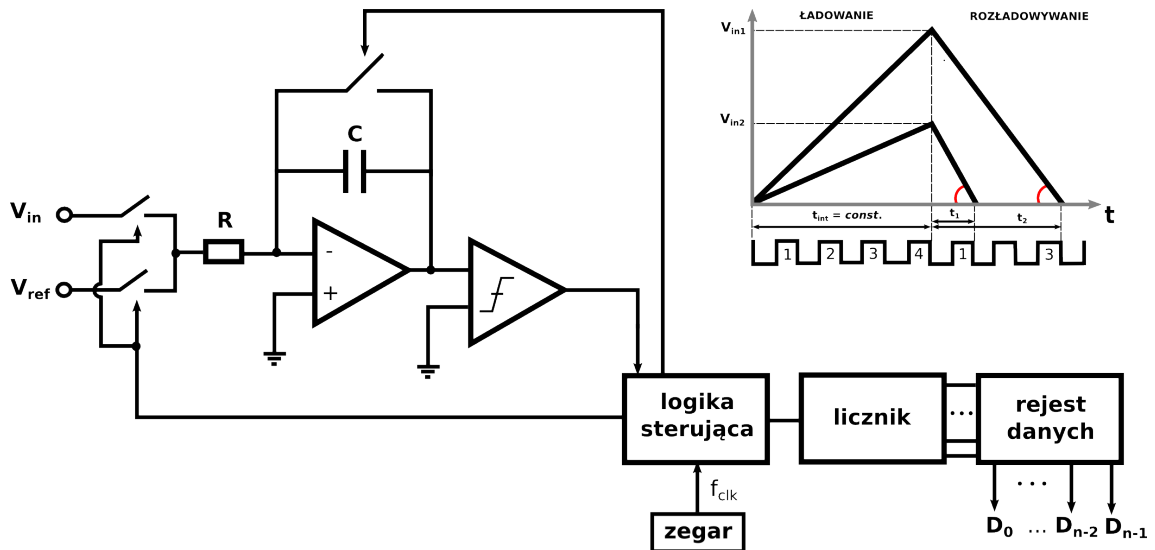
Zakres wolny od zniekształceń (SFDR) wyznaczany jest jako stosunek amplitudy sygnału wejściowego A_f do amplitudy odpowiadającej pierwszej największej harmonicznej (A_{har}^{max}) lub innemu największemu zniekształceniu (V_{dis}^{max}) pojawiającemu się w widmie. SFDR został graficznie pokazany na rysunku 2.7.

$$SFDR = 20 \log_{10} \frac{A_f}{\max(A_{har}^{max}, V_{dis}^{max})} \quad (2.18)$$

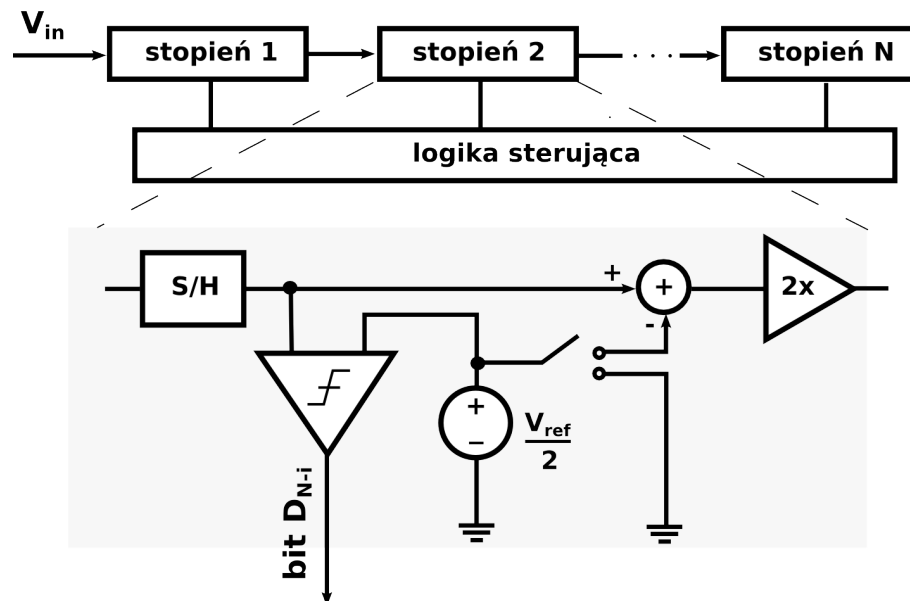
2.5 Podstawowe architektury analogowo-cyfrowych

Z punktu widzenia architektury układu oraz metody działania istnieje kilka typów ADC pracujących w trybie Nyquista. Każdy z nich ma inne parametry pracy i znajduje zastosowanie w różnych dziedzinach nauki, techniki i przemysłu. Niżej zostały wymienione i krótko scharakteryzowane najpopularniejsze rodzaje przetworników analogowo-cyfrowych.

- **przetwornik całkujący (ang. *integrating*)** - schemat przetwornika podwójnie całkującego (ang. *dual-slope*) zaprezentowany został na rysunku 2.8. Sygnał wejściowy $V_{in} < 0$ podawany jest w pierwszym kroku na wejście odwracającego integratora, w wyniku czego jego wyjście jest liniowo narastające. Czas całkowania jest w pierwszej fazie określony przez długość licznika, który po przepelnieniu jest resetowany. W drugiej fazie na integrator podawane jest napięcie $V_{ref} > 0$. Wyjście integratora jest zatem liniowo rozładowywane do zera. Licznik zlicza aż do momentu przełączenia się komparatora, a stan jego wyjścia odpowiada słowu wyjściowemu przetwornika. W przypadku tego typu przetwornika ilość pełnych cykli zegarowych, potrzebnych na konwersję pojedynczego słowa, jest proporcjonalna do $2^N T_{clk}$.
- **przetwornik z sukcesywną aproksymacją (ang. *successive approximation*)** - działa na zasadzie porównywania wartości napięcia wejściowego z referencyjnym wystawionym przez wewnętrzny przetwornik DAC, a ilość cykli potrzebnych do konwersji w tym wypadku jest proporcjonalna do NT_{clk} . Szczegółowy opis działania tego przetwornika opisany jest w rozdziale 3 w rozdziale 3.1.

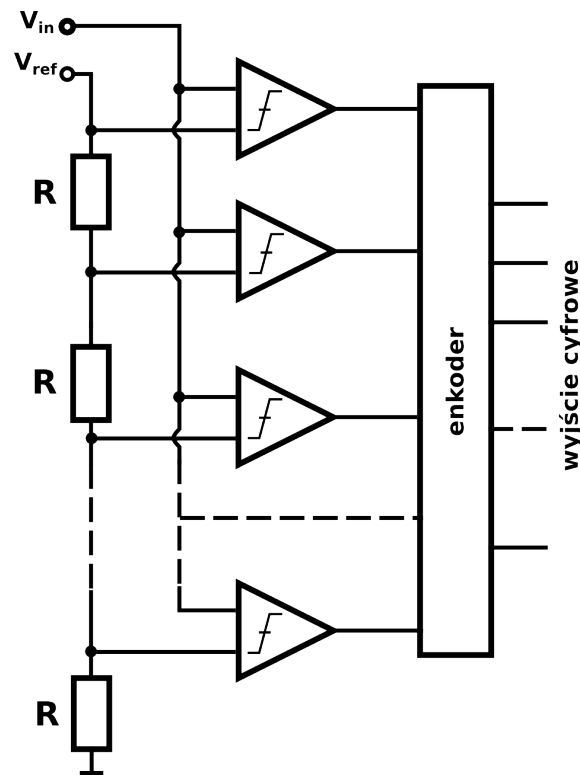


RYSUNEK 2.8: Podwójnie całkujący przetwornik ADC.



RYSUNEK 2.9: Potokowy przetwornik ADC.

- przetwornik potokowy (ang. *pipeline*)** - uproszczony schemat tego typu architektury przedstawiony został na rysunku 2.9. W pierwszym kroku próbkowane jest napięcie wejściowe i porównywane z $\frac{V_{ref}}{2}$. Wyjście każdego z komparatorów jest równocześnie bitem wyjściowym. Jeżeli wejście $V_{in} > \frac{V_{ref}}{2}$, to od zapamiętanego sygnału odjęte jest $\frac{V_{ref}}{2}$ i taka wartość podawana jest na układ mnożący. W przeciwnym wypadku przekazywana jest niezmienną wartość przechowywaną przez układ S/H. W ostatniej fazie dokonywane jest mnożenie przez dwa i rezultat zapamiętywany jest przez układ próbkująco-pamiętający następnego stopnia. Ich szczególną zaletą jest



RYСУNEK 2.10: Równoległy przetwornik ADC.

duża przepustowość, gdyż każdy stopień może pracować równoległe i po opóźnieniu N cykli przetwornik będzie wystawiał po jednym skonwertowanym słowie w każdym cyklu zegarowym. Przetworniki typu potokowego osiągają stosunkowo duże szybkości przy równocześnie dużej rozdzielczości i dlatego też znajdują szerokie zastosowanie w wielu dziedzinach [10].

- **przetwornik równoległy (ang. *flash*)** - jego zasada działania opiera się na równoczesnej konwersji wszystkich bitów. W tym samym czasie sygnał wejściowy oraz wszystkie wewnętrzne sygnały referencyjne muszą być dostępne dla wszystkich podbloków układu. Z punktu widzenia architektury nie jest tu potrzebny układ S/H, niemniej jednak dla N bitowego przetwornika niezbędnych jest 2^N układów porównujących. Przetworniki *flash* mogą osiągać bardzo duże szybkości pracy, niemniej jednak ze względu na ich architekturę zajmują dużą powierzchnię oraz pobierają dużo mocy. Są wykorzystywane tam, gdzie wymagana jest znacząca szybkość próbkowania przy jednocześnie niewielkiej dokładności przetwarzania (maksymalnie 8-9 bitów). Na konwersję potrzebny jest czas proporcjonalny do jednego cyklu zegarowego T_{clk} . Schemat przetwornika równoległego przedstawiony jest na rysunku 2.10.

Rozdział 3

Przetworniki analogowo-cyfrowe z sukcesywną aproksymacją

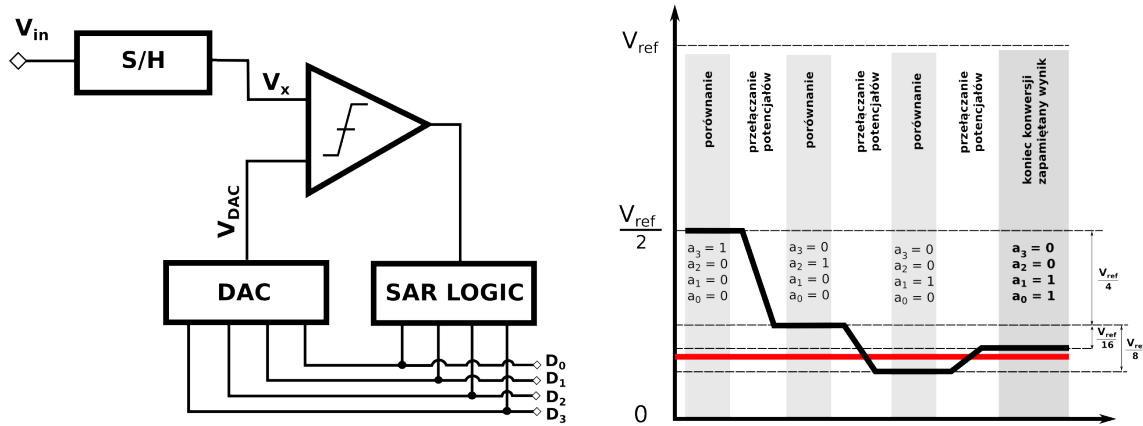
W tym rozdziale przedstawiony zostanie przegląd różnych architektur przetworników SAR ADC, rozpoczynając od teoretycznego zaprezentowania ogólnego algorytmu konwersji opartej na metodzie sukcesywnej aproksymacji, a kończąc na omówieniu zasad pracy poszczególnych bloków budujących cały układ.

3.1 Algorytm pracy SAR ADC

Jak już zostało wspomniane, przetworniki typu SAR są zbudowane z kilku podstawowych podukładów: z układu próbkująco-zapamiętującego, komparatora, przetwornika cyfrowo-analogowego oraz logiki sterującej, często nazywanej rejestrami sukcesywnej aproksymacji (ang. *Successive Approximation Registers*). Algorytm pracy przetworników SAR ADC zostanie omówiony na przykładzie 4-bitowego przetwornika z osobnym układem S/H, zaprezentowanym na rysunku 3.1.

Konwersja sygnału analogowego na cyfrowy rozpoczyna się po spróbkowaniu i zapamiętaniu wartości napięcia wejściowego przez układ S/H. Wartość ta wystawiona jest na jedno z wejść komparatora, oznaczonego dalej jako V_x (w opisywanym przypadku V_x jest wprost równe V_{in} .) Drugie wejście komparatora to napięcie referencyjne wystawiane przez przetwornik DAC, równe:

$$V_{DAC} = V_{ref}2^{-N}(a_{N-1}2^{N-1} + \dots + a_22^2 + a_12^1 + a_02^0) \quad (3.1)$$



RYSUNEK 3.1: Przykładowy schemat i mechanizm pracy 4-bitowego SAR ADC z osobnym układem S/H.

Na początku konwersji wszystkie bity a_{N-1}, \dots, a_0 są ustawiane na wartość 0. W pierwszym cyklu najstarszy bit a_{N-1} przełączany jest do napięcia odpowiadającego logicznej 1, w związku z czym $V_{DAC} = \frac{V_{ref}}{2}$. Po ustaleniu się napięć komparator dokonuje porównania, którego wynik decyduje o wartości bitu MSB a_{N-1} . Jeśli $V_x > V_{DAC}$ to bit pozostaje na 1, natomiast w odwrotnym przypadku przełączany jest na 0. Jeśli jako i oznaczymy kolejne cykle, w których komparator dokonuje porównania, to w ogólnym przypadku:

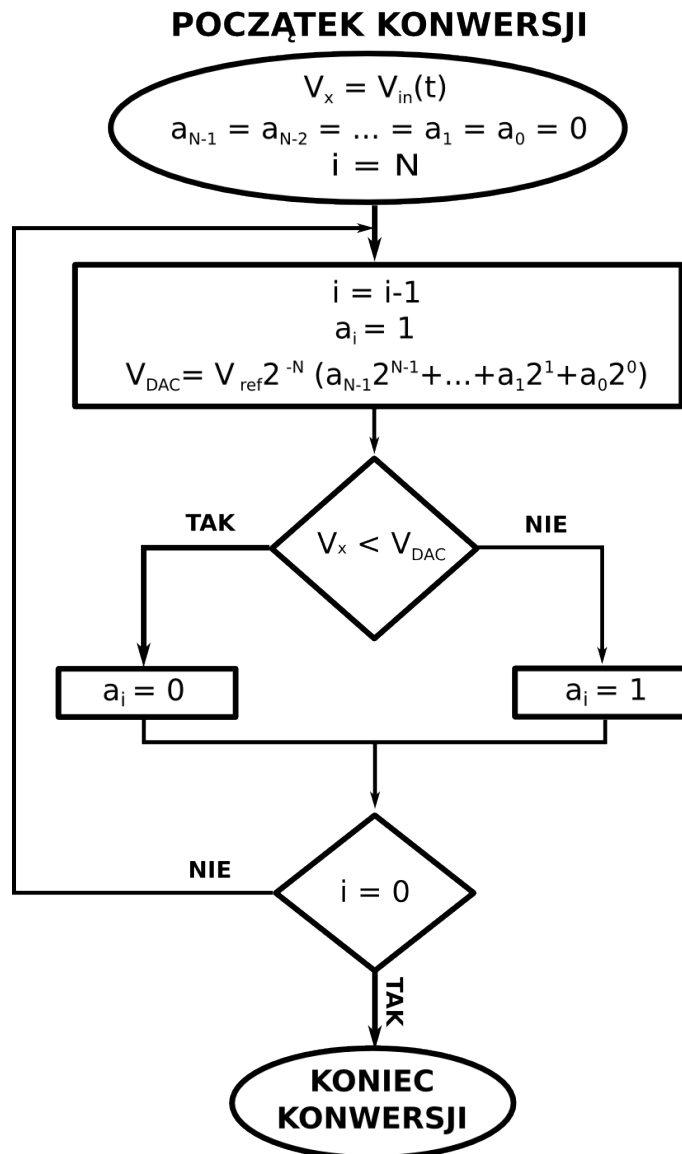
$$a_{N-i} = \begin{cases} 1 & \text{gdy } V_x > V_{DAC} \\ 0 & \text{gdy } V_x < V_{DAC} \end{cases} \quad (3.2)$$

W drugim cyklu bit a_{N-2} ustawiany jest na 1 i cały proces jest analogicznie powtórzony. Algorytm ten, podczas którego V_{DAC} jest sukcesywnie aproksymowane do napięcia wejściowego V_{in} , wykonywany jest cyklicznie aż do ustawienia wszystkich N bitów. Opisany schemat działania SAR ADC przedstawiony został w postaci algorytmu blokowego na rysunku 3.2.

3.1.1 Architektura z redystrybucją ładunku

Wyżej opisana została architektura posiadająca osobny układ S/H. Innym stosowanym rozwiązaniem jest wykorzystanie matrycy pojemności DAC-a jako układu zapamiętującego (*hold*) spróbkowane napięcie wejściowe. Takie układy przyjęły nazwę przetworników z redystrybucją ładunku.

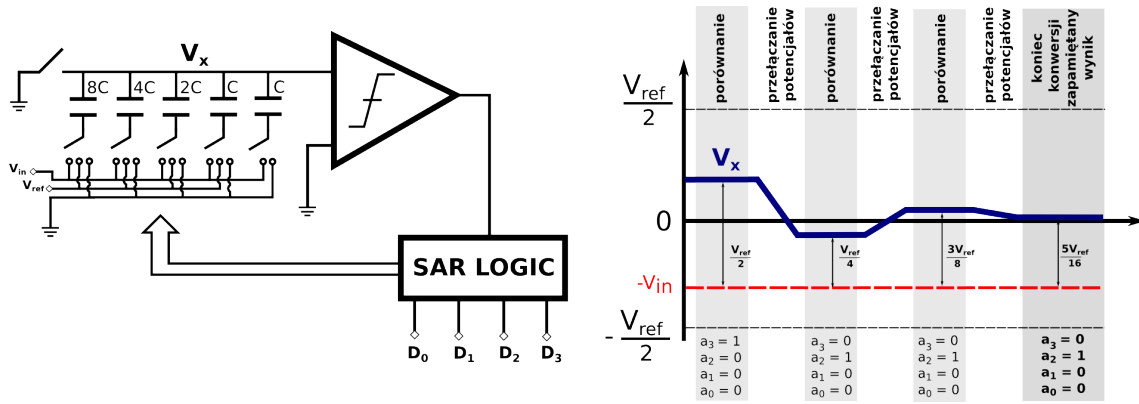
Schemat przykładowej architektury wykorzystującej redystrybucję ładunku zaprezentowany został na rysunku 3.3. Na jedno z wejść komparatora podawane jest napięcie odkładane na górnych okładkach pojemności przetwornika DAC. Dolne okładki przełączane



RYSUNEK 3.2: Ogólny algorytm pracy przetworników SAR ADC.

są pomiędzy różnymi potencjałami, w tym przykładzie pomiędzy napięciem wejściowym V_{in} , masą i napięciem referencyjnym V_{ref} .

Pierwszym etapem jest spróbkowanie sygnału, podczas którego dolne okładki pojemności połączone są ze źródłem napięcia wejściowego V_{in} , a górne zwarte do masy. W takiej konfiguracji na górnych okładkach pojemności odłoży się ładunek $Q_t = -V_{in}C_{tot}$, proporcjonalny do napięcia wejściowego. W przedstawianym przykładzie całkowita pojemność matrycy C_{tot} wynosi $16C$, gdzie C to najmniejsza wykorzystana w matrycy pojemność. W następnym kroku górne okładki są odłączane od V_{gnd} , natomiast dolne do niej zwierane.



RYSUNEK 3.3: Przykładowy schemat i mechanizm pracy 4-bitowy SAR ADC z redystrybucją ładunku.

Z zasady zachowania ładunku wynika, że napięcie V_x jest w takim wypadku równe $-V_{in}$.

Proces konwersji odbywa się w ogólności w sposób opisany w paragrafie 3.1. Napięcie V_x jest w tym wypadku równe:

$$V_x = -V_{in} + V_{ref}2^{-N}(a_{N-1}2^{N-1} + \dots + a_22^2 + a_12^1 + a_02^0) \quad (3.3)$$

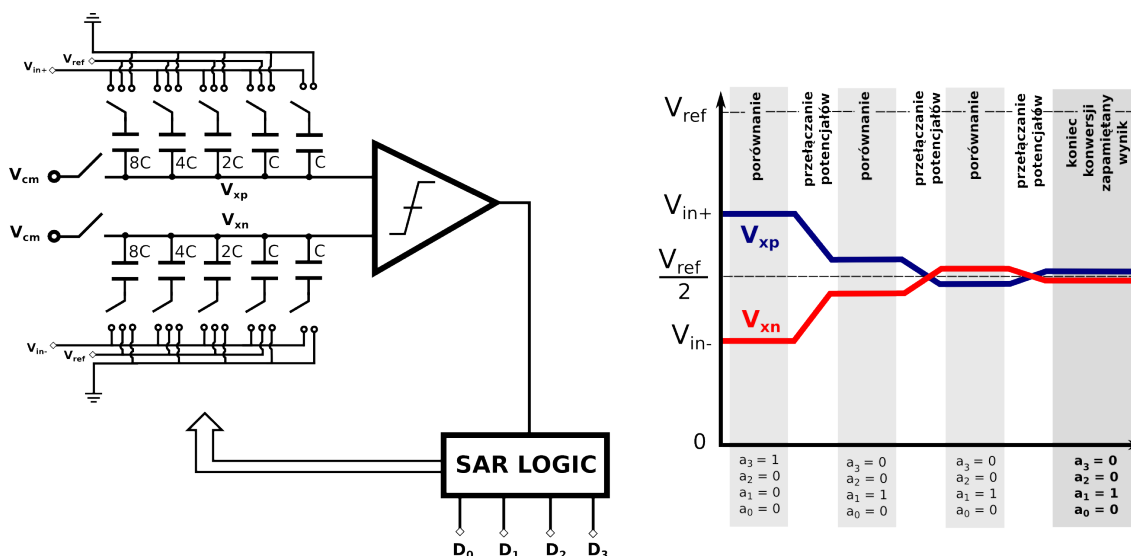
Podczas konwersji MSB jest on, tak jak poprzednio, ustawiany początkowo na 1, co daje napięcie V_x równe $-V_{in} + \frac{V_{ref}}{2}$. Wartość bitu ustalana jest zgodnie z równaniem 3.4.

$$a_{N-i} = \begin{cases} 1 & \text{gdy } V_x < 0 \\ 0 & \text{gdy } V_x > 0 \end{cases} \quad (3.4)$$

Nazwa *redystrybucja ładunku* jest związana z faktem, iż początkowy ładunek odłożony na matrycy pojemności, proporcjonalny do napięcia wejściowego, jest na końcu rozproszony pomiędzy te z pojemności, które odpowiadają bitom o wartości 1. Należy jednak zaznaczyć, że istnieje wiele modyfikacji schematu 3.3, wykorzystujących technikę redystrybucji ładunku. Powyżej opisana została jedna z jej najprostszych wersji [12]. Przewaga układów z redystrybucją ładunku dotyczy głównie zużycia mocy, gdyż osobny układ S/H zdecydowanie zwiększa całkowitą moc pobieraną przez ADC.

3.1.2 Rozwiązanie różnicowe

W poprzednim paragrafie, dotyczącym ADC z osobnym układem S/H i z redystrybucją ładunku, zostały opisane najprostsze ideowo rozwiązania unipolarne (ang. *single-ended*). Alternatywą dla takich architektur jest rozwiązanie różnicowe. Układy różnicowe zwiększają liniowość układu i są mniej czułe na zakłócenia spowodowane na przykład



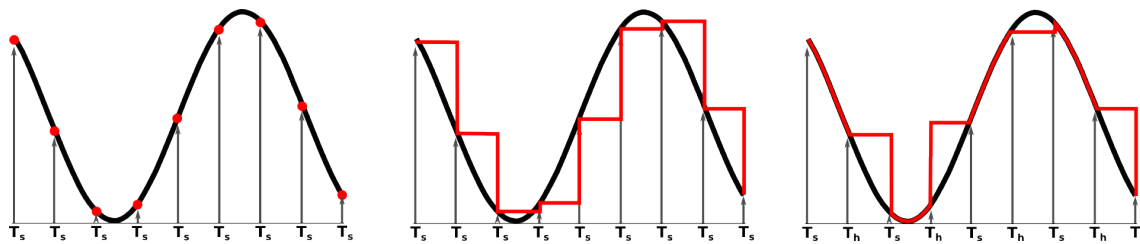
RYSUNEK 3.4: Przykładowy schemat i mechanizm pracy 4-bitowego różnicowego SAR ADC.

fluktuacjami napięć zasilających. Niemniej jednak w tym wypadku potrzebne są dwa przetworniki cyfrowo-analogowe, dwa klucze próbkujące oraz podwójne bufory do kluczy w DAC-ach. Schemat SAR ADC pracującego w trybie różnicowym przedstawiony został na rysunku 3.4. Algorytm pracy dla tego przypadku przebiega analogicznie jak w przypadkach opisanych powyżej.

3.2 Układy próbkujące

Pierwszym krokiem podczas konwersji sygnału analogowego na cyfrowy jest proces próbkowania. Zgodnie z tym co zostało omówione w paragrafach 3.1 oraz 3.1.1, przetworniki SAR w zależności od ich architektury posiadają osobny układ próbkująco-pamiętający lub jedynie klucz próbkujący w przypadku, gdy funkcję układu pamiętającego pełni DAC. Układy próbkujące są jednymi z najbardziej czułych składowych całego przetwornika, gdyż od nich w dużej mierze zależy liniowość pracy ADC.

W tym paragrafie po krótkim wstępie teoretycznym przedstawione zostaną podstawowe metody próbkowania, następnie cechy układów próbkujących, a na końcu omówiony zostanie najprostszy model klucza próbkującego oraz jego stosowane ulepszenie.



RYSUNEK 3.5: Różne metody próbkowania sygnału. Po lewo przypadek idealny, po środku metoda S/H, po prawo T/H.

3.2.1 Próbkowanie sygnału

Próbkowaniem nazywamy proces tworzenia sygnału dyskretnego reprezentującego sygnał ciągły. W idealnym przypadku, zaprezentowanym na rysunku 3.5, wynikiem próbkowania jest zbiór wartości będący iloczynem impulsów δ oraz sygnału próbkowanego $x(t)$:

$$y_{ideal}(t) = x(t) \cdot \sum_{k=-\infty}^{\infty} \delta(t - kT_s) \quad (3.5)$$

gdzie T_s to okres próbkowania, czyli odstęp czasowy pomiędzy dwiema kolejnymi spróbkowanymi wartościami. Po przejściu do dziedziny częstotliwości funkcja $y_{ideal}(t)$ sprowadza się do konwolucji sygnału wejściowego z sumą impulsów δ w dziedzinie częstotliwości:

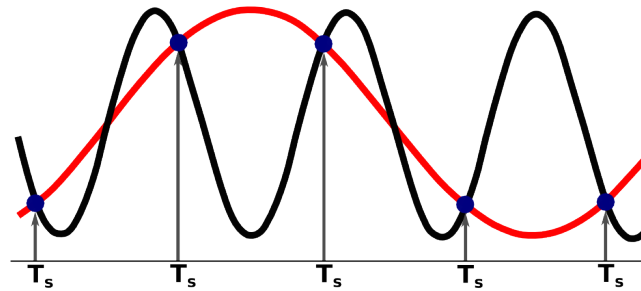
$$Y_{ideal}(f) = X(f) * \frac{1}{T_s} \sum_{n=-\infty}^{\infty} \delta\left(f - \frac{n}{T_s}\right) \quad (3.6)$$

Próbki pobierane są z częstotliwością próbkowania $f_s = \frac{1}{T_s}$. Aby zdyskretyzowany sygnał bez straty informacji mógł zostać ponownie przekształcony w sygnał ciągły, spełnione musi być twierdzenie Nyquista-Shannona-Totielnikowa.

Twierdzenie 3.1 (Nyquista-Shannona-Totielnikowa). *Jeśli sygnał ciągły nie posiada składowych widma o częstotliwości równej lub większej niż f_{in} , to może on zostać wiernie odtworzony z ciągu jego próbek tworzących sygnał dyskretny tylko wtedy, gdy częstotliwość próbkowania f_s jest przynajmniej dwukrotnie większa od częstotliwości f_{in} .*

W przypadku nie spełnienia warunku Nyquista występuje zjawisko aliasingu, czyli nieodwracalnego zniekształcenia sygnału w procesie próbkowania. Zasadniczo aliasing wynika z faktu, iż do tego samego wzoru próbek pasują sygnały o różnych częstotliwościach. Próbkując sygnał harmoniczny o częstotliwości f_{in} z częstotliwością f_s , gdy warunek Nyquista nie jest spełniony, nie można odróżnić próbkowanego sygnału od dowolnego innego sygnału spełniającego warunek $f = k \cdot f_s + f_{in}$, gdzie k to liczba całkowita. Przykład dwóch

różnych sinusoid pasujących do takiego samego zbioru próbek pokazany został na rysunku 3.6.



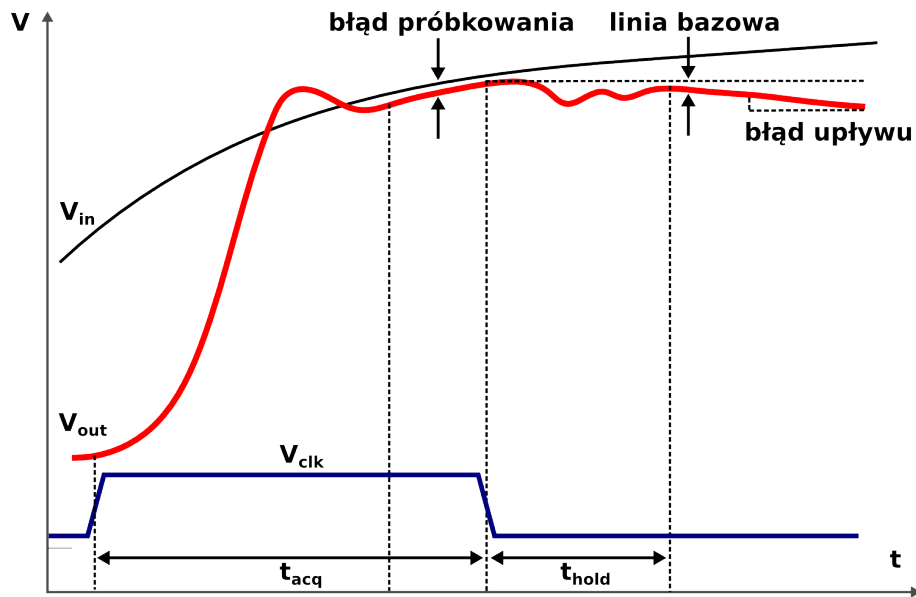
RYSUNEK 3.6: Zjawisko aliasingu.

W praktyce niemożliwe jest wytworzenie ciągu impulsów Diracka. Wówczas w zależności od zastosowania sygnał może być próbkowany innymi sposobami, zaprezentowanymi na środkowym i prawym wykresie na rysunku 3.5. Środkowa grafika przedstawia metodę S/H, podczas której wartość wejściowa jest zapamiętywana w momencie przyjscia zbocza zegara sterującego i dostępna przez cały okres jego trwania. Druga przedstawiona metoda *track-and-hold* (T/H) różni się tym, że przez pół okresu zegarowego wyjście układu podąża za sygnałem wejściowym, a następnie na pół okresu przechodzi w fazę zapamiętania.

3.2.2 Charakterystyka układów S/H

Zaprojektowanie układów S/H optymalnych ze względu na szумы oraz szybkość pracy to jeden z najistotniejszych elementów w kontekście osiągow przetworników ADC. Rysunek 3.7 ilustruje większość z podstawowych parametrów charakteryzujących klucz próbkujący [13], które zostały one krótko zdefiniowane poniżej:

- **czas akwizycji** t_{acq} - (ang. *acquisition time*) czas po przyjsciu sygnału rozpoczynającego próbkowanie V_{clk} , potrzebny do stabilizacji sygnału wyjściowego,
- **czas zapamiętywania** t_{hold} - (ang. *hold time*) czas potrzebny do stabilizacji sygnału wyjściowego po przyjsciu zbocza V_{clk} rozpoczynającego fazę zapamiętywania,
- **błąd próbkowania** - (ang. *error band*) - różnica pomiędzy sygnałem wejściowym a wyjściowym podczas fazy próbkowania,
- **zakres dynamiczny** - (ang. *dynamic range*) różnica pomiędzy maksymalną a minimalną wartością sygnału wejściowego, który może być próbkowany z określoną dokładnością,



RYSUNEK 3.7: Parametry pracy układów próbkująco-pamiętających.

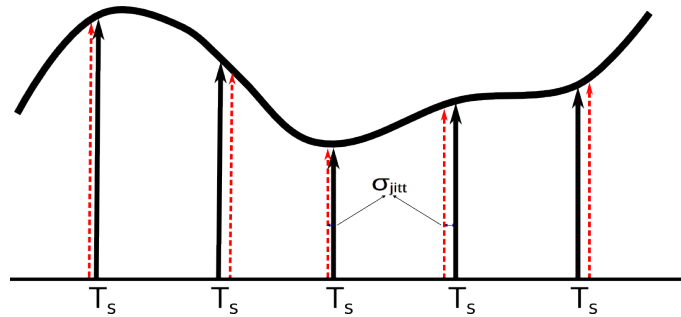
- **błąd linii bazowej** - (ang. *pedestal error*) zmiana wartości napięcia wyjściowego podczas przejścia z trybu próbkowania do zapamiętywania,
- **błąd upływu** - (ang. *drop rate*) spadek napięcia na wyjściu układu S/H spowodowany prądami upływu,
- **SNR, SNDR, THD, SINAD** - parametry dynamiczne określające jakość próbkowania sygnału, opisane w rozdziale 3.

3.2.2.1 Jitter

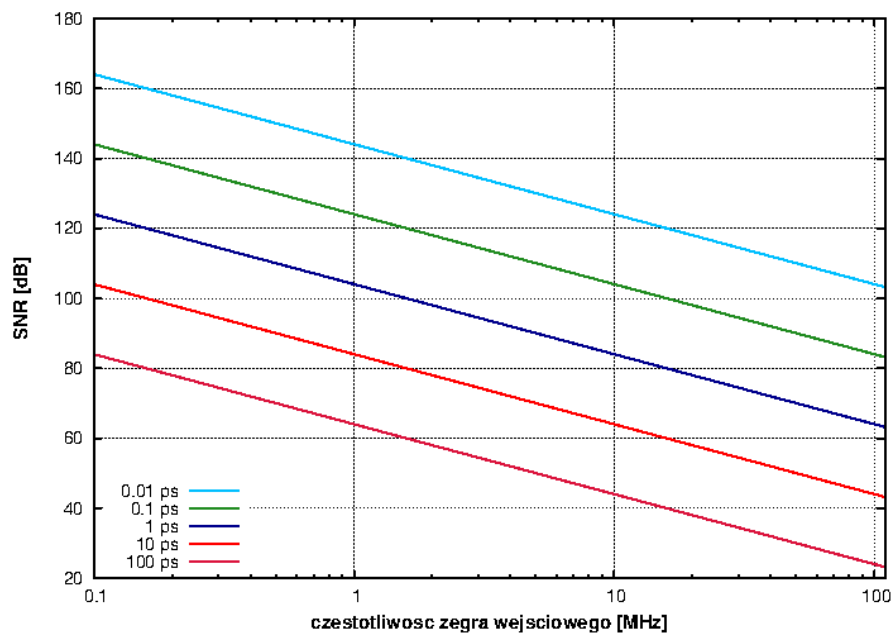
Innym istotnym zagadnieniem związanym z dokładnością próbkowania jest zjawisko drżenia (ang. *jitter*). Są to losowe zmiany czasu przyjscia sygnałów, na przykład zbrocza zegarowego odpowiedzialnego za rozpoczęcie fazy zapamiętywania. W takim wypadku kolejne wartości okresu próbkowania T_s są różne, a wartość faktycznie spróbkowana nie odpowiada oczekiwanej. Efekt ten zaprezentowany został schematycznie na rysunku 3.8 [14].

Szczególnie istotnym źródłem tego efektu w przetwornikach analogowo-cyfrowych jest *jitter* zegara próbkującego, pochodzący na przykład od logiki sterującej, przez którą sygnał ten musi przejść, zanim trafi na układ S/H. Wykres 3.9 przedstawia zależność SNR od częstotliwości zegara próbkującego, (opisaną równaniem 3.7 [14]) uwzględniając różne wartości średniokwadratowe efektu drżenia zegara próbkującego σ_{jitt} .

$$SNR_{jitt_{clk}} = 20 \cdot \log \frac{1}{2\pi f \sigma_{jitt}} \quad (3.7)$$



RYSUNEK 3.8: Wpływ efektu drżenia na okres próbkowania.

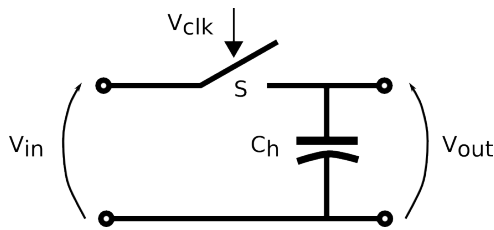


RYSUNEK 3.9: Wpływ efektu drżenia zegara próbkującego na stosunek sygnału do szumu przetwornika ADC.

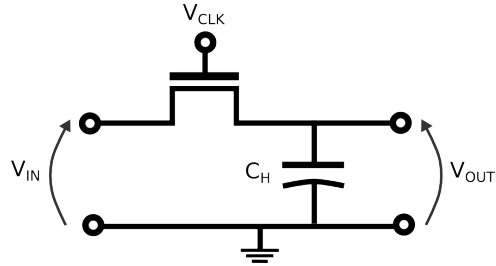
3.2.3 Tranzystor MOS jako klucz próbkujący

Schemat najprostszego układu próbkującego został zaprezentowany na rysunku 3.10. Klucz S jest sterowany sygnałem V_{clk} . Podczas gdy S jest włączony, napięcie V_{in} odkłada się na pojemności próbkującej C_h . Po wyłączeniu klucza na wyjściu V_{out} utrzymywana jest wartość spróbkowana aż do zmiany stanu V_{clk} . W najprostszej wersji klucz S może zostać zrealizowany przez tranzystor MOS. Do analizy takiego układu wykorzystano przykład tranzystora nMOS, zaprezentowanego na rysunku 3.11.

Rezystancja wejściowa tranzystora jest opisana równaniem 3.8, natomiast napięcie U_{GS} jest równe $V_{CLK} - V_{in}$. Za sygnał wejściowy przyjmowany jest sinus o amplitudzie



RYSUNEK 3.10: Najprostszy układ próbkujący.



RYSUNEK 3.11: nMOS jako klucz próbkujący.

V_{in} , co sprowadza równanie 3.8 do funkcji zależnej od napięcia wejściowego 3.9.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (U_{GS} - U_{TH})} \quad (3.8)$$

$$R'_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{CLK} - V_{in} - U_{TH})} \quad (3.9)$$

Tym samym tego typu klucz wprowadza do układu nieliniowość, a w konsekwencji dodatkowe zniekształcenia podczas próbkowania.

Dodatkowym źródłem nieliniowości jest wstrzykiwanie ładunku podczas wyłączania tranzystora. Gdy tranzystor jest w silnej inwersji w kanale zgromadzony jest ładunek:

$$Q_{kanal} \cong WLC_{ox}(U_{GS} - U_{TH}) \quad (3.10)$$

Podczas wyłączania kanał się zamyka i zgromadzony ładunek ucieka poprzez dren i źródło tranzystora. Wstrzykiwanie części tego ładunku na pojemność C_h wprowadza błąd w napięciu V_{out} ($\Delta V = \frac{\Delta Q}{C}$).

3.2.4 Klucz próbkujący typu *bootstrap*

Naturalnie nasuwającym się ulepszeniem klucza próbkującego w postaci pojedynczego tranzystora jest bramka transmisyjna. W tym przypadku wzrost napięcia wejściowego V_{in} zwiększa R_{on} nMOSa, ale równocześnie zmniejsza się R_{on} pMOSa i na odwrót. W praktyce ze względu na liniowość, układy w najprostszej formie występują rzadko i zastępowane są przez bardziej zaawansowane rozwiązania, pozwalające na osiągnięcie lepszych parametrów. Układem zapewniającym U_{GS} niezależne od V_{in} , czyli zwiększającym liniowość układu, jest układ typu *bootstrap*. Idea jego działania w najprostszej postaci zaprezentowana jest na rysunku 3.12. W pierwszej fazie klucz S_1 jest zwarty w związku z czym klucz jest wyłączony. Pojemność C ładowana jest do napięcia zasilania V_{dd} . W drugim kroku pojemność C

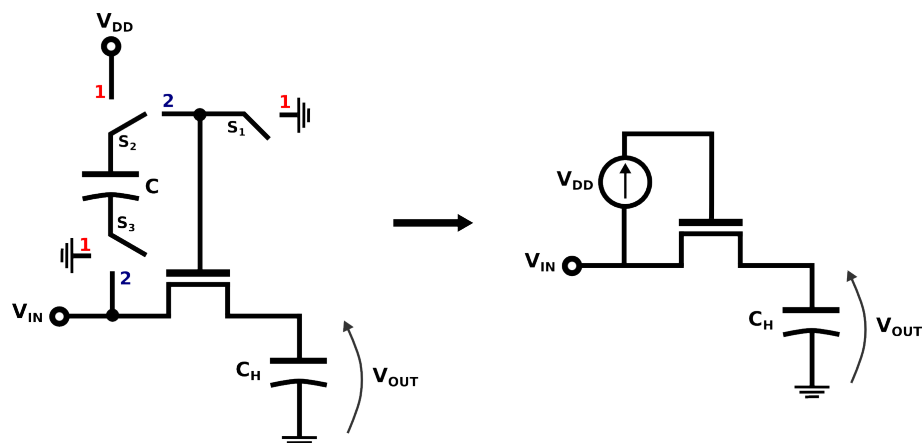
jest zwierana pomiędzy bramką a źródłem tranzystora nMOS. Ze względu na wysoką impedancję bramki, napięcie U_{GS} jest stałe i równe napięciu zasilania V_{dd} .

Takie rozwiązanie, zawierające pompę ładunkową, zapewnia stałe napięcie pomiędzy źródłem a bramką, gdy klucz jest włączony, co efektywnie eliminuje źródło nieliniowości układu. Pompę ładunkową w najprostszym podejściu stanowi pojemność doładowywana w każdym cyklu zegarowym. Technikę taką nazywamy *bootstrappingiem* [15].

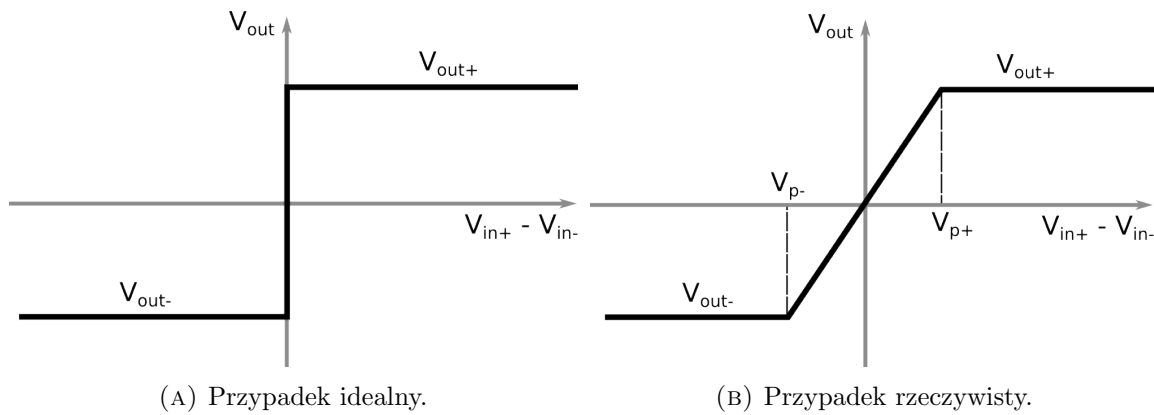
3.3 Komparatory

Większość przetworników ADC składa się przynajmniej z jednego komparatora. Niektóre z architektur wymagają użycia dużej liczby tych struktur, na przykład ADC typu równoległego (sekcja 2.5). W takich wypadkach charakterystyka pracy komparatora będzie miała kluczowy wpływ na działanie całego przetwornika. W przypadku SAR ADC potrzebny zawsze jest pojedynczy komparator o wysokiej rozdzielczości i małym poborze mocy.

Głównym zadaniem komparatora jest porównanie dwóch wartości podanych w postaci napięć (lub prądów) na jego wejście i wystawienie logicznego zera lub jedynki na wyjście, w zależności od wyniku porównania. Często komparator musi wzmocnić nawet bardzo małą różnicę napięć wejściowych $\Delta V_{in} = V_{in+} - V_{in-}$ do wartości linii zasilającej. Idea pracy komparatora zaprezentowana jest na rysunku 3.13. W przypadku 3.13a przedstawiona jest sytuacja idealna, w której komparator ma nieskończone wzmocnienie. Przypadek rzeczywisty ze skończonym wzmocnieniem zobrazowany jest na schemacie 3.13b. W tym przypadku układ odpowiada dobrze określonym stanem logicznym na wyjściu, gdy różnica napięć wejściowych przekroczy pewien próg $V_{p\pm}$.



RYSUNEK 3.12: Schemat działania układu *bootstrap*.



RYSUNEK 3.13: Idea pracy komparatora.

3.3.1 Parametry pracy

Jak już zostało wspomniane, w przypadku komparatorów projektowanych dla przetworników ADC szczególnie istotne są ich rozdzielczość, zużycie mocy, czas odpowiedzi, offset, oraz szumy. Niżej zdefiniowane zostały niektóre z tych wielkości.

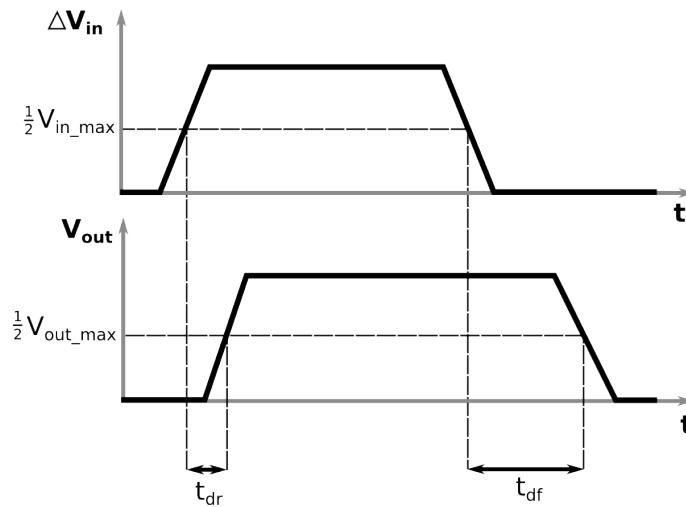
- **rozdzielczość** - na rysunku 3.13b pokazane zostało, że komparator odpowiada logicznym zerem lub jedynką wtedy, gdy $|V_{in+} - V_{in-}|$ przekroczy pewien poziom $V_{p\pm}$. Wykres 3.13b można w przybliżeniu traktować jak charakterystykę wzmacniacza. W takim ujęciu nachylenie charakterystyki w przedziale $V_{p-} - V_{p+}$ jest równe wzmocnieniu wzmacniacza w obszarze liniowym A_V , a V_{out} przechodzi w stan nasycony gdy różnica $|V_{in+} - V_{in-}|$ jest odpowiednio duża. Układ generuje więc dobrze zdefiniowany stan logiczny, gdy spełniony jest warunek $\Delta V_{in} > \frac{V_{out+} - V_{out-}}{A_V}$. Tę minimalną różnicę napięć wejściowych, która może być poprawnie porównana, nazywamy rozdzielczością. Rozdzielczość komparatora może być zatem podnoszona poprzez zwiększanie jego wzmocnienia A_V [13]. Parametrami, które z kolei limitują tę wielkość, są szumy oraz offset komparatora.

Podczas projektowania przetworników analogowo-cyfrowych należy wziąć pod uwagę, że rozdzielczość komparatora nie może być mniejsza niż napięcie odpowiadające najmniej znaczącemu bitowi V_{LSB} . Stąd dla N-bitowego ADC komparator musi poprawnie porównywać różnice napięć rzędu $V_{LSB} = \frac{V_{ref}}{2^N}$ [16].

- **czas propagacji** - czas, po którym na wyjściu komparatora pojawi się odpowiedź. Za czas propagacji przyjmuje się średnią z opóźnień odpowiedzi zbocza narastającego i opadającego wyjścia w stosunku do pojawienia się sygnału na wejściu (wzór 3.11)

[17]. Sytuacja ta przedstawiona została graficznie na schemacie 3.14.

$$t_p = \frac{t_{dr} + t_{df}}{2} \quad (3.11)$$

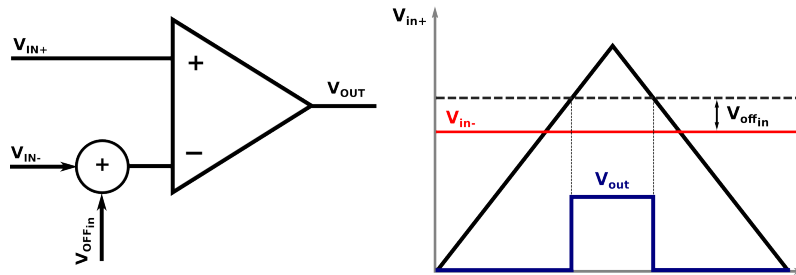


RYSUNEK 3.14: Czas propagacji odpowiedzi komparatora.

- **częstotliwość graniczna** - maksymalna częstotliwość sygnału wejściowego, dla której komparator pracuje poprawnie. Zasadniczo zależy ona od czasu regeneracji elementów składowych komparatora.
- **offset stopnia wejściowego** - napięcie offsetu to parametr definiujący napięcie różnicowe, jakie musi zostać przyłożone na wejściu komparatora, aby komparator w sposób poprawny zmienił stan na wyjściu. Innymi słowy, offset wejścia może być interpretowany jako źródło napięcia połączone szeregowo z jednym z wejść komparatora (rysunek 3.15). W rezultacie wyjście V_{out} nie przełączy się zaraz po przekroczeniu warunku $V_{in+} = V_{in-}$ przez którekolwiek z wejść (dla przypadku idealnego), ale dopiero po przekroczeniu pewnej różnicy napięć równej V_{offin} , nazywanej offsetem stopnia wejściowego [16].

Offset w komparatorze pochodzi nie tylko od stopnia wejściowego, ale także od innych części układu. W ogólności źródła offsetu w całym komparatorze mogą być podzielone na dwie grupy:

- **offset statyczny** - napięcie offsetu pochodzące od niedokładności parametrów tranzystorów (napięcia progowe U_{th} , grubości tlenku C_{ox} , wymiary tranzystora $\frac{W}{L}$), powstałych podczas procesu produkcyjnego.



RYSUNEK 3.15: Offset stopnia wejściowego komparatora.

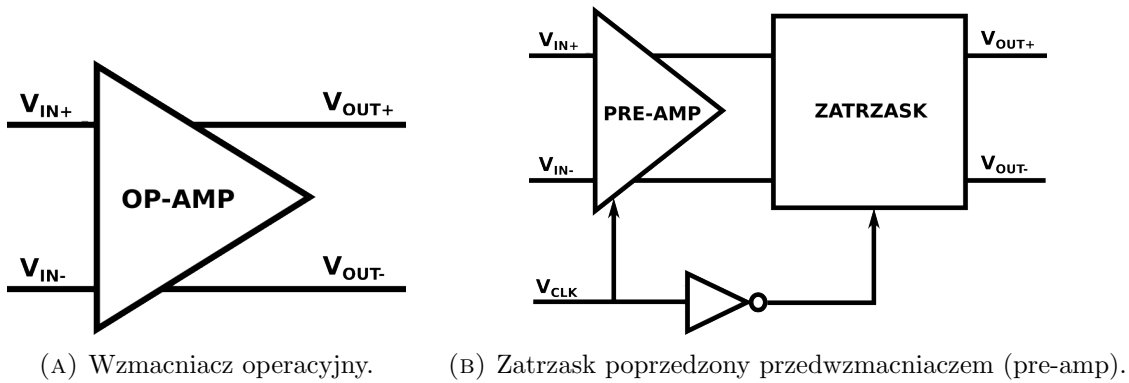
- **offset dynamiczny** - napięcie offsetu generowane przez niesymetryczne obciążenia pojemnościowe, spowodowane na przykład rozrzutem wartości pojemności pasożytniczych w komparatorze. Jak zostało pokazane w [18], różnica w obciążeniach około $1 fF$ może spowodować offset rzędu kilkudziesięciu miliwoltów dla typowego zatrzasku, złożonego z dwóch skrzyżowanych inwerterów, zaprojektowanego w technologii $0.18 \mu m$.

Pierwszy z offsetów może być minimalizowany przez zwiększanie wymiarów tranzystorów. Niedokładność obciążeń pojemnościowych węzłów w komparatorze może być natomiast minimalizowana podczas projektowania masek produkcyjnych. Skracanie długości ścieżek oraz pełna symetria układu znacznie redukuje napięcie offsetu spowodowane różnymi wartościami pojemności pasożytniczych [19].

- **metastabilność** - jest to problem pojawiający się w układach zawierających zatrzask (ang. *latch*). Istnieje pewna graniczna minimalna różnica napięć na wejściu, dla której komparator nie zdąży odpowiedzieć w czasie T_s przeznaczonym na komparację. W takim wypadku na wyjściu nie zostanie wygenerowana poprawna odpowiedź w postaci 0 lub 1.
- **Bitowa stopa błędów** (ang. *bit-error rate*), związana z efektem metastabilności, która określa prawdopodobieństwo wystąpienia przekłamania bitu. BER jest wyznaczany jako stosunek liczby błędnych bitów do ilości wszystkich otrzymanych bitów [14].

3.3.2 Architektury komparatorów

W zależności od zastosowania istnieje bardzo wiele architektur komparatorów. W tym rozdziale przedstawione zostały pokrótce trzy podgrupy, na jakie można je podzielić ze względu na sposób realizacji.



RYSUNEK 3.16: Podstawowe architektury komparatorów.

W najprostszym podejściu jako komparator może służyć różnicowy wzmacniacz operacyjny pracujący w otwartej pętli (rys. 3.16a). W takim zastosowaniu wzmacniacza dokładne wzmocnienie oraz liniowość nie są kluczowe. Niemniej jednak taki rodzaj struktur jest stosunkowo wolniejszy od innych rozwiązań i pobiera więcej mocy.

W praktyce typowy komparator jest najczęściej realizowany przez stopień wzmacniający oraz stopień regenerujący (zatrząsk). Taka kombinacja zatrząsku poprzedzonego przedwzmacniaczem jest przedstawiona na rysunku 3.16b. W tego typu rozwiązaniach można wyróżnić dwie fazy pracy: reset oraz fazę regeneracji (ewaluacji). W pierwszej fazie układ z przedwzmacniaczem o wzmocnieniu A_V wzmacnia wstępnie różnicę napięć wejściowych ΔV_{in} , natomiast zatrząsk nie pracuje. W następnej fazie napięcie wyjściowe jest wzmacniane do poziomu logicznej 1 lub 0, które mogą być poprawnie interpretowane przez układy cyfrowe, które odbierają sygnał z komparatora [13].

Całkowity offset komparatora jest funkcją offsetu stopnia wejściowego oraz zatrząsku:

$$V_{off}^2 = V_{offin}^2 + \frac{V_{offlatch}}{A_V} \quad (3.12)$$

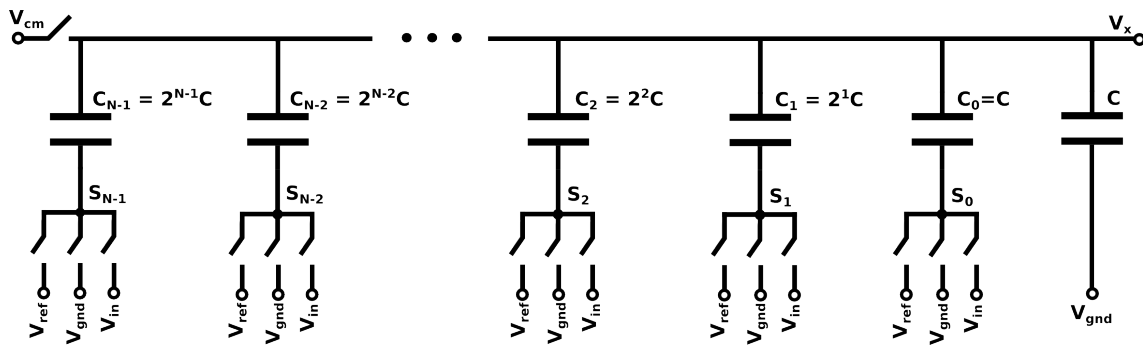
Zatem aby zredukować offset układy projektuje się tak, by uzyskać stosunkowo duże wzmocnienie A_V . Podczas optymalizacji układu należy jednak wziąć pod uwagę fakt, że zwiększanie wzmocnienia zmniejsza szybkość układu [16].

W opisie powyższego rozwiązania moc jest pobierana przez układ w obu fazach pracy. Problem ten został rozwiązany w dynamicznych komparatorach, w których zużycie mocy następuje jedynie w fazie regeneracji. W związku z tym są one szybkie i charakteryzują się zerową mocą statyczną. Są zatem często używane i występuje wiele różnych architektur

tych komparatorów. Niemniej jednak ich wspólną cechą jest fakt, iż podczas fazy regeneracji węzły odpowiadające V_{out+} oraz V_{out-} rozładują się z różnymi stałymi czasowymi, co determinuje szybsze zatrzaśnięcie się jednego z wyjść na konkretnej wartości 0 lub 1 i w konsekwencji drugiego na przeciwnej. Szybkość rozładowania zależy natomiast od napięć wejściowych V_{in+} i V_{in-} .

Taki rodzaj komparatora został użyty w zaprojektowanym przetworniku ADC, stąd szczegółowy opis zaimplementowanej architektury podany jest w następnym rozdziale.

3.4 DAC



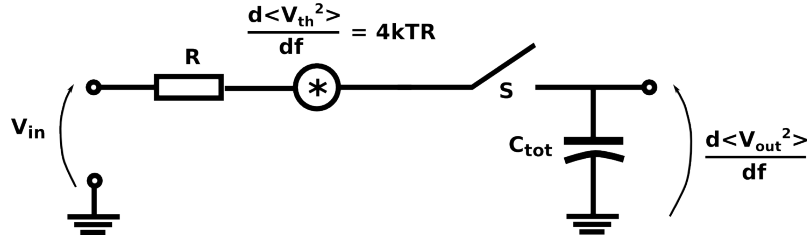
RYSUNEK 3.17: Schemat N-bitowego przetwornika cyfrowo-analogowego.

W architekturze sukcesywnej aproksymacji przetwornik cyfrowo-analogowy stanowi źródło napięcia referencyjnego. W takim zastosowaniu można wykorzystać praktycznie każdą architekturę DAC, na przykład drabinkę R-2R. W przetwornikach ADC z redystrybucją ładunku DAC wraz z kluczem próbkującym tworzy również układ S/H. W takim rozwiązaniu stosowany jest DAC pojemnościowy (cDAC), którego schemat ideowy zaprezentowany został na rysunku 3.17. Tworzy go matryca połączonych równolegle pojemności, których górne okładki są zwarte i połączone z jednym z wejść komparatora. Napięcie podawane na komparator jest równe:

$$V_x = \sum_{i=0}^{N-1} S_i 2^{i-N} V_{ref} - V_{cm} \quad (3.13)$$

gdzie S_i jest równe 1 gdy klucz zwiiera pojemność do szyny referencyjnej, natomiast 0 w przypadku połączenia do masy. Jako V_{cm} oznaczone zostało napięcie, które ustalone jest na górnych okładkach pojemności podczas fazy próbkowania. Dolne okładki mają możliwość przełączania się pomiędzy różnymi potencjałami, w zależności od zastosowanej metody. Przełączaniem się odpowiednich pojemności w kolejnych krokach konwersji steruje logika

ADC. Decyzja o połączeniu pojemności do konkretnego napięcia podejmowana jest w oparciu o wynik poprzedniej porównania.



RYSUNEK 3.18: Schemat układu próbkującego z uwzględnieniem szumów termicznych.

Całkowita pojemność klasycznej matrycy pojemności, pokazanej na rysunku 3.17, wynosi:

$$C_{tot} = \sum_{i=0}^{N-1} (2^i + 1)C_0 = 2^N C_0 \quad (3.14)$$

gdzie C_0 to wartość najmniejszej pojemności występującej w przetworniku. Minimalizacja matrycy pojemności ma kluczowe znaczenie pod kątem redukcji pojemności wejściowej, powierzchni zajmowanej przez układ, poboru mocy oraz szybkości pracy przetwornika. Z drugiej strony zmniejszanie pojemności C_0 wpływa negatywnie na szумы termiczne oraz dopasowanie elementów (ang. *matching*).

Rysunek 3.18 przedstawia prosty model układu próbkującego, uwzględniający rezystancję klucza, szумы termiczne pochodzące od tej rezystancji oraz pojemność matrycy DAC-a. Szумы wyjściowe $v_{c_{out}}$ wyznaczone zostały w równaniu 3.15, w którym $F(f)$ to funkcja przenoszenia filtra dolnoprzepustowego, a $S_{th}(f)$ gęstość widmowa mocy szumów termicznych rezystora.

$$\langle V_{out}^2 \rangle = \int_0^{\infty} S_{th}(f) |F(f)|^2 df \quad (3.15)$$

$$\langle V_{out}^2 \rangle = \int_0^{\infty} \frac{4kTR}{1 + (2\pi f)^2 (RC)^2} df = \frac{kT}{C} \quad (3.16)$$

$$v_{c_{out}} = \sqrt{\langle V_{out}^2 \rangle} = \sqrt{\frac{kT}{C}} \quad (3.17)$$

Pojemność C_{tot} jest odwrotnie proporcjonalna do szumów, stąd zmniejszanie C_0 jest zwykle limitowane ze względu na szумы $\frac{kT}{C}$.

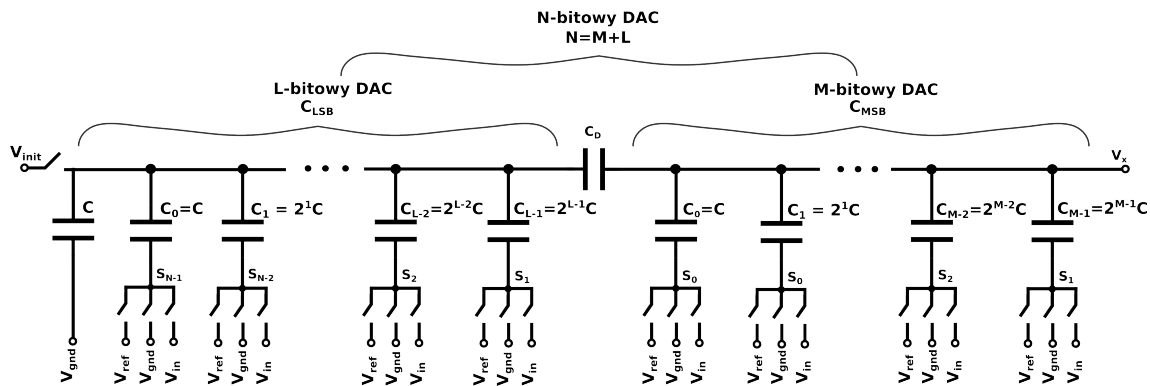
Drugim parametrem limitującym minimalizację pojemności jest wspomniane dopasowanie elementów. Dominujący wpływ na rozdzielczość przetwornika SAR ADC ma dokładność rzeczywistych wartości pojemności w cDAC-u. Różnice pomiędzy wartościami

poszczególnych pojemności C_0 budujących matrycę DAC-a powstają podczas procesu produkcyjnego, na przykład ze względu na niejednorodne warunki brzegowe lub różną grubość tlenku. Dokładność dopasowania pojemności jest z kolei tym lepsza im większa jest pojemność kondensatora [14].

Powszechnie stosowane dziś rozwiązanie to dzielona matryca pojemności, zaprezentowana na rysunku 3.19. Standardowy N-bitowy cDAC został podzielony na dwa mniejsze przez pojemność dzielącą C_D , zwyczajowo nazywane M-bitową matrycą MSB i L-bitową matrycą LSB ($L + M = N$). Wartość C_D dobierana jest tak, aby jej szeregowe połączenie z C_{LSB} było równe jednostkowej pojemności matrycy C_0 .

$$\frac{1}{C_D} + \frac{1}{C_{LSB}} = \frac{1}{C_0} \implies C_D = \frac{2^L}{2^L - 1} C_0 \quad (3.18)$$

Często dobranie wartości pojemności dzielącej zgodnej ze wzorem 3.18 nie jest możliwe ze względu na ograniczenia technologiczne lub utrudnienia podczas projektowania masek produkcyjnych. W takich wypadkach często stosowane jest przybliżenie $C_D = C_0$, które nadal pozwala zachować binarne skalowanie napięcia referencyjnego.



RYSUNEK 3.19: Schemat dzielonego cDAC-a.

3.4.1 Algorytmy przełączania pojemności

Istotne straty mocy w przetwornikach ADC pochodzą od pracy komparatora i przełączania pojemności w DAC-u pomiędzy różnymi potencjałami.

Najprostszy algorytm, nazywany konwencjonalną metodą przełączania pojemności, jest energetycznie nieefektywny. W związku z tym na przestrzeni lat pojawiały się różne sposoby przełączania pojemności w celu minimalizowania strat energii i optymalizacji matrycy pojemności. Każda z niżej zaprezentowanych metod charakteryzuje się pewnym zyskiem

energetycznym w stosunku do algorytmu konwencjonalnego, wyrażanym zazwyczaj w procentach według wzoru 3.19.

$$e = \frac{\langle E^{metoda} \rangle \cdot 100\%}{\langle E^{konw} \rangle} \quad (3.19)$$

gdzie $\langle E^{metoda} \rangle$ to całkowita średnia energia zużyta podczas przełączania pojemności. Energia ta wyznaczana jest przy założeniu, że każda z wartości wszystkich bitów jest równie prawdopodobna.

Poniżej opisane zostały wybrane metody przełączania pojemności i schematycznie zaprezentowane na przykładzie 3-bitowych różnicowych przetworników DAC. Sposób wyznaczania strat energii podczas poszczególnych cykli jest analogiczny dla każdego z algorytmów i szczegółowo pokazany został w załączniku A dla metody konwencjonalnej. Kolejne zaprezentowane trzy metody nie charakteryzują się dużą efektywnością w stosunku do najnowszych obecnie stosowanych, niemniej jednak są one historycznie pierwsze i często wykorzystywane jako podelementy w algorytmach bardziej efektywnych. Stąd zostały one pokrótce zaprezentowane w wersji z pojedynczym przetwornikiem DAC.

3.4.1.1 Metoda konwencjonalna

Próbkowanie sygnału na dolnych okładkach pojemności rozpoczyna proces konwersji sygnału. W rozwiązaniu różnicowym na dolny przetwornik, oznaczany dalej dla ułatwienia nDAC, podawany jest sygnał V_{in-} , natomiast na górny (pDAC) V_{in+} . Podczas próbkowania górne okładki pojemności przyłączone są do potencjału $V_{cm} = \frac{V_{gnd} + V_{ref}}{2}$, gdzie V_{gnd} to potencjał masy, a $V_{ref} = V_{dd}$ linii zasilającej. Po spróbkowaniu sygnału wejściowego pierwszym krokiem jest odłączenie potencjału V_{cm} w celu uniknięcia upływu ładunku. Następnie dolne okładki pojemności przełączane są do masy z wyjątkiem największej pojemności C_{N-1} odpowiadającej najstarszemu bitowi D_{N-1} . Następnie komparator dokonuje porównania wartości napięć $V_{xp}[1]$ i $V_{xn}[1]$. W dalszych rozważaniach przyjęto, iż $V_{xp}[faza]_{D_{N-1}D_{N-2}...}$ i $V_{xn}[faza]_{D_{N-1}D_{N-2}...}$ będzie oznaczało kolejno napięcie na górnych okładkach dla pDAC i nDAC, liczba w nawiasach kwadratowych numer cyklu (gdzie 0 to próbkowanie), a indeks dolny - wartości poprzednich bitów. W zależności od odpowiedzi komparatora, przełączane są kolejne pojemności w obu matrycach. I tak w przypadku, gdy $V_{xp}[i] > V_{xn}[i]$ pojemność C_{N-i} jest przełączona w pDAC do V_{ref} a w nDAC do V_{gnd} , natomiast bit D_{N-i} otrzymuje wartość 1. W przypadku przeciwnym bit otrzymuje wartość

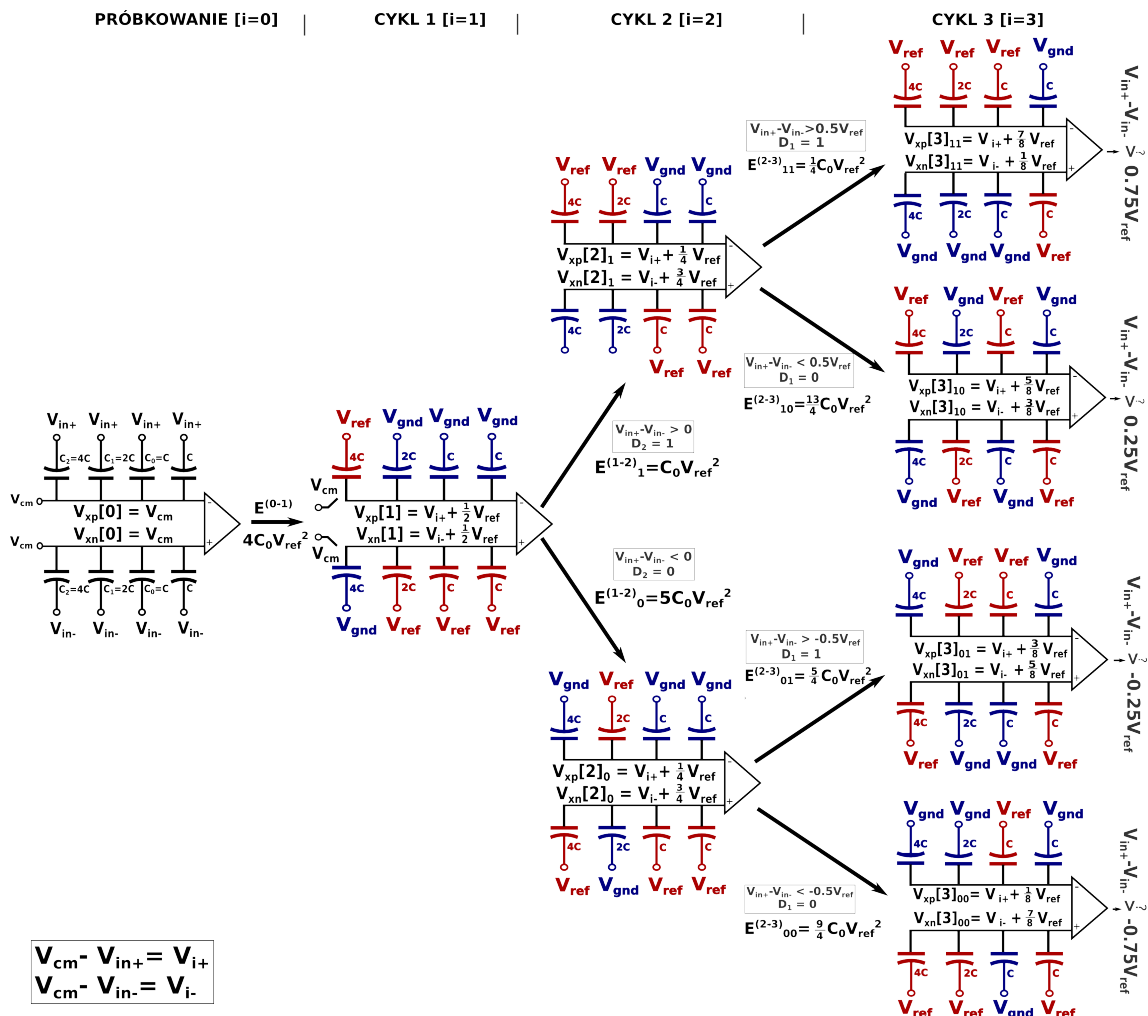
0, a pojemności w matrycach przełączane są odwrotnie.

$$D_{N-i} = \begin{cases} 1 & \text{gd}y V_{xp}[i] > V_{xn}[i] \\ 0 & \text{gd}y V_{xp}[i] < V_{xn}[i] \end{cases} \quad (3.20)$$

$$C_{N-i} \Rightarrow \begin{cases} pDAC \rightarrow V_{ref} & i \quad nDAC \rightarrow V_{gnd} & \text{gd}y V_{xp}[i] > V_{xn}[i] \\ pDAC \rightarrow V_{gnd} & i \quad nDAC \rightarrow V_{ref} & \text{gd}y V_{xp}[i] < V_{xn}[i] \end{cases} \quad (3.21)$$

Jednocześnie z przełączeniem pojemności C_{N-i} kolejna największa pojemność C_{N-1-i} przełączana jest do linii zasilającej V_{ref} i po ustaleniu się napięć komparator dokonuje porównania. Taki cykl jest powtarzany aż do ustalenia wszystkich bitów.

Na schemacie 3.20 pokazany został schemat przełączenia potencjałów dla 3-bitowego przetwornika różnicowego we wszystkich możliwych konfiguracjach. Energia pobrana ze źródła o potencjale V_s przez pojemność C_x wyznaczana jest zgodnie z równaniem 3.24.



RYSUNEK 3.20: Schemat przełączania potencjałów do pojemności w metodzie konwencjonalnej dla przykładzie 3-bitowego ADC.

$$E_{DN-1\dots}^{a\rightarrow b} = \int_{t_a}^{t_b} i_s(t)V_s(t)dt = -V_s \int_{t_a}^{t_b} \frac{dQ}{dt} dt = -V_s \int_{Q(t_a)}^{Q(t_b)} dQ \quad (3.22)$$

$$E_{DN-1\dots}^{a\rightarrow b} = -V_s(Q(t_b) - Q(t_a)) \quad (3.23)$$

$$E_{DN-1\dots}^{a\rightarrow b} = -V_s C_x (V_{C_x}[b] - V_{C_x}[a]) \quad (3.24)$$

Zgodnie z powyższym opisem w metodzie konwencjonalnej podczas i -tego cyklu istnieją dwa możliwe sposoby przełączenia pojemności: przełączenie pojemności C_{N-i} do masy a C_{N-1-i} do V_{ref} (nazwane dalej przełączeniem "dolnym") oraz pozostawienie pojemności C_{N-i} połączonej do V_{ref} z jednoczesnym przełączeniem pojemności C_{N-1-i} także do V_{ref} ("górne"). Okazuje się (dodatek A), że na przełączenie "dolne" zużywane jest pięciokrotnie więcej energii niż na przełączenie "górne". Średnia energia zużywana podczas przełączania pojemności w N -bitowym DACu jest równa [20]:

$$\langle E^{konw} \rangle = CV_{ref}^2 \sum_{i=1}^N 2^{N+1-2i} (2i - 1) \quad (3.25)$$

Niżej przedstawione metody dążą do redukcji energii podczas przełączania "dolnego".

3.4.1.2 Metoda 2-krokowa

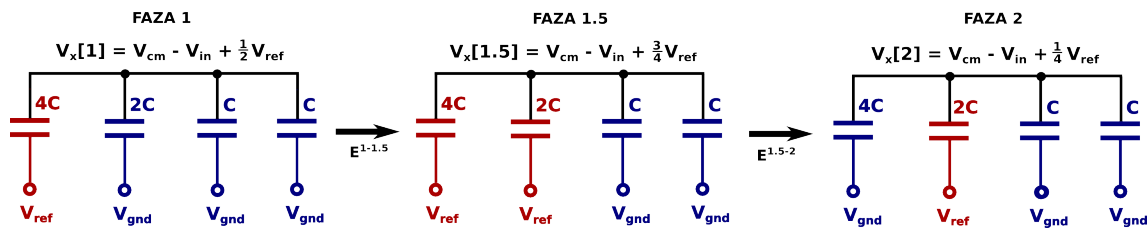
Metoda 2-krokowa wprowadza dodatkową fazę podczas przełączenia "dolnego". Na rysunku 3.21 przedstawiono sposób przełączenia największej pojemności do masy według proponowanego algorytmu. Zgodnie z tym co zostało opisane w rozdziale powyższym, pozycja startowa w przełączeniu "dolnym" to pojemność C_{N-i} połączona do napięcia referencyjnego a kolejna mniejsza C_{N-1-i} do masy. Metoda 2-krokowa polega na przełączeniu najpierw pojemności mniejszej C_{N-1-i} do V_{ref} , a potem zwarcia dolnej okładki większej C_{N-i} do masy. Takie przełączenie pozwala wykorzystać część ładunku wyindukowanego na pojemności C_{N-i} do naładowania pojemności C_{N-1-i} .

Ilościowy przykład został pokazany na podstawie prostych obliczeń w 3.26. W metodzie konwencjonalnej strata energii przy przełączeniu największego bitu w 3-bitowym DACu do masy wynosi $E^{1\rightarrow 2} = \frac{5}{2}CV_{ref}^2$. W metodzie 2-krokowej natomiast energia ta

została zredukowana o CV_{ref}^2 .

$$\begin{aligned}
 E^{1 \rightarrow 1.5} &= -4CV_{ref}\left(\frac{3}{4}V_{ref} - V_{ref} - \left(\frac{1}{2}V_{ref} - V_{ref}\right)\right) - 2CV_{ref}\left(\frac{3}{4}V_{ref} - V_{ref} - \frac{1}{2}V_{ref}\right) \\
 &= \frac{1}{2}CV_{ref}^2 \\
 E^{1.5 \rightarrow 2} &= -2CV_{ref}\left(\frac{1}{4}V_{ref} - V_{ref} - \left(\frac{3}{4}V_{ref} - V_{ref}\right)\right) = CV_{ref}^2 \\
 E^{1 \rightarrow 2} &= \frac{3}{2}CV_{ref}^2
 \end{aligned} \tag{3.26}$$

W ogólności zysk na średniej energii zużytej na przełączanie pojemności w stosunku do metody konwencjonalnej, wyznaczony na podstawie 10-bitowego ADC, to 10% [20].



RYSUNEK 3.21: Przykład przełączenia najstarszego bitu w metodzie 2-krokowej dla 3-bitowego ADC.

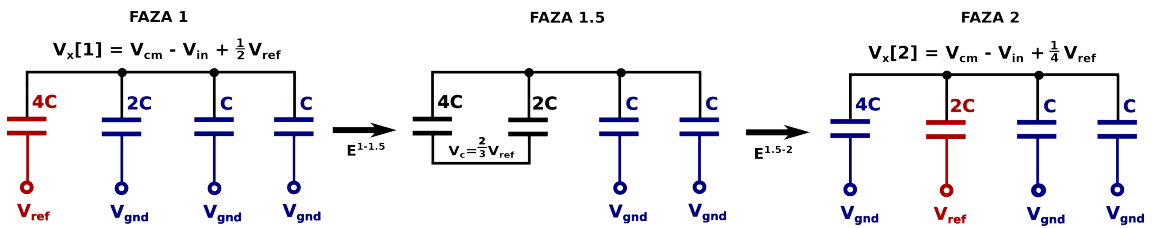
3.4.1.3 Metoda podziału ładunku

Schemat przełączenia "dolnego" najstarszego bitu w metodzie podziału ładunku został zaprezentowany na rysunku 3.22. W tej metodzie istnieje możliwość łączenia kolejnych pojemności za pomocą dodatkowych przełączników S_{N-1} , S_{N-2} , Jak w metodzie 2-krokowej istnieje tutaj krok pośredni, polegający na połączeniu dwóch kolejnych pojemności C_{N-i} i C_{N-1-i} . Podczas tego etapu pojemność C_{N-1-i} bez straty energii doładowuje się do pewnej części napięcia zasilania. Następnie klucz S_{N-i} jest rozwierany, większa pojemność zwierana do masy, a mniejsza do V_{ref} .

Dla przykładu z rysunku 3.22, z zasady zachowania ładunku można pokazać, że w konsekwencji połączenia dolnych okładek pojemności "4C" i "2C" napięcie na węzle $V_C = \frac{2}{3}V_{ref}$. Tym samym energia przełączenia "dolnego" najstarszego bitu, wyznaczona w analogicznych rachunkach jak w 3.26, wynosi:

$$E^{1 \rightarrow 2} = \frac{7}{6}CV_{ref}^2 \tag{3.27}$$

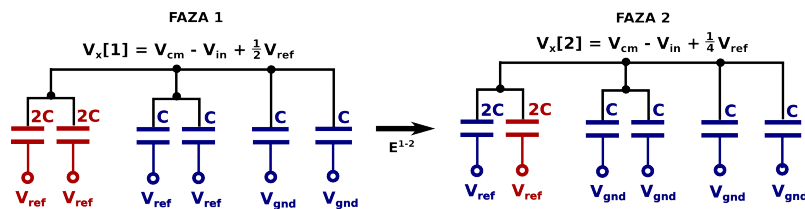
Średnia energia zużyta podczas przełączania pojemności metodą podziału ładunku jest o 24% mniejsza niż w przypadku konwencjonalnym [20].



RYSUNEK 3.22: Przykład przełączenia najstarszego bitu w metodzie podziału ładunku dla 3-bitowego ADC.

3.4.1.4 Metoda podziału pojemności

Główną różnicą w tej metodzie w porównaniu do poprzednich jest modyfikacja matrycy pojemności, zgodnie z przykładowym schematem 3-bitowego DAC zaprezentowanego na 3.23. Podział pojemności C_{N-i} na dwie równe C_{N-1-i} pozwala zredukować energię przełączenia "dolnego" do energii przełączenia "górnego". Każda ze składowych pojemności ma osobne klucze i może być przełączana niezależnie. Tym samym przełączenie "dolne" polega na odłączeniu jednej z dwóch pojemności składających się na C_{N-i} do masy, co efektywnie sprowadzi się do ustalenia na węzle V_x takiego samego napięcia jak w metodzie tradycyjnej. W ogólności algorytm ten jest o 37% efektywniejszy niż metoda tradycyjna [20].



RYSUNEK 3.23: Przykład przełączenia najstarszego bitu w metodzie podziału pojemności dla 3-bitowego ADC.

3.4.1.5 Metoda monotoniczna

W zaproponowanych wyżej metodach pierwsze przełączenie pojemności zużywa najwięcej energii. W zdecydowanej większości algorytmów wysokowydajnych, jednym z istotniejszych źródeł zysku energetycznego jest brak strat energii podczas pierwszego porównania. Do nich należy między innymi metoda monotoniczna. We wszystkich opisanych do tej pory schematach przełączania, próbkowanie odbywało się na dolnych okładkach. Okazuje się, że próbkowanie na górnych okładkach pozwala zredukować matrycę DAC do przynajmniej 2^{N-1} pojemności jednostkowych, co jest wyjątkowo znaczące w kontekście

projektowania przetworników o małej powierzchni. Niejednokrotnie bowiem to właśnie matryca DAC jest największą powierzchniowo częścią ADC.

W tym podrozdziale została opisana metoda przełączania monotonicznego, zaproponowana w [21], charakteryzująca się redukcją energii o 81% oraz zmniejszeniem matrycy pojemności o 50% w stosunku do rozwiązania konwencjonalnego. Przykład przełączenia pojemności sposobem monotonicznym wraz ze stratami energii w poszczególnych przejściach został zaprezentowany na przykładzie 3-bitowego różnicowego DAC-a na rysunku 3.24. Próbkowanie odbywa się na górnych okładkach pojemności, stąd pierwsze porównanie bez dodatkowych przełączeń pojemności jest ustaleniem znaku konwertowanego słowa ($V_{in+} > V_{in-}$?) i przebiega ono bez strat energii. Dzięki temu matryca pojemności zredukowana została o połowę, gdyż pojedynczy DAC zbudowany jest z $2^{N-1}C_0$.

Po fazie próbkowania wszystkie pojemności przełączane są do napięcia referencyjnego. Następnie w zależności od wyniku porównania przełączana do masy jest pojemność tylko w jednym z pDAC lub nDAC. Jeżeli w i -tym cyklu napięcie $V_{xp} > V_{xn}$, to pojemność C_{N-i} w pDAC przełączana jest do masy. W przypadku przeciwnym do masy zwierana jest pojemność w nDAC.

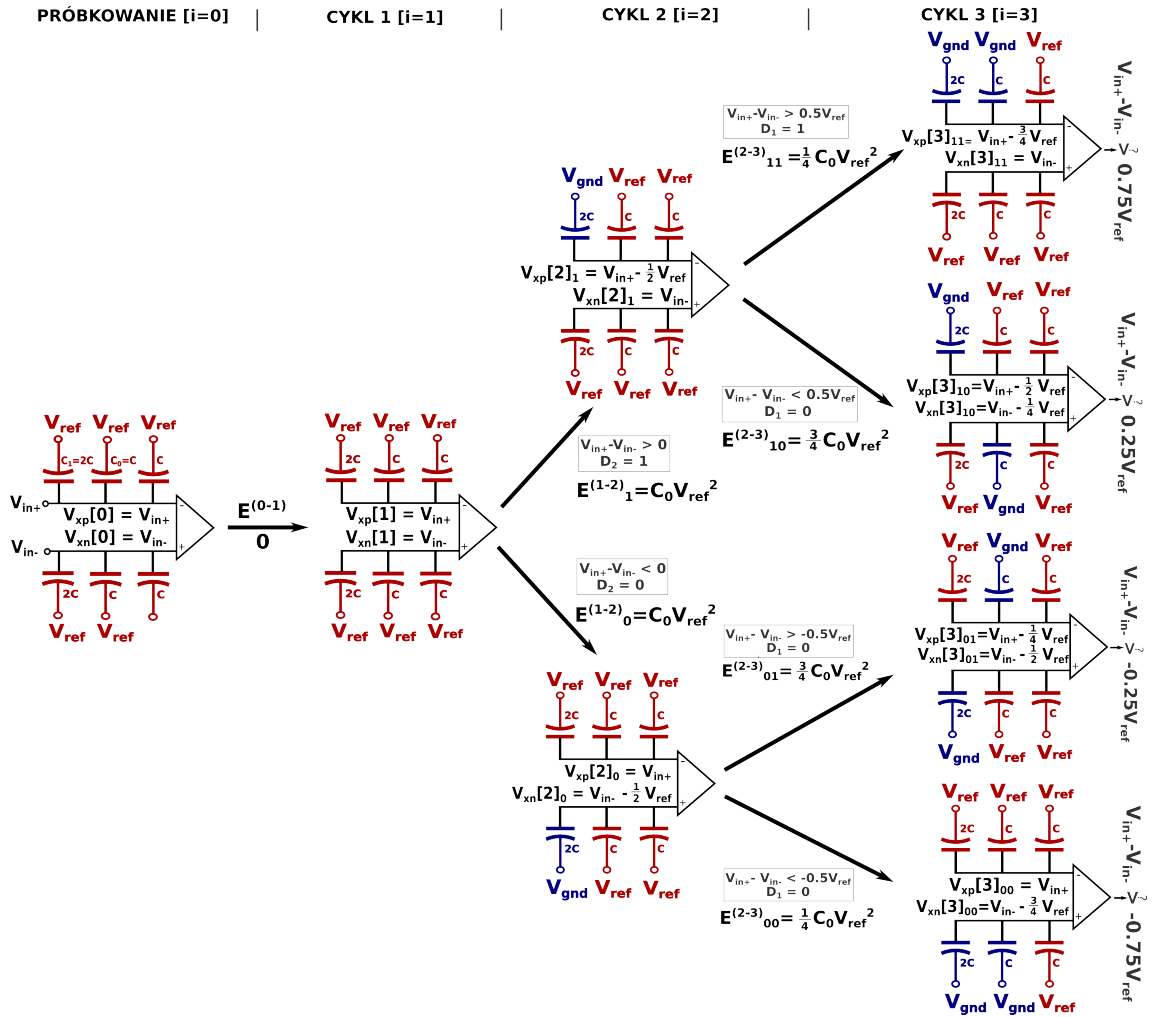
$$D_{N-i} = \begin{cases} 1 & \text{gdy } V_{xp}[i] > V_{xn}[i] \\ 0 & \text{gdy } V_{xp}[i] < V_{xn}[i] \end{cases} \quad (3.28)$$

$$C_{N-i} \Rightarrow \begin{cases} pDAC \rightarrow V_{gnd} & \text{gdy } V_{xp}[i] > V_{xn}[i] \\ nDAC \rightarrow V_{gnd} & \text{gdy } V_{xp}[i] < V_{xn}[i] \end{cases} \quad (3.29)$$

Tym samym podczas jednego cyklu przełączana jest tylko jedna pojemność. Takie rozwiązanie jest prostsze ze względu na logikę sterującą. Średnia energia dla N-bitowego ADC wykorzystującego metodę monotoniczną jest równa [21]:

$$\langle E^{mon} \rangle = CV_{ref}^2 \sum_{i=1}^{N-1} 2^{N+2-i} \quad (3.30)$$

Wadą metody monotonicznej jest fakt, że spróbkowane napięcie jest w kolejnych cyklach zmniejszane od V_{cm} do V_{gnd} . W związku z tym komparator musi pracować w szerokim zakresie pracy, co znacząco komplikuje projektowanie układu i może wpłynąć na pogorszenie końcowych parametrów pracy. Dodatkową wadą algorytmów opisanych w tym paragrafie (ale też w następnych) jest konieczność podawania aż trzech potencjałów na matrycę pojemności.

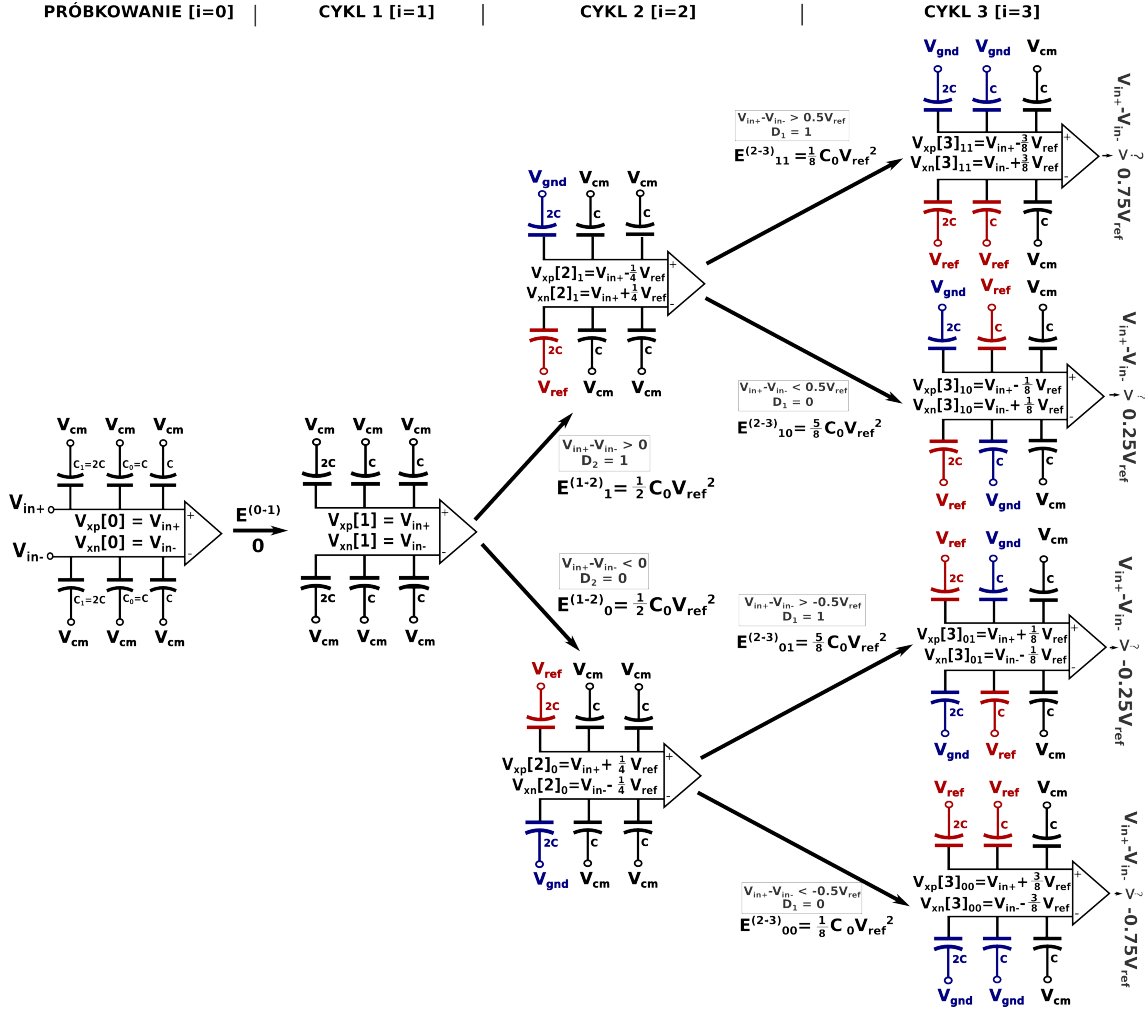


RYSUNEK 3.24: Schemat przełączania potencjałów do pojemności w metodzie monotonicznej na przykładzie 3-bitowego ADC.

3.4.1.6 Metoda MCS

Metoda MCS ([22], [23]) podobnie jak metoda monotoniczna również redukuje matrycę pojemności o 50%, niemniej jednak zużywa od niej o około 33% energii mniej. Podczas fazy próbkowania dolne okładki zwarte są do napięcia wspólnego V_{cm} , natomiast napięcie wejściowe próbkowane jest na okładkach górnych. Po zakończeniu próbkowania sygnału wejściowego w pierwszym cyklu następuje porównanie napięć na węzłach $V_{xp}[1]$ i $V_{xn}[1]$. Podobnie jest w metodzie monotonicznej odbywa się to bez straty energii. W zależności od wyniku porównania pojemności są przełączane według poniższego równania:

$$D_{N-i} = \begin{cases} 1 & \text{gdy } V_{xp}[i] > V_{xn}[i] \\ 0 & \text{gdy } V_{xp}[i] < V_{xp}[i] \end{cases} \quad (3.31)$$



RYSUNEK 3.25: Schemat przełączania potencjałów do pojemności w metodzie MCS na przykładzie 3-bitowego ADC.

$$C_{N-i} \Rightarrow \begin{cases} pDAC \rightarrow V_{gnd} \text{ i } nDAC \rightarrow V_{ref} & \text{gdy } V_{xp}[i] > V_{xn}[i] \\ pDAC \rightarrow V_{ref} \text{ i } nDAC \rightarrow V_{gnd} & \text{gdy } V_{xp}[i] < V_{xn}[i] \end{cases} \quad (3.32)$$

Przykład przełączania pojemności z zastosowaniem metody MCS został pokazany na rysunku 3.25. Wprowadzenie potencjału V_{cm} zamiast V_{ref} sprawia, iż energia przełączenia $E^{1 \rightarrow 2}$ jest o połowę mniejsza niż w metodzie monotonicznej. Dodatkowo średnia energia pobrana ze źródła V_{cm} jest równa 0. Średnia energia dla N-bitowego przetwornika jest opisana równaniem 3.33. Algorytm MCS jest o 87.5% bardziej wydajny niż metoda konwencjonalna [24].

$$\langle E^{MCS} \rangle = C V_{ref}^2 \sum_{i=1}^{N-1} 2^{N-3-2i} (2i-1) \quad (3.33)$$

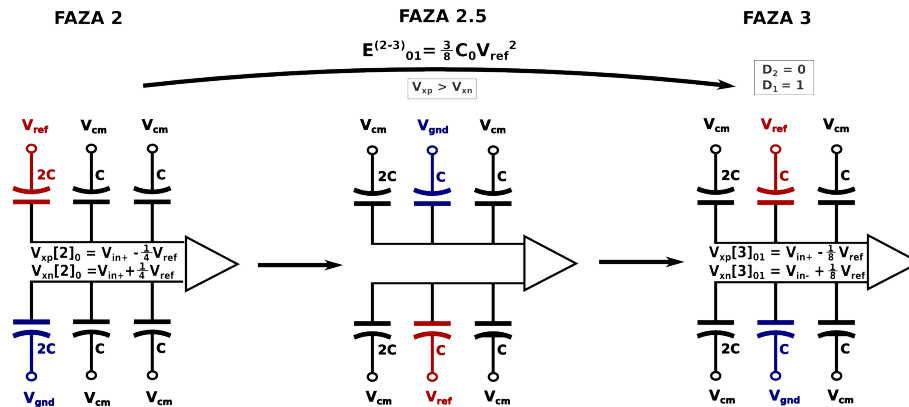
Metoda ta wykorzystywana jest w zaprojektowanym i przedstawionym w rozdziale 4.2 ADC, stąd w dodatku B pokazane zostały szczegółowe obliczenia strat energii na

przykładzie 3-bitowego przetwornika.

Jak łatwo zauważyć na schemacie 3.25, przełączanie pojemności w taki sposób, że dwa kolejne bity są różne ($0 \rightarrow 1$ lub $1 \rightarrow 0$) jest mniej efektywne niż przełączanie odpowiadające takim samym bitom ($0 \rightarrow 0$ lub $1 \rightarrow 1$). Redukcję energii zużywanej podczas tych mniej efektywnych przejść zaproponowano w [25], opisującym ulepszoną metodę MCS nazwaną EMCS. Podczas przejść $0 \rightarrow 1$ lub $1 \rightarrow 0$, poprzednia pojemność C_{N-i+1} jest przełączona do V_{cm} (faza wczesnego resetowania), natomiast dopiero potem przełączana jest "aktualna" pojemność C_{N-i} odwrotnie niż w MCS, mianowicie:

$$C_{N-i} \Rightarrow \begin{cases} pDAC \rightarrow V_{ref} & i \quad nDAC \rightarrow V_{gnd} & \text{gdy } V_{xp}[i] > V_{xn}[i] \\ pDAC \rightarrow V_{gnd} & i \quad nDAC \rightarrow V_{ref} & \text{gdy } V_{xp}[i] < V_{xn}[i] \end{cases} \quad (3.34)$$

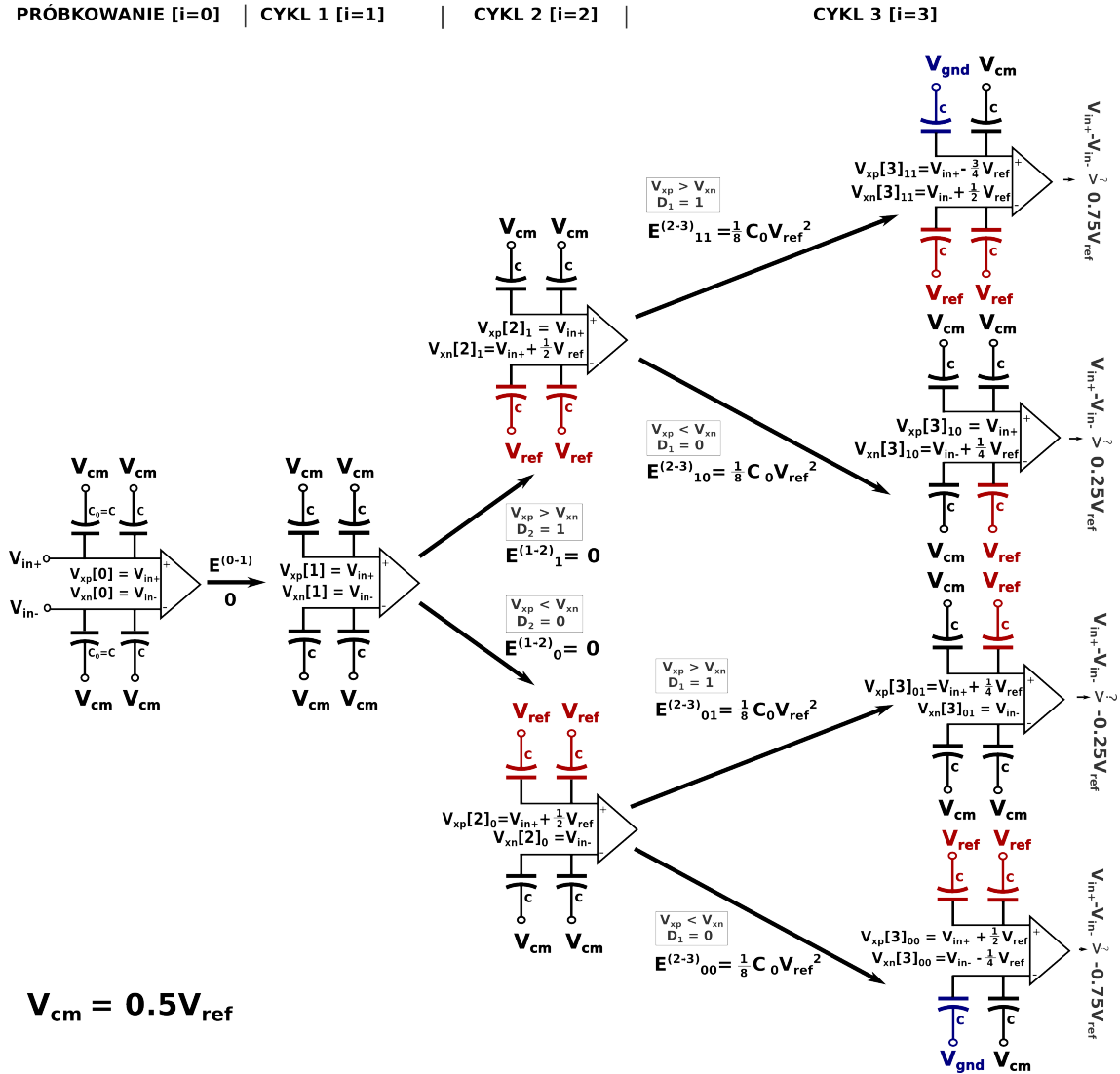
Taki sposób przełączenia pojemności zachowuje to samo napięcie na węzłach V_{xn} i V_{xp} jak w metodzie MCS, przy jednoczesnym zysku energetycznym po warunkiem, że poszczególne pojemności przełączane są w osobnych krokach. Przykład przełączania dla konfiguracji bitów $D_2 = 0$ $D_1 = 1$, pokazujący zasadniczą różnicę pomiędzy MCS a EMCS, został pokazany na rysunku 3.26. Całkowity zysk względem MCS to około 12% [23], a zatem 89.1% względem metody tradycyjnej [24].



RYSUNEK 3.26: Schemat przełączania pojemności dla konfiguracji bitów $D_2 = 0$ $D_1 = 1$ w metodzie EMCS dla 3-bitowego ADC.

3.4.1.7 Metoda monotoniczna bazująca na V_{cm}

W ostatnich latach pojawiły się metody dające zysk energetyczny większy niż 90% względem rozwiązania konwencjonalnego. Na szczególną uwagę zasługuje jedna z najnowszych metod - algorytm trójpoziomowy, osiągający zysk 96.98% [26]. W tym podrozdziale zostanie opisana ulepszona metoda trójpoziomowa, zaproponowana w [27].



RYSUNEK 3.27: Schemat przełączania pojemności w metodzie monotonicznej bazującej na V_{cm} na przykładzie 3-bitowego ADC.

Jednym ze znaczących zysków względem poprzednich algorytmów jest zerowa strata energii zarówno w pierwszym jak i w drugim cyklu. Próbkowanie odbywa się na górnych okładkach pojemności. Dolne okładki w tej fazie zwarte są do napięcia wspólnego V_{cm} . Po spróbkowaniu sygnału wejściowego komparator dokonuje pierwszego porównania i ustala na jest wartość najstarszego bitu. W następnym fazie pojemności w DAC-u o mniejszym napięciu wejściowym zostają przełączone do V_{ref} . Taki krok nie wymaga poboru energii z V_{ref} , jak zostało to pokazane w równaniu 3.35.

$$E^{1 \rightarrow 2} = 2CV_{ref}((V_{in} + \frac{1}{2}V_{ref} - V_{ref}) - (V_{in} - \frac{1}{2}V_{ref})) = 0 \quad (3.35)$$

W zależności od wartości bitu MSB pojemności będą przełączane do różnej konfiguracji

napięć referencyjnych. Zatem gdy $MSB = 1$ napięciami referencyjnymi pozytywnym i negatywnym będzie odpowiednio V_{cm} i V_{gnd} , a dla nDAC V_{ref} i V_{cm} . Gdy $MSB=0$ konfiguracje napięć są odwrotne dla pDAC i nDAC. W sposób skrócony powyższy opis przedstawiono w tabeli 3.1. Dalsze bity przełączane są jak w metodzie monotonicznej z uwzględnieniem różnych referencji. Schemat 3-bitowego DAC przedstawiony został na rysunku 3.27. Średnia energia pobrana ze źródła V_{ref} jest opisana równaniem 3.36 [27]. W konsekwencji algorytm ten jest o 97.66% efektywniejszy niż metoda konwencjonalna.

$$\langle E^{vcmmom} \rangle = CV_{ref}^2 \sum_{i=1}^{N-2} 2^{N-i-5} \quad (3.36)$$

TABELA 3.1: Napięcia referencyjne w metodzie V_{cm} -monotonicznej w zależności od wartości MSB

	MSB =1		MSB=0	
Węzeł	pDAC (V_{xp})	nDAC (V_{xn})	pDAC (V_{xp})	nDAC (V_{xn})
pozytywna referencja	V_{cm}	V_{ref}	V_{ref}	V_{cm}
negatywna referencja	V_{gnd}	V_{cm}	V_{cm}	V_{gnd}

3.4.1.8 Metoda hybrydowa

Metoda hybrydowa jest zasadniczo połączeniem metody monotonicznej bazującej na V_{cm} oraz metody opisanej w [28], w której redukcja energii uzyskiwana jest dzięki zwarceniu pojemności odpowiadającej MSB do masy w fazie próbkowania. Takie połączenie metod, zaproponowane w [29], pozwala zredukować zużycie energii do 98.83% i czterokrotnie zmniejszyć macierz pojemności. Oznacza to, że w stosunku do metody konwencjonalnej, na DAC o takiej samej liczbie pojemności może zostać zrealizowane ADC o rozdzielczości o 2-bity większej.

Cechą charakterystyczną tej metody są zerowe straty energii podczas trzech pierwszych operacji. Wadą jest to, że każde z pierwszych trzech przełączeń wykonywane jest według innej zasady niż reszta, co komplikuje z kolei logikę sterującą. Wyjątkowo w tym przypadku, celem pokazania pełnego cyklu przełączania pojemności, przykład został zaprezentowany na 4-bitowym DAC-u i przedstawiony na schemacie 3.28. Algorytm pracy w metodzie hybrydowej wygląda następująco:

1. Podczas próbkowania na górnych okładach pojemności, największa pojemność C_{N-2} zwarta jest do masy, natomiast reszta do V_{cm} .

2. Po zakończeniu próbkowania następuje pierwsza porównanie, w wyniku której ustalany jest bit MSB. Przelączane są tylko pojemności w DAC-u, którego napięcie na węźle V_x było wyższe w stosunku do drugiego. Jeżeli zatem $V_{xp} > V_{xn}$ to największa pojemność C_{N-2} przelączana jest tylko w nDAC-u do V_{cm} , a reszta pojemności do V_{ref} . W przeciwnym wypadku przelączane są pojemności w pDAC-u według tabeli 3.2.

TABELA 3.2: Sposób przelączania pojemności w 1 cyklu w metodzie hybrydowej.

Pojemność	$V_{xp} > V_{np}$		$V_{xp} < V_{np}$	
	pDAC	nDAC	pDAC	nDAC
C_{MSB}	bez zmian (V_{gnd})	V_{cm}	V_{cm}	bez zmian (V_{gnd})
reszta	bez zmian (V_{cm})	V_{ref}	V_{ref}	bez zmian (V_{cm})

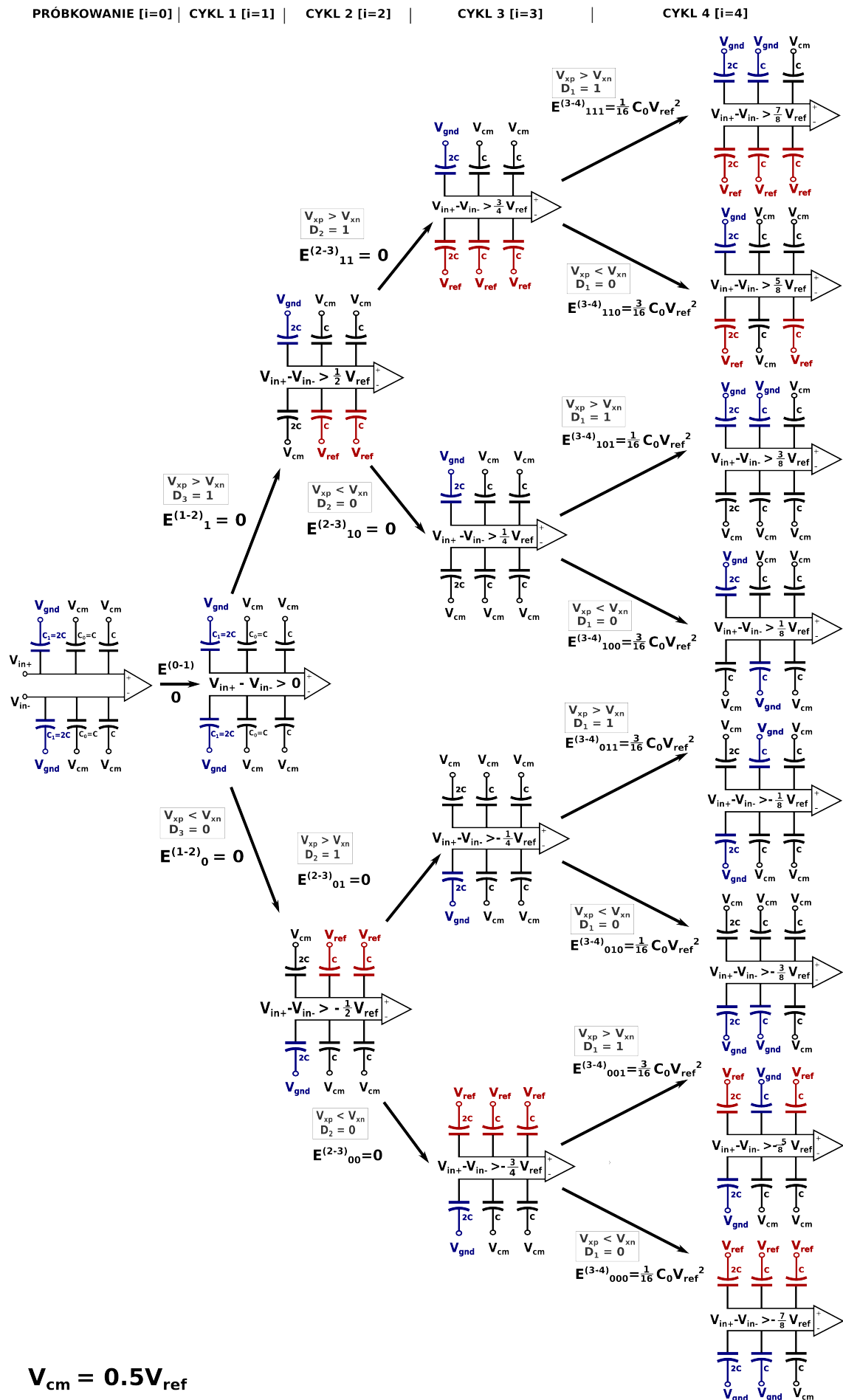
3. W drugim cyklu przelączane są tylko największe pojemności C_{N-2} w jednym z DAC-ów w zależności od wartości MSB. I tym samym gdy $MSB = 1$ i $V_{xp} > V_{xn}$ to pojemność C_{MSB} w nDAC zwierana jest do V_{ref} , natomiast gdy $V_{xp} < V_{xn}$ to do V_{cm} . W sytuacji gdy $MSB = 0$ i $V_{xp} > V_{xn}$ pojemność największa w pDAC zwierana jest do V_{cm} a w przeciwnym wypadku do V_{ref} . Krok ten odbywa się również bez strat energii, co można pokazać stosując obliczenia analogiczne jak w 3.35. Konkretnie przejścia przedstawione są w tabeli 3.3.

TABELA 3.3: Sposób przelączania pojemności w 2 cyklu w metodzie hybrydowej.

Pojemność	MSB = 1				MSB = 0			
	$V_{xp} > V_{xn}$		$V_{xp} < V_{xn}$		$V_{xp} > V_{xn}$		$V_{xp} < V_{xn}$	
	pDAC	nDAC	pDAC	nDAC	pDAC	nDAC	pDAC	nDAC
C_{MSB}	b.z.	V_{ref}	b.z.	b.z.	b.z.	b.z.	V_{ref}	b.z.
reszta	b.z.	b.z.	b.z.	V_{cm}	V_{cm}	b.z.	b.z.	b.z.

4. W każdym następnym cyklu pojemności przelączane są jak w metodzie monotonicznej. Do masy zwierana jest pojemność C_{N-i} odpowiadająca aktualnie konwertowanemu bitowi tylko w tym DAC-u, którego napięcie na węźle V_x jest większe w stosunku do drugiego. Całkowita średnia energia dla metody hybrydowej wynosi [29]:

$$\langle E^{hybrid} \rangle = CV_{ref}^2 \sum_{i=1}^{N-3} 2^{N-i-6} \quad (3.37)$$



RYSUNEK 3.28: Schemat przełączania pojemności w metodzie hybrydowej.

3.5 Logika sterująca

Układ logiki cyfrowej ma za zadanie sterować działaniem całego przetwornika. W szczególności można wymienić następujące fazy działania:

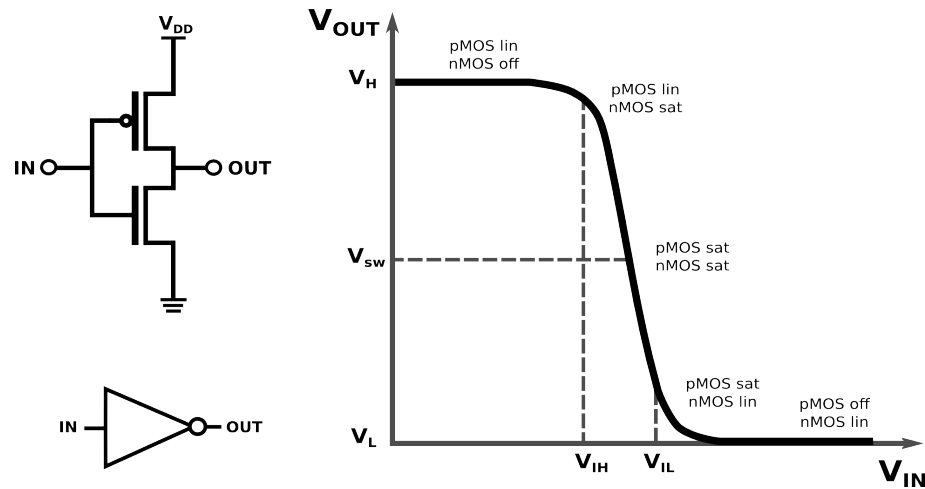
1. Resetowanie układu,
2. Rozpoczynanie i kończenie fazy próbkowania,
3. Sterowanie pracą komparatora,
4. Sterowanie przełączaniem pojemności w DAC-ach,
5. Zapamiętanie i przechowanie słowa wyjściowego.

W zależności od architektury logiki, ADC może pracować w trybie synchronicznym lub asynchronicznym. W pierwszym z wymienionych modów pracy wszystkie akcje wyzwalane są na narastającym lub opadającym zboczach zewnętrznego zegara. Logika asynchroniczna potrzebuje zasadniczo jedynie sygnału rozpoczynającego proces konwersji, a wszystkie działania wewnętrzne wyzwalają się sekwencyjnie jedno po zakończeniu poprzedniego. Taki sposób pracy nie wymaga dostarczenia szybkiego zegara ze źródła zewnętrznego i pozwala na projektowanie układów o znacznie mniejszym poborze mocy.

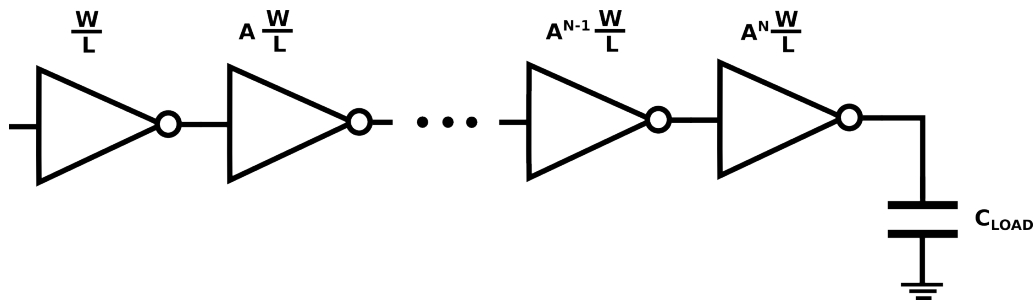
Podczas projektowania układów logiki sterującej wykorzystywane są podstawowe bramki logiczne (jak negacja koniunkcji NAND, negacja sumy NOR). Stosować można układy logiczne dynamiczne lub statyczne, w zależności od wymagań postawionych przed układem. Bramka statyczna charakteryzuje się tym, iż dopóki włączone jest napięcie zasilania, a stany logiczne na wejściach nie ulegają zmianie, to i stany logiczne na wyjściach nie zmieniają się. Elementy dynamiczne wykorzystują ładunek przechowywany przez pojemność wejściową tranzystora MOSFET jako informację o stanie logicznym układu. Biorąc pod uwagę prądy upływu poprzez cienką bramkę tranzystora, układy takie mogą pracować jedynie ze odpowiednio dużymi częstotliwościami, uniemożliwiającymi upływ ładunku i tym samym stratę informacji. Poprawnie zaprojektowana logika dynamiczna pozwala jednak zredukować powierzchnię układu i zwiększyć szybkość pracy.

3.5.1 Inwerter

Inwerter jest podstawową bramką logiczną i wykonuje operację negacji logicznej. Schemat inwertera zaprojektowanego w technologii CMOS, jego symbol oraz charakterystyka pracy zostały zaprezentowane na rysunku 3.29.



RYSUNEK 3.29: Po lewo architektura i symbol inwertera. Po prawo jego charakterystyka pracy.



RYSUNEK 3.30: Ciąg inwerterów.

Poza najprostszym zastosowaniem inwertera jako bramki logicznej, ciąg takich elementów może pełnić funkcję układów opóźniających lub buforów zwiększających obciążalność wyjściową. Takie rozwiązanie znajduje często zastosowanie w logice sterującej ADC, gdzie istnieje konieczność szybkiego włączania kluczy o dużych pojemnościach wejściowych. Niżej podany został algorytm wyznaczenia długości N bufora, ładującego obciążenie C_{load} oraz czynnika A skalującego wymiary kolejnych elementów w ciągu. Schematycznie taki układ zaprezentowany został na rysunku 3.30.

Każdy z kolejnych inwerterów ma wymiar o czynnik A większy od poprzedniego: $W_N = A^N W$. Dobranie odpowiednich parametrów N i A zapewnia minimalny czas opóźnienia ładowania pojemności. Punktem wyjściowym jest założenie, że pojemność C_{load} jest traktowana jako pojemność wejściowa hipotetycznego następnego inwertera w ciągu. Pojemność obciążająca jest wtedy równa pojemności ostatniego inwertera w ciągu mnożonego przez A .

$$C_{in_N} = A^N C_{in_1} = C_{load} \quad (3.38)$$

$$A = \left(\frac{C_{load}}{C_{in_1}}\right)^{\frac{1}{N}} \quad (3.39)$$

gdzie C_{in_1} to pojemność wejściowa pierwszego inwertera. Z równania 3.39 wyznaczyć można wartość czynnika skalującego A . Oznaczając rezystancję i pojemność wyjściową pierwszego inwertera kolejno jako R oraz C_{out_1} , czas potrzebny do wystereowania pojemności C_{load} przez ten inwerter jest równy:

$$t_1 = R(C_{out_1} + C_{load}) \quad (3.40)$$

Rezystancja R zależy odwrotnie proporcjonalnie od szerokości kanału $R \sim \frac{L}{W}$, natomiast pojemność rośnie wraz z wzrostem jego szerokości i długości $C \sim WL$. Bazując na tych zależnościach i na równaniu 3.40 dla całego bufora można podać:

$$t_{tot} = t_1 + t_2 + \dots + t_N \quad (3.41)$$

$$t_{tot} = R(C_{out_1} + AC_{in_1}) + \frac{R}{A}(AC_{out_1} + A^2C_{in_1}) + \dots + \frac{R}{A^{N-1}}(A^{N-1}C_{out_1} + A^N C_{in_1}) \quad (3.42)$$

$$t_{tot} = \sum_{k=1}^N R(C_{out_1} + AC_{in_1}) = NR(C_{out_1} + AC_{in_1}) \quad (3.43)$$

przy czym w powyższych obliczeniach wykorzystano Korzystając z wyrażenia 3.39 można wyeliminować czynnik A z równania 3.43. Wtedy całkowity czas opóźnienia t_{tot} jest funkcją jedynie długości ciągu inwerterów. Wyznaczenie ekstremum tego wyrażenia pozwala wyznaczyć optymalne N .

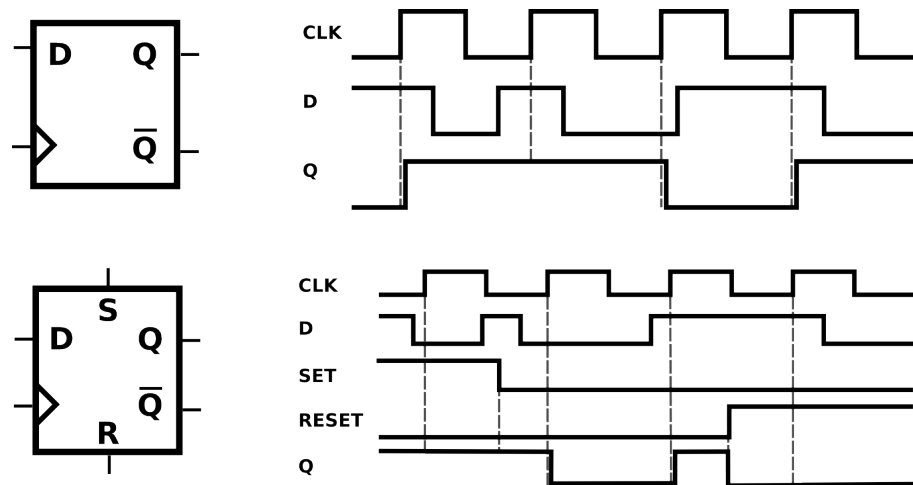
$$t_{tot} = NR\left(C_{out_1} + \left(\frac{C_{load}}{C_{in_1}}\right)^{\frac{1}{N}} C_{in_1}\right) \quad (3.44)$$

$$\frac{dt_{tot}}{dN} = 0 \rightarrow N = \ln\left(\frac{C_{load}}{C_{in_1}}\right) \quad (3.45)$$

Zatem zgodnie ze wzorami 3.39 i 3.45 można wyznaczyć optymalne parametry ciągu inwerterów służącemu wystereowaniu pojemności C_{load} .

3.5.2 Przerzutniki typu D

Przerzutnik to podstawowy element pamiętający układu cyfrowego. Służy do przechowywania lub przetwarzania informacji. Szereg przerzutników tworzy rejestr, stanowiący większą jednostkę pamięci. Istnieje kilka rodzajów przerzutników, różniących się zasadami



RYSUNEK 3.31: Symbole oraz schemat działania przerzutników typu D.

działania (na przykład przerzutniki typu D, JK, T). Najprostszy przerzutnik typu D jest synchronicznym elementem opóźniającym. Posiada zawsze wejście sygnałowe D , wejście zegarowe i wyjście Q oraz opcjonalnie dodatkowo wyjście zaprzeczone \bar{Q} . Stan wejścia D przenoszony jest na wyjście Q na odpowiednim zboczach zegara (narastającym lub opadającym). Przerzutniki typu D mogą posiadać także możliwość asynchronicznej kontroli wyjść, poprzez sygnały reset R i set S . Bez względu na stan zegara ustawiają one wyjście Q odpowiednio na 0 lub 1. Symbol oraz schemat działania obu typów przerzutników został zaprezentowany na rysunku 3.31, natomiast tablica prawdy w tablach 3.4 i 3.5.

TABELA 3.4: Tabela prawdy dla przerzutnika typu D.

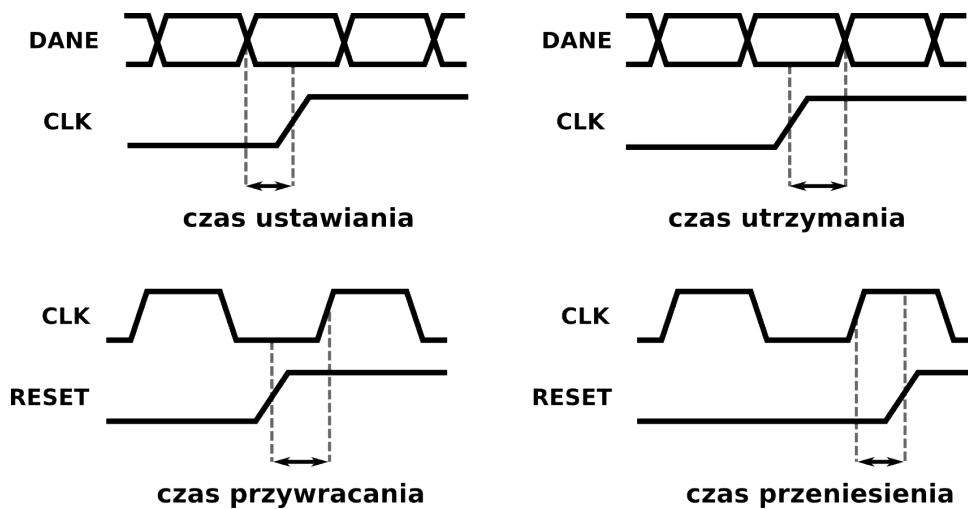
stan zegara	D	Q
narastające	1	1
narastające	0	0
inny	X	Q_{pop}

TABELA 3.5: Tabela prawdy dla przerzutnika typu D z resetem.

S	R	stan zegara	D	Q
0	0	narastające	1	1
0	0	narastające	0	0
0	0	inne	X	Q_{pop}
0	1	X	X	0
1	0	X	X	1
1	1	stan zabroniony		

Poprawną pracę przetwornika determinuje zachowanie odpowiednich zależności czasowych pomiędzy sygnałami sterującymi a danymi. Graficznie wymagane zależności czasowe zostały przedstawione na rysunku 3.32. Można je zdefiniować następująco:

- **czas ustawiania** (ang. *setup time*) - minimalny czas, przez który dana na wejściu musi być utrzymana przed nadejściem wyzwalającego zbocza zegarowego, aby przerzutnik poprawnie przeniósł informację z wejścia na wyjście.



RYSUNEK 3.32: Przebiegi czasowe dla przerzutników.

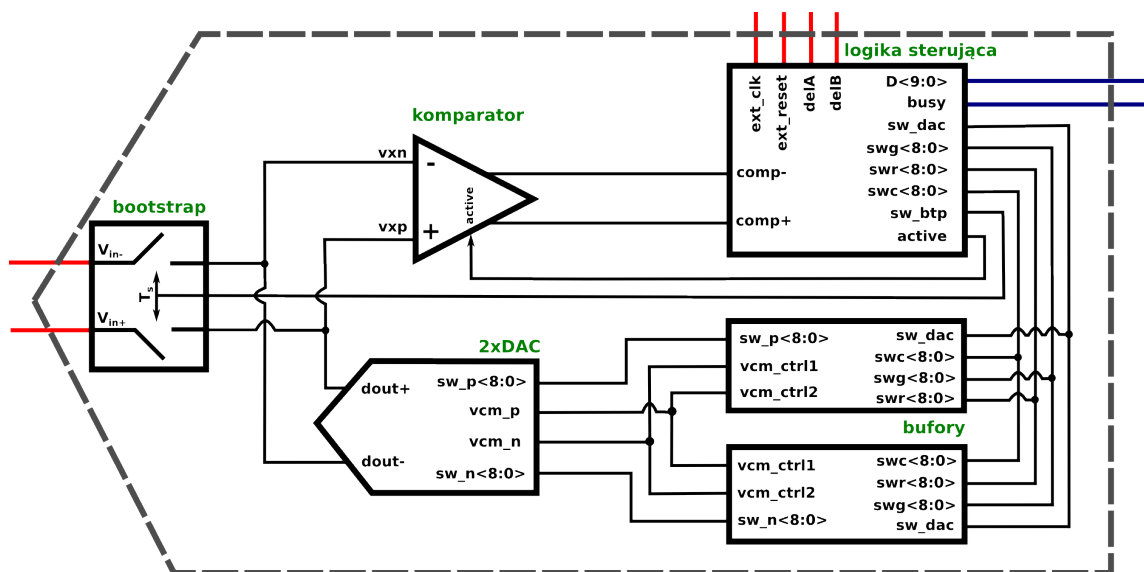
- **czas utrzymania** (ang. *hold time*) - minimalny czas, przez który dana na wejściu musi być utrzymana po pojawieniu się wyzwalającego zbocza zegarowego, aby informacja z wejścia na wyjście była przeniesiona poprawnie.
- **czas przywracania** (ang. *recovery time*) - odpowiednik czasu ustawiania dla sygnałów sterujących asynchronicznych (R , S). Jest to przedział czasu, jaki musi zostać zachowany, pomiędzy przejściem sygnału reset w stan nieaktywny a nadejściem wyzwalającego zbocza zegarowego.
- **czas przeniesienia** (ang. *removal time*) - odpowiednik czasu utrzymywania dla sygnałów sterujących asynchronicznych (R , S). Jest to przedział czasu, jaki musi być zachowany, pomiędzy nadejściem wyzwalającego zbocza zegarowego a przejściem resetu w stan nieaktywny.

Rozdział 4

Projekt 10-bitowego przetwornika SAR ADC

4.1 Projekt układu

W tym rozdziale przedstawiona i opisana została architektura zaprojektowanego 10-bitowego przetwornika analogowo-cyfrowego typu SAR. Jego uproszczony schemat, pomijający linie zasilające, został pokazany na rysunku 4.1. Funkcjonalność wszystkich podbloków oraz sygnałów została omówiona w dalszej części tego rozdziału. Architektura przetwornika jest w pełni różnicowa, zatem poza układem logiki sterującej i komparatorem podwójnie występują: klucze próbkujące, przetworniki DAC oraz ich bufony. Pojemności w maciercy DAC-ów przełączane są według algorytmu MCS (paragraf 3.4.1.6).



RYSUNEK 4.1: Schemat zaprojektowanego przetwornika SAR ADC.

Układ posiada osobne zasilanie dla części analogowej (klucz próbkujący, komparator, klucze do pojemności) oraz części cyfrowej (układ logiki sterującej oraz bufor). Poza liniami zasilającymi, wymagane są następujące sygnały sterujące:

- *ext_clk* - zegar zewnętrzny rozpoczynający konwersję
- *ext_reset* - zewnętrzny globalny reset
- *delA/delB* - bity konfigurujące opóźnienie resetu komparatora

Schemat pracy przetwornika oraz przykładowe przebiegi sygnałów zaprezentowane zostały w podrozdziale 4.1.4.

Opisywany przetwornik bazuje częściowo na elementach wykonanych dla wcześniejszej wersji ADC zaprojektowanej przez grupę z Zespołu Elektroniki w Katedrze Oddziaływań i Detekcji Cząstek. Mianowicie wykorzystany został schemat klucza próbkującego i komparatora, przy czym klucz próbkujący został częściowo zmodyfikowany.

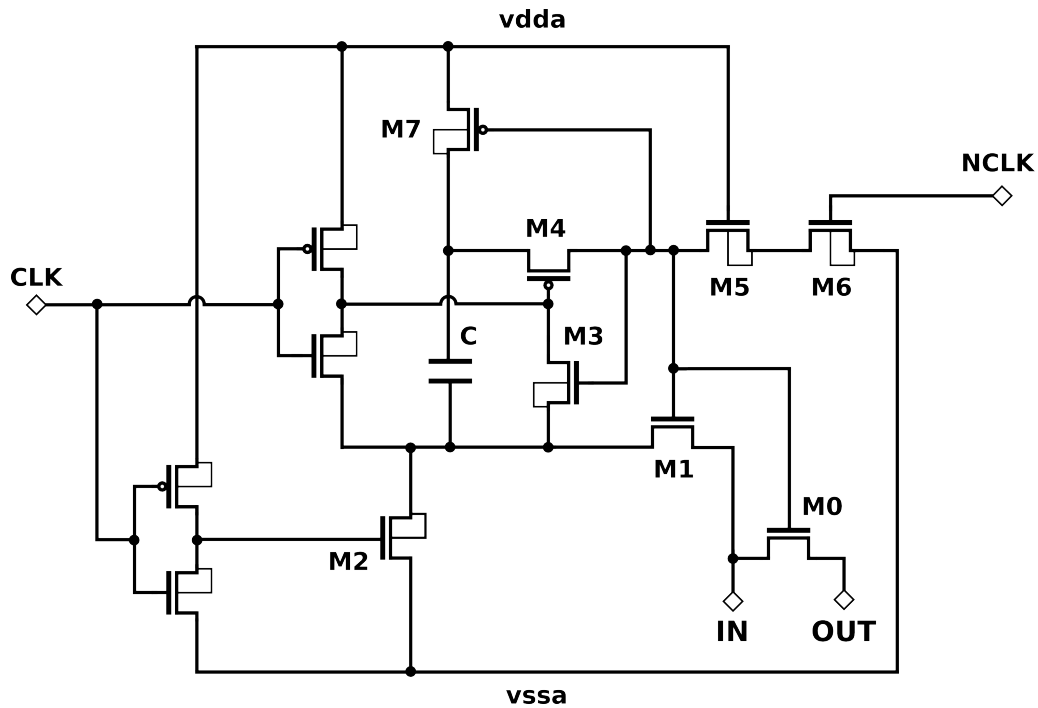
Przetwornik został zaprojektowany w technologii 200 nm *Fully-Depleted Low-Leakage SOI CMOS*, dostarczaną przez japońską firmę Lapis. Technologia ta zapewnia trzy typy tranzystorów (*body-floating*, *source-tie* oraz *body-tie*) w dwóch wersjach napięcia progowego (normalne i niskie). Nominalne napięcie zasilania dla tranzystorów to 1.8 V (i 3.3 V dla tranzystorów I/O). Dostępnych jest pięć warstw metalicznych. Pomędzy trzecią a czwartą implementowane są pojemności typu metal-izolator-metal (MIM $1.5 \frac{\text{fF}}{\mu^2}$).

Wafle krzemowe produkowane są przez francuską firmę Soitec. Ich średnica to 200 mm. Grubość izolatora wynosi 200 nm, natomiast warstwy krzemu, na której implementowana jest elektronika, około 40 nm. Jest produkowana z wafla krzemowego typu p o rezystywności $\sim 18 \Omega\text{cm}$, uzyskiwanego metodą Czochralskiego. Istnieją trzy możliwe wafle bazowe:

1. typu n, uzyskany metodą Czochralskiego, $\sim 700 \Omega\text{cm}$, grubość około 720 μm ,
2. typu n, uzyskany metodą *Floating Zone*, $\sim 7 \text{k}\Omega\text{cm}$, grubość około 700 μm ,
3. typu p, uzyskany metodą *Floating Zone*, $\sim 25 \text{k}\Omega\text{cm}$, grubość około 700 μm .

Od spodu wafel bazowy jest kryty warstwą aluminium o grubości 200nm [9]. Firma Lapis umożliwia także produkcję elektroniki na strukturach typu Double SOI i ta technologia została wybrana dla proponowanego w tej pracy układu.

Przedstawiony w tym rozdziale układ został wysłany do produkcji w styczniu 2014 roku. Po otrzymaniu wyprodukowanego układu planowane są jego pomiary i testy.



RYSUNEK 4.2: Schemat układu próbkującego.

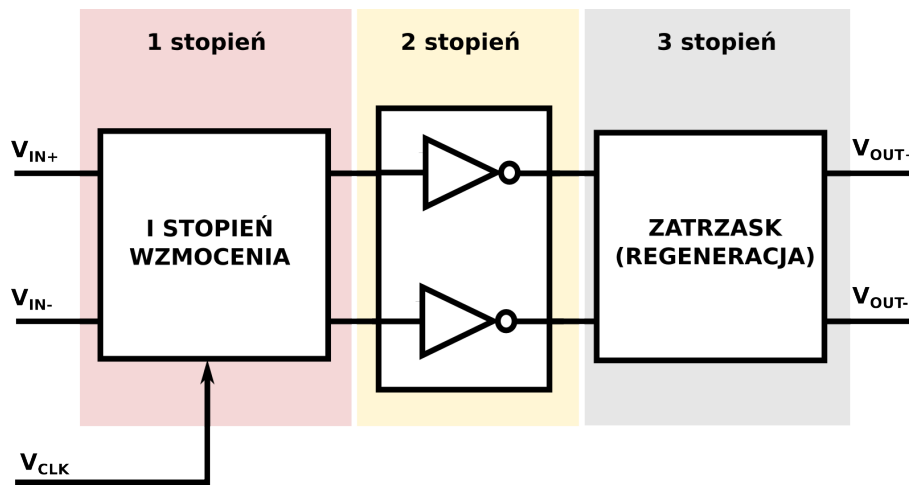
4.1.1 Klucz próbkujący typu bootstap

W projekcie wykorzystany został układ próbkujący z pierwszej wersji przetwornika ADC, zaprojektowanego przez grupę z KOiDC w technologii SOI CMOS. Jego schemat zaprezentowany został na rysunku 4.2.

W układzie zastosowana została technika *bootstrappingu* opisana w paragrafie 3.2.4. W tym rozwiązaniu pompę ładunkową dla tranzystora wejściowego $M0$ stanowi kondensator C , który jest doładowywany do napięcia zasilania V_{DD} poprzez $M7$ w fazie, gdy tranzystor $M0$ jest wyłączony. Wtedy też bramka $M0$ jest rozładowywana do V_{SS} poprzez tranzystor $M5$, $M6$. Podczas gdy CLK jest w stanie wysokim, $M0$ jest włączony, a pojemność C jest połączona pomiędzy jego bramką a źródłem poprzez tranzystory $M1$ i $M4$ i utrzymuje stałe napięcie $U_{GS} = V_{DD}$ tranzystora $M0$ [30].

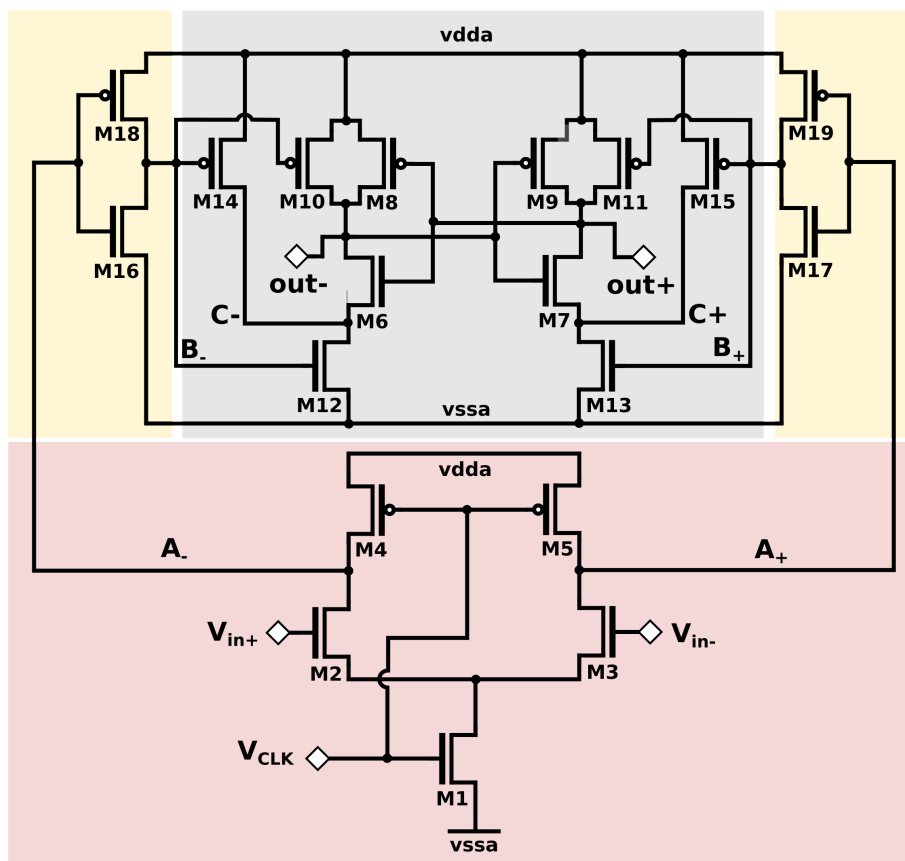
4.1.2 3-stopniowy dynamiczny komparator

Zaprojektowany 3-stopniowy dynamiczny komparator zaproponowany został w [31]. Ogólnie krótka charakterystyka komparatorów dynamicznych została podana w rozdziale 3.3. Zaproponowane rozwiązanie różni się tym, iż pomiędzy pierwszy stopień wejściowy a wyjściowy dodane zostały dwa inwertery, które dodatkowo wzmacniają sygnał. Schematycznie trzy stopnie komparatora zostały pokazane na rysunku 4.3, natomiast szczegółowy



RYSUNEK 4.3: Schemat ideowy poszczególnych stopni komparatora.

schemat na rysunku 4.4. Dodatkowo II stopnia wzmacniającego pozwoliło uzyskać o 25% mniejszy wpływ offsetu stopnia wejściowego względem rozwiązania standardowego przy jednocześnie bardzo zbliżonym zużyciu mocy oraz takiej samej zajmowanej powierzchni [32].



RYSUNEK 4.4: Schemat komparatora.

Podczas pierwszej fazy pracy (resetu) $V_{clk} = 0$. Obydwa tranzystory $M4$ oraz $M5$

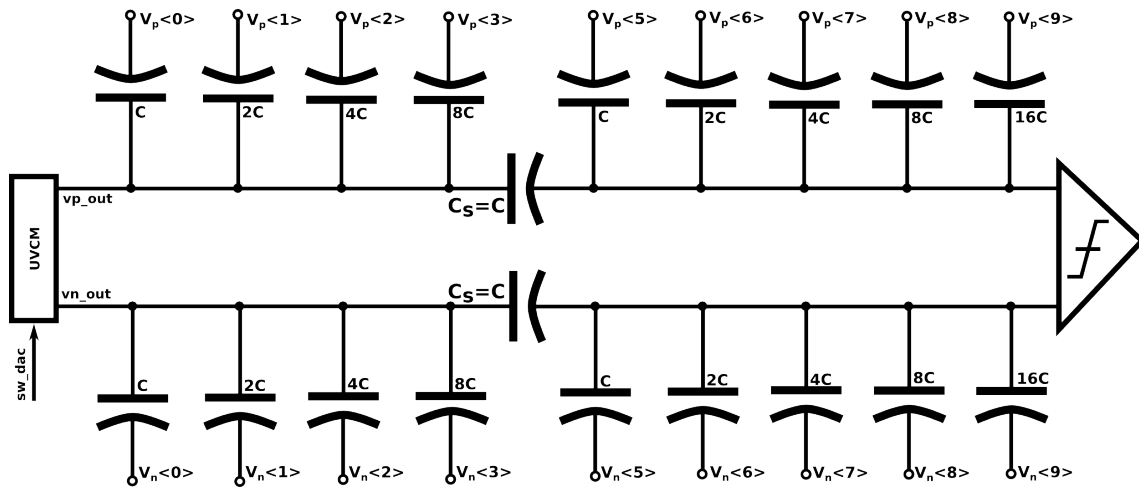
są włączone i doładowują węzły A_+ oraz A_- do napięcia zasilania $vdda$. W konsekwencji tranzystory $M16$ oraz $M17$ w inwerterach zostają także włączone, a linie B_+ i B_- są rozładowane do $vssa$ (czyli zasadniczo do masy). W ostatnim kroku wyjścia V_{out+} i V_{out-} są doładowywane do $vdda$ poprzez tranzystory PMOS $M10$ i $M11$. Tranzystory $M14$ i $M15$ mają ustawiać węzły C_- i C_+ na wartości napięcia zasilania, aby uniknąć niedopasowań między tymi liniami podczas fazy resetu.

W drugiej fazie pracy, nazywanej regeneracyjną lub ewaluacji, wysoki stan zegara V_{clk} wyłącza tranzystory $M4$ i $M5$ a włącza z kolei $M2$ i $M3$, które na bramce mają odpowiednio podane napięcia wejściowe V_{in+} i V_{in-} . W efekcie napięcie na węzłach A_+ i A_- jest rozładowywane od napięcia zasilania do masy, ale z różnymi stałymi czasowymi, zależnymi od napięć wejściowych V_{in+} i V_{in-} . W konsekwencji pomiędzy węzłami A_+ i A_- wytworzona jest pewna różnica napięć proporcjonalna do różnicy pomiędzy napięciami wejściowymi. Inwertery w II stopniu odwracają sygnały A_+ i A_- , w związku z czym B_+ i B_- rosną od masy do napięcia zasilania nadal z różnymi stałymi czasowymi. Tranzystory $M12$ i $M13$ włączają się zatem niejednocześnie, ale jeden po drugim. Po włączeniu któregoś z tych tranzystorów zatrzaśki wyjściowe doładowują wstępnie wzmocnione sygnały wejściowe przenoszone przez linie B_+ i B_- do wartości odczytywanej przez układy cyfrowe jako 0 lub 1. Tym samym jeśli różnica napięć ΔB jest ujemna, to V_{out+} jest w stanie wysokim, a V_{out-} w niskim. W przypadku odwrotnym wartości ΔB stany wyjść V_{out} są analogicznie przeciwne niż w opisanej wyżej sytuacji [31].

4.1.3 DAC

Zaprojektowany przetwornik DAC wykorzystuje architekturę redystrybucji ładunku, opisaną w 3.4. Matryca pojemności została podzielona pojemnością dzielącą C_s w stosunku 5:4. Podział matrycy oraz wykorzystana metoda przełączania pojemności (MCS) pozwoliła zredukować ilość kondensatorów w pojedynczym DAC-u z 1024 do 48. Najmniejsza pojemność, która została wykorzystana, ma wartość 39.015 fF i wymiary $7.1 \mu\text{m} \times 7.1 \mu\text{m}$. Schemat zaprojektowanego DAC-a został pokazany na rysunku 4.5.

Zgodnie z opisem podanym w rozdziale 3.4.1.6, początkowe potencjały na węzłach łączących matryce pojemności z kondensatorem są równe napięciu V_{cm} . Zasadniczo dla dokładności konwersji istotna jest równość potencjałów na tych węzłach w górnym i dolnym przetworniku, stąd dodatkowo zaprojektowany został układ wyrównywania tych napięć, oznaczony na rysunku 4.5 symbolem UVCM. Schemat tego układu został zaprezentowany



RYSUNEK 4.5: Schemat przetworników DAC.

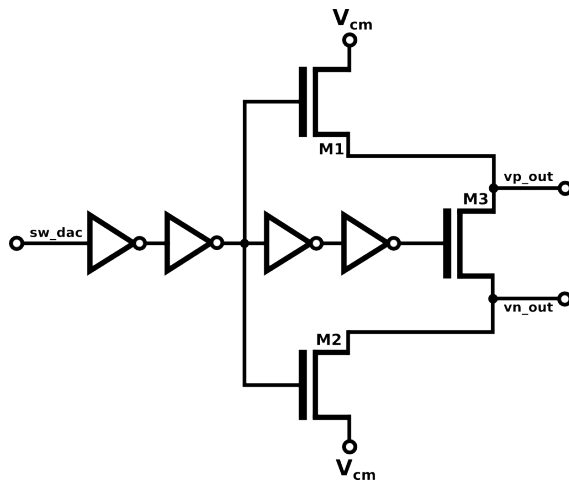
na 4.6. Przed rozpoczęciem próbkowania układ logiki wystawia dodatkowy sygnał sw_dac , który otwiera klucze M1 i M2 oraz po pewnym opóźnieniu M3. W konsekwencji matryce pojemności są najpierw łączone do V_{cm} , a potem zwierane razem, aby wyrównać potencjały na węzłach oznaczonych jako vp_out i vn_out . Po rozwarciu matryc rozpoczyna się faza próbkowania sygnału.

W związku z wybraną metodą przełączania pojemności, każdy z kondensatorów w DAC-ach może być przełączany pomiędzy trzema napięciami: referencyjnym, masą a napięciem wspólnym. Wymiary kluczy przełączających potencjały do pojemności, zaprezentowane graficznie na rysunku 4.7, są skalowane w zależności od wartości kondensatora, któremu odpowiadają. Dzięki temu stała czasowa ładowania pojemności jest taka sama dla wszystkich kondensatorów. Dodatkowo każdy z kluczy poprzedzony jest buforem złożonym z dwóch inwerterów, których długość i wymiarowanie odpowiada algorytmowi opisanemu w podrozdziale 3.5.1. Dla przykładu, klucz do największej pojemności odpowiadającej bitowi MSB ma pojemność wejściową około 94 fF, a pierwszy inwerter w ciągu został dobrany tak, że jego C_{in1} jest równe 12 fF. Stąd korzystając ze wzorów 3.39 i 3.45:

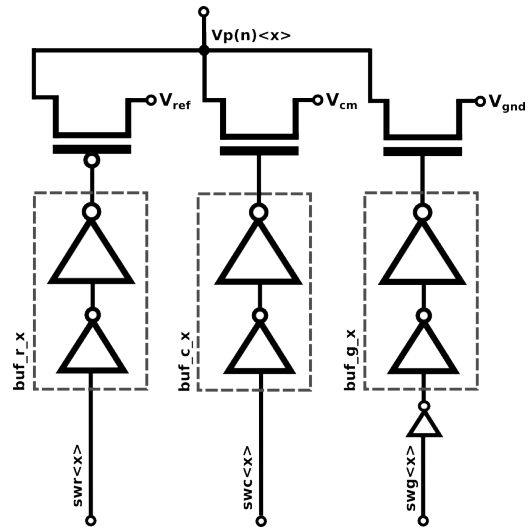
$$N = \ln\left(\frac{94}{12}\right) \approx 2 \quad (4.1)$$

$$A = \left(\frac{94}{12}\right)^{1/2} \approx 3 \quad (4.2)$$

Wymiary pierwszego inwertera to odpowiednio $2.5 \mu m$ dla nMOS-a i $5 \mu m$ dla pMOS-a, natomiast drugiego $7.5 \mu m$ dla nMOS-a i $15 \mu m$, co zasadniczo odpowiada czynnikowi skalującemu A , zapewniającemu optymalny czas ładowania pojemności obciążającej. Reszta buforów jest skalowana analogicznie. Dla uzyskania pełnej symetrii układu różnicę



RYSUNEK 4.6: Układ wyrównywania potencjałów.



RYSUNEK 4.7: Klucze i bufory do pojemności.

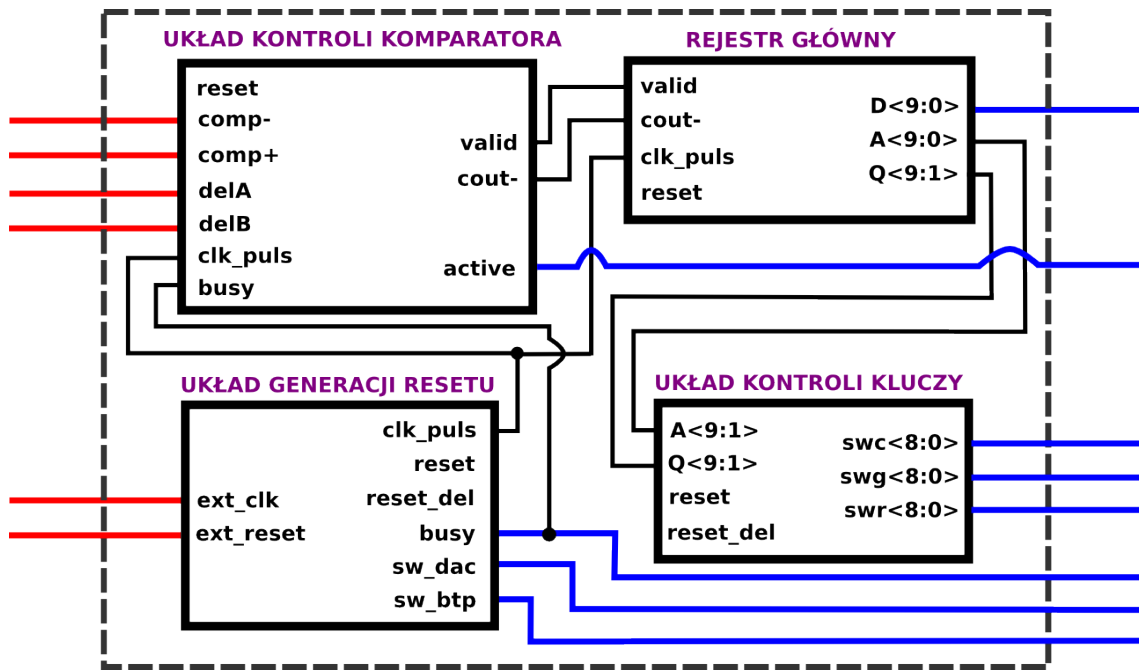
ruchliwości nośników w kanałach tranzystorów należało skompensować różnicą szerokości kanałów. Stąd szerokość kanału tranzystorów typu pMOS jest dobrana zwykle jako dwa razy większa niż nMOS.

4.1.4 Układ cyfrowej logiki sterującej

Dla omawianego przetwornika zaprojektowany został układ asynchronicznej logiki sterującej, wykorzystującej statyczne elementy logiczne. Cały układ podzielony został na cztery podstawowe bloki o następującej funkcjonalności:

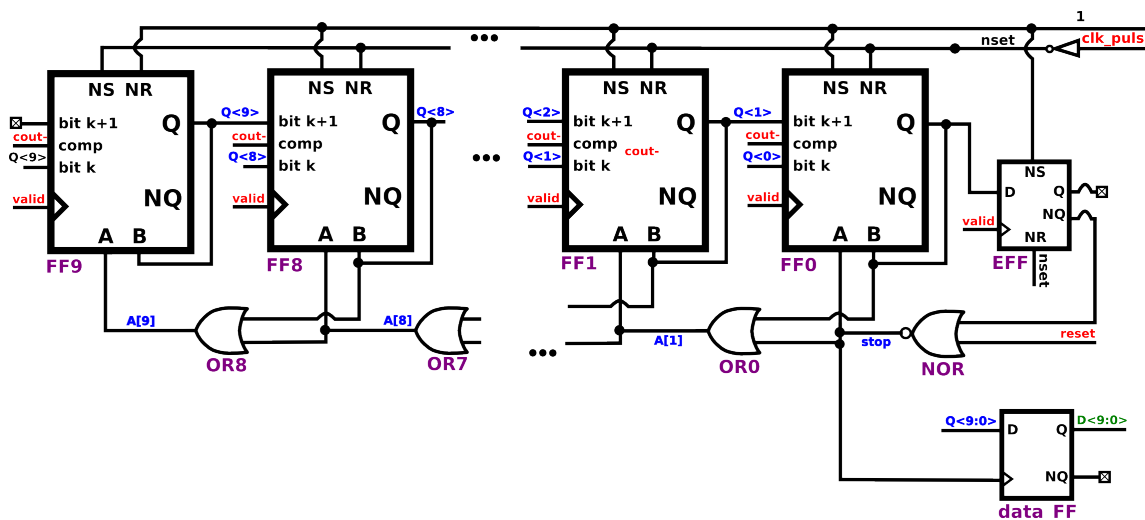
- **rejestr danych** - odpowiada za przetwarzanie kolejnych bitów oraz zapamiętywanie słowa wyjściowego,
- **układ generacji resetu** - obsługuje zewnętrzne sygnały sterujące przetwornikiem, generuje wewnętrzny reset oraz sygnały odpowiedzialne za kontrolę pracy klucza próbkującego i inicjalizację rejestru głównego,
- **układ kontroli komparatora** - generuje reset dla komparatora i wystawia sygnał zegara dla rejestru danych,
- **układ kontroli kluczy** - wystawia sygnały do kluczy sterujących przełączaniem potencjałów w matrycach DAC-ów.

Uproszczony schemat pełnego układu logiki sterującej został przedstawiony na rysunku 4.8. W poniższych podrozdziałach zostały opisane pokrótce zasady pracy poszczególnych bloków. Układ logiczny został zaprojektowany na bazie układu proponowanego przez [33].



RYSUNEK 4.8: Uproszczony schemat cyfrowej logiki sterującej. Kolorem czerwonym zaznaczono sygnały wejściowe, natomiast niebieskim wyjściowe. Dla większej przejrzystości pominięto połączenia linii *reset*.

4.1.4.1 Rejestr danych



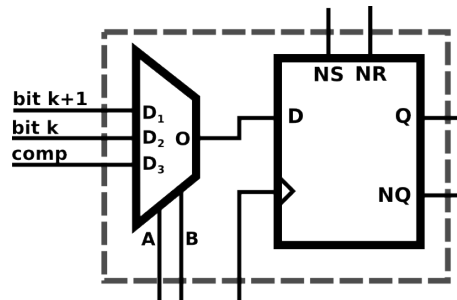
RYSUNEK 4.9: Uproszczony schemat rejestru danych. Na czerwono zaznaczone zostały sygnały wejściowe tego układu a na niebiesko - wyjściowe.

Uproszczony schemat układu zawierającego rejestr danych został przedstawiony na rysunku 4.9. Składa się on z dziesięciu bloków pamiętających, zbudowanych z przerzutników typu D z multipleksowanym wejściem oraz możliwością asynchronicznego resetu i

TABELA 4.1: Bity konfiguracyjne dla wejść przetworników w rejestrze głównym.

A	B	wejście
0	0	wyjście poprzedniego przerzutnika ($k + 1$)
0	1	zbuforowane wyjście komparatora ($cout-$)
1	X	własne wyjście (k)

setu. Schemat podstawowej jednostki pamiętającej budującej rejestr danych pokazany został na rysunku 4.10. Dwa bity kontrolne A i B służą do wyboru sygnału doprowadzanego na wejście D przerzutnika. Możliwe są trzy opcje, przedstawione w tabeli 4.1.



RYSUNEK 4.10: Podstawowa jednostka rejestru danych.

Sygnaly NR i NS służą do inicjalizacji rejestru danych przed rozpoczęciem przetwarzania bitów. Za ustawienie rejestru w konfiguracji początkowej odpowiedzialny jest krótki impuls o stałej długości clk_puls , generowany bezpośrednio z zegara zewnętrznego ext_clk . Konfiguracja początkowa to 0 na wyjściu każdego z przerzutników oprócz pierwszego w ciągu ($FF9$), odpowiadającego za MSB, który na wyjściu ma logiczną 1. Takie wartości wyjść odpowiadają za ustawienie bitów konfiguracyjnych dla $FF9$ w sekwencji $A[9]B[9] = 01$, a zatem na wejście pierwszego przerzutnika wystawiony jest wynik pierwszej porównania. Bit kontrolny $B[k]$ jest zwarty do wyjścia odpowiadającego mu bloku pamiętającego $Q[k]$. Za ustawienie wartości bitów A odpowiada łańcuch bramek OR. Sygnał $A[k + 1]$ jest sumą bitową sygnału $A[k]$ i $Q[k]$. Zatem po fazie inicjalizacyjnej wszystkie bity A ustawione są na 0. Takie ustawienie sprawia, że wszystkie poza $FF9$ bloki pamiętające są w konfiguracji $A\langle 8 : 0 \rangle B\langle 8 : 0 \rangle = 00$, zatem ich wyjścia zwarte są do poprzedniego elementu w ciągu tworząc rejestr przesuwny. Po przejściu clk_puls w stan niski układ oczekuje na narastające zbocze zegara. Ciąg przerzutników taktowany jest sygnałem $valid$, który przechodzi w stan wysoki, gdy na wyjściu komparatora ustawi się poprawna odpowiedź. Na zboczu narastającym sygnału $valid$ na wyjście $FF9$ przeniesiony zostaje wynik pierwszej porównania, na wyjście $FF8$ jedynka z $FF9$, a na pozostałe zera. Ustawienie jedynki na $Q[8]$ prowadzi zasadniczo do wykonania następujących akcji:

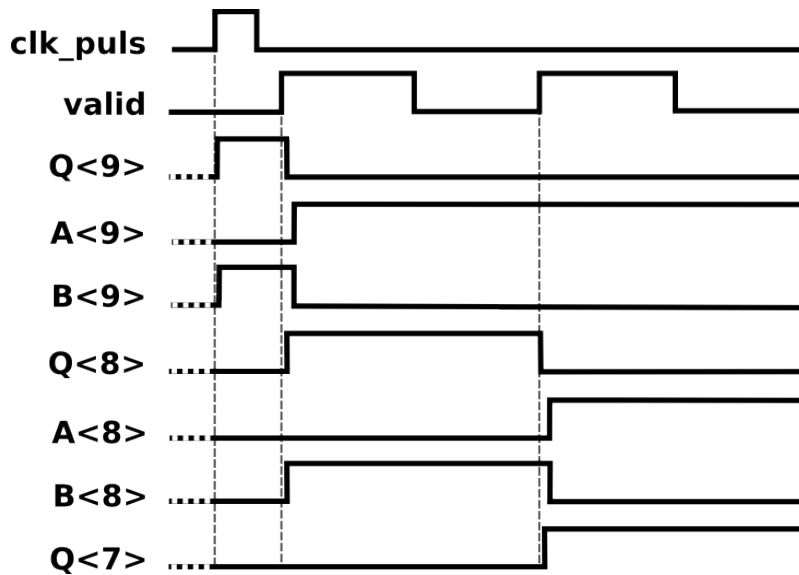
TABELA 4.2: Tabela stanów dla rejestru głównego. $c_9 - c_0$ oznaczają kolejno wartości kolejnych porównania odpowiadające poszczególnym bitom słowa wyjściowego.

cykl	Q_9	Q_8	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0
init	1	0	0	0	0	0	0	0	0	0
1	c_9	1	0	0	0	0	0	0	0	0
2	c_9	c_8	1	0	0	0	0	0	0	0
3	c_9	c_8	c_7	1	0	0	0	0	0	0
4	c_9	c_8	c_7	c_6	1	0	0	0	0	0
5	c_9	c_8	c_7	c_6	c_5	1	0	0	0	0
6	c_9	c_8	c_7	c_6	c_5	c_4	1	0	0	0
7	c_9	c_8	c_7	c_6	c_5	c_4	c_3	1	0	0
8	c_9	c_8	c_7	c_6	c_5	c_4	c_3	c_2	1	0
9	c_9	c_8	c_7	c_6	c_5	c_4	c_3	c_2	c_1	1
10	c_9	c_8	c_7	c_6	c_5	c_4	c_3	c_2	c_1	c_0
stop	c_9	c_8	c_7	c_6	c_5	c_4	c_3	c_2	c_1	c_0

1. przełączenia wejścia $FF8$ na wyjście komparatora ($A[8]B[8] = 01$)
2. zwarcia wejścia $FF9$ z jego wyjściem, zatem przeniesienie tego przerzutnika w fazę pamiętania bitu ($A[9]B[9] = 1X$)

Poprawne ustawienia bitów kontrolnych AB reguluje łańcuch bramek OR. W uproszczeniu można stwierdzić, iż przechodząca przez rejestr jedynka wskazuje na przerzutnik, który w danym cyklu przetwarza odpowiadający mu bit i jednocześnie prowadzi do zatrzaśnięcia już przetworzonego bitu na wyjściu poprzedniego przerzutnika. Opisany powyżej algorytm jest powtarzany kolejne $N - 1$ razy aż do przetworzenia pełnego słowa wyjściowego. Podsumowując, pracę rejestru można przedstawić w postaci maszyny stanów, której poszczególne stany zostały pokazane w tabeli 4.2.

Do bloku rejestru danych należą dodatkowo pojedynczy przerzutnik typu D EFF , rejestr $data_FF$ oraz bramka NOR (kończąca łańcuch OR). EFF odpowiada za generowanie sygnału końca konwersji $stop$. Gdy na ostatni blok pamiętający $FF0$ przesunięta zostanie jedynka, układ EFF oraz bramki NOR ustawi sygnał końca konwersji w stan wysoki (aktywny). Dodatkowo bramka NOR odpowiada za ustawienie bitów sterujących A na logiczne 0 w fazie wewnętrznego resetu przetwornika. W rejestrze $data_FF$, taktowanym sygnałem końca konwersji, przechowywane jest cyfrowe słowo wyjściowe $D \langle 9 : 0 \rangle$. Oznacza to, że wynik konwersji jest dostępny na wyjściu przetwornika ADC przez czas równy okresowi zewnętrznego zegara taktującego. Na rysunku 4.11 przedstawiono uproszczony przebieg sygnałów sterujących i generowanych przez blok rejestru danych dla trzech pierwszych wyjść bloków pamiętających.



RYSUNEK 4.11: Przebieg sygnałów dla rejestru głównego. Różnymi kolorami oznaczono różne wejścia przerzutnika: niebieski - $comp-$, czerwony - k , żółty - $k + 1$ (wg tabeli 4.1).

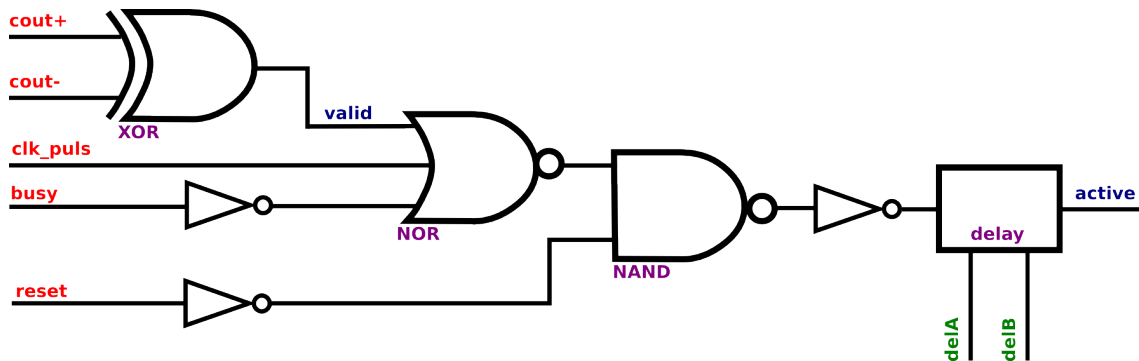
4.1.4.2 Układ kontroli komparatora

Uproszczony schemat układu kontroli komparatora został pokazany na rysunku 4.12. Dla przejrzystości na tym i kolejnych schematach pominięte zostały układy opóźniające i bufory wysterowujące sygnały. Różnicowe wyjścia komparatora $cout+$ i $cout-$ trafiają na bramkę logiczną XOR, która odpowiada stanem wysokim ($valid$), gdy jej wejścia są w przeciwnych stanach. Sygnał $valid$, będący sygnałem taktującym rejestrem głównym, oznacza zatem, że dostępna jest odpowiedź z komparatora.

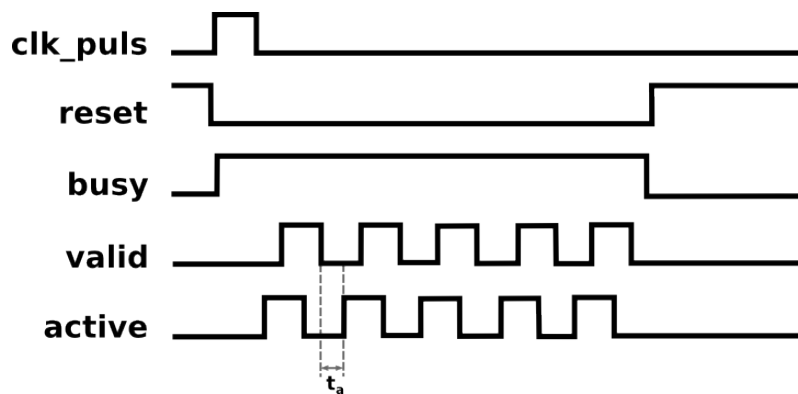
Zaprojektowany komparator (4.1.2) po każdym porównaniu jest resetowany niskim stanem sygnału $active$. Przejście sygnału $busy$ w stan wysoki (oznaczającego początek konwersji) oraz zakończenie inicjalizacji rejestru głównego (clk_puls) przenosi komparator z fazy resetu do porównania. Gdy komparator odpowie, przetwornik czeka pewien okres czasu zanim ustawi ponownie $active$ w stan niski i komparator zostanie zresetowany. Opóźnienie to jest niezbędne dla reszty logiki w celu przetworzenia aktualnego wyniku porównania i ustalenia wartości bitu. Po pewnym opóźnieniu t_a , potrzebnym na ustalenie potencjałów na DAC-ach, $active$ przechodzi w stan wysoki, rozpoczynając kolejne porównanie. Czas opóźnienia może być ustawiany przez bity kontrole $delA$ i $delB$. Takie rozwiązanie zostawia możliwość optymalizacji pracy układu po jego wyprodukowaniu. Szacunkowe czasy opóźnień w zależności od konfiguracji bitów $delA$ i $delB$ zostały podane w tabeli 4.3. Schematyczny przebieg sygnałów dla układu kontroli komparatora został pokazany na rysunku 4.13.

TABELA 4.3: Bity konfiguracyjne dla opóźnienia sygnału *active*.

delA	delB	t_a
0	0	1.09 ns
0	1	1.34 ns
1	0	1.62 ns
1	1	2.9 ns



RYSUNEK 4.12: Uproszczony schemat układu kontroli komparatora.



RYSUNEK 4.13: Przebieg sygnałów dla układu kontroli komparatora. Na zielono oznaczone sygnały zewnętrzne dla całego ADC.

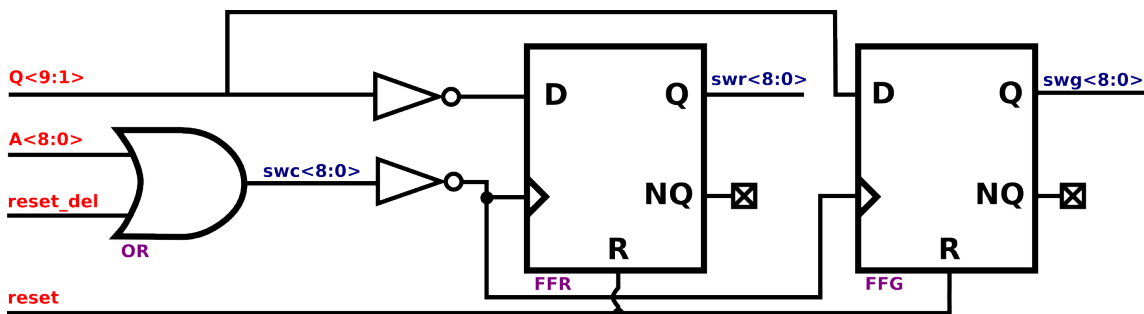
4.1.4.3 Układ kontroli kluczy

Przejście w stan wysoki sygnałów sterujących wejściami do przerzutników w rejestrze danych $A\langle 9 : 0 \rangle$ (4.1.4.1) oznacza zakończenie przetwarzania danego bitu i jego zapamiętanie. Tym samym sygnały sterujące $A\langle 9 : 0 \rangle$ oraz wartości bitów wyjściowych $Q\langle 9 : 0 \rangle$ zostały wykorzystane do sterowania kluczami w matrycach pojemności. Sygnały, które pośrednio odpowiadają za sterowanie przełączaniem pojemności w DAC-ach zostały oznaczone na rysunku 4.14 jako $swr\langle 8 : 0 \rangle$, $swg\langle 8 : 0 \rangle$ oraz $swc\langle 8 : 0 \rangle$. Przejście w stan wysoki kolejnych linii A odłącza sekwencyjnie pojemności od potencjału V_{cm} , a następnie w zależności od wartości danego bitu Q zwiera do V_{ref} lub V_{gnd} zgodnie z algorytmem MCS.

TABELA 4.4: Tabela stanów dla układu kontroli kluczy. Przypisanie wartości 1 do linii *swr*, *swc* lub *swg* oznacza efektywnie zwarcie jej do napięcia zasilania i odpowiednio do masy dla 0.

reset	Q	swr	swc	swg
1	X	1	1	1
0	1	0	0	1
0	0	1	0	0

W układzie wykorzystane zostały dwa osobne przerzutniki typu D dla kontroli sygnałów *swr* $\langle 8 : 0 \rangle$ i *swg* $\langle 8 : 0 \rangle$, aby możliwa była realizacja trzech różnych stanów układu. Stany te to faza resetu przetwornika, przełączenie pojemności po bicie o wartości 0 i przełączenie po bicie o wartości 1. Tabela stanów dla tego układu została przedstawiona w 4.4.

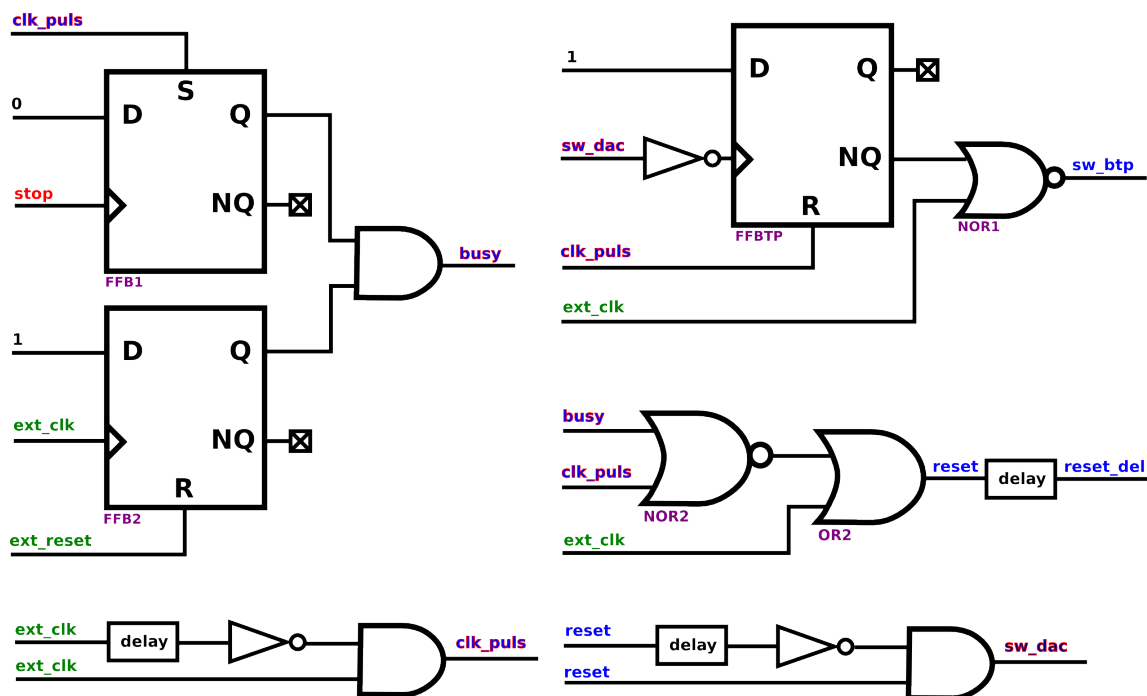


RYSUNEK 4.14: Schemat układu kontroli kluczy.

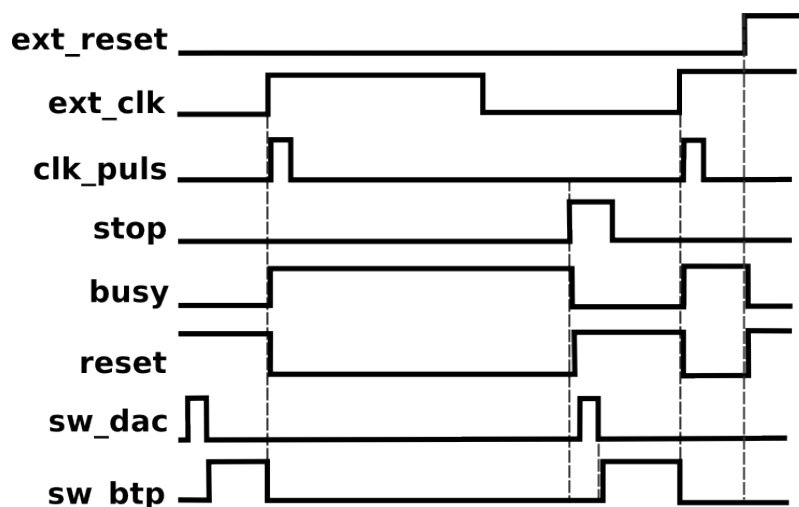
4.1.4.4 Układ generacji resetu

Układ generacji resetu obsługuje dwa najważniejsze zewnętrzne sygnały sterujące: globalny reset *ext_reset* oraz zegar *ext_clk*. Najważniejsze części tego układu zostały schematycznie zaprezentowane na rysunku 4.15.

Przyjście narastającego zbocza zegarowego odłącza klucz próbkujący (*sw_btp* = 0), a tym samym kończy fazę próbkowania sygnału. Ta część układu została zaprojektowana z użyciem możliwie minimalnej ilości bramek logicznych (jedna), aby uniknąć efektu drżenia zegara zewnętrznego, który ma znaczący wpływ na liniowość pracy całego przetwornika. Równocześnie z zakończeniem próbkowania z sygnału *ext_clk* generowany jest krótki impuls *clk_puls* inicjalizujący rejestr główny układu logicznego. Nadejście narastającego zbocza zegara zewnętrznego jest zatem równoznaczne z rozpoczęciem konwersji. W układzie resetu generowany jest pomocniczy sygnał *busy*, który w trakcie trwania konwersji jest w stanie wysokim. Za koniec konwersji odpowiada sygnał *stop*, generowany w bloku



RYSUNEK 4.15: Uproszczony schemat układu generującego reset. Na zielono oznaczone sygnały zewnętrzne dla całego ADC.



RYSUNEK 4.16: Przebieg sygnałów dla układu generującego reset.

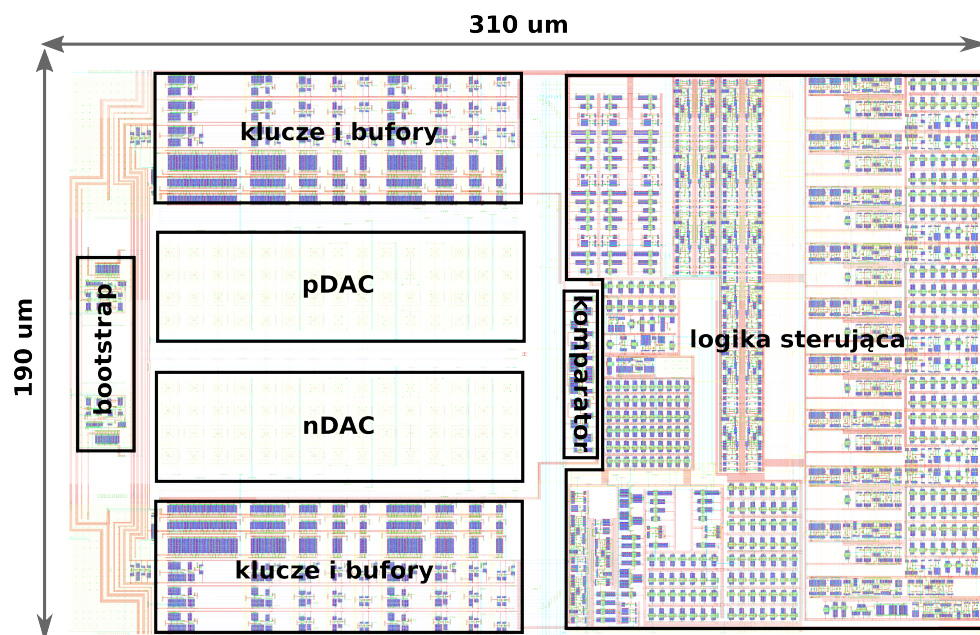
rejestru głównego. Przyjście narastającego zbocza *stop* wyzwała pośrednio reset przetwornika.

Podczas resetu generowany jest krótki impuls o stałej długości *sw_dac*, który zwiera obie matryce pDAC i nDAC w celu opisanym w paragrafie 4.1.3. Dopiero po rozwarciu matryc (*sw_dac* = 0) otwierany jest klucz próbkujący i aż do przyjścia narastającego zbocza zegara zewnętrznego trwa faza próbkowania. Istnieje zatem możliwość znalezienia

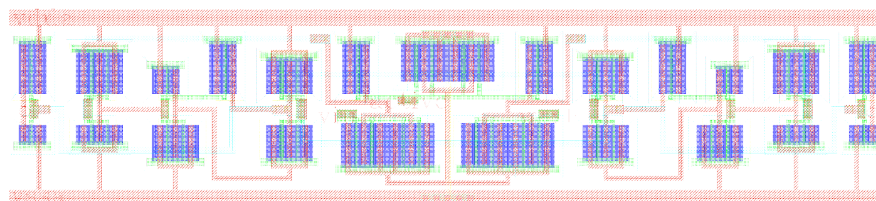
optymalnego punktu pracy przetwornika ze względu na jego szybkość i dokładność konwersji poprzez regulację częstotliwości zegara zewnętrznego. Przykładowy przebieg czasowy sygnałów układu generującego reset został przedstawiony na rysunku 4.16.

4.1.5 Projekt masek technologicznych.

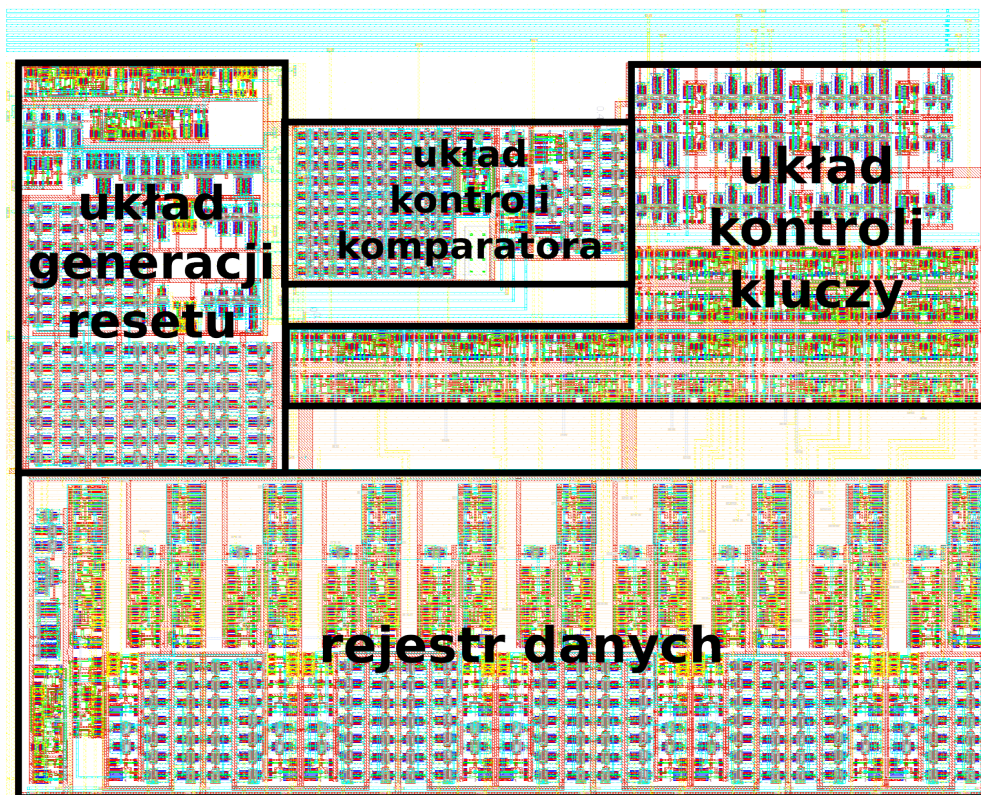
Projekt layout-u zaprojektowanego ADC zaprezentowany został na rysunku 4.17. Wy-miary układu to $310\mu\text{m} \times 190\mu\text{m}$. Poniżej zaprezentowane zostały projekty masek technologicznych dla poszczególnych bloków układu. Na rysunku 4.18 przedstawiono layout komparatora, na 4.19 logiki sterującej z podziałem na bloki, natomiast na 4.20 buforów i klucze do pojemności. Layout komparatora został wykorzystany w niezmienionej formie z pierwszej wersji ADC projektowanej przez Zespół Elektroniki KOiDC. Podczas projektowania masek szczególna uwaga była poświęcona symetrii układu i minimalizacji długości połączeń pomiędzy poszczególnymi podukładami.



RYSUNEK 4.17: Layout ADC.



RYSUNEK 4.18: Layout komparatora.

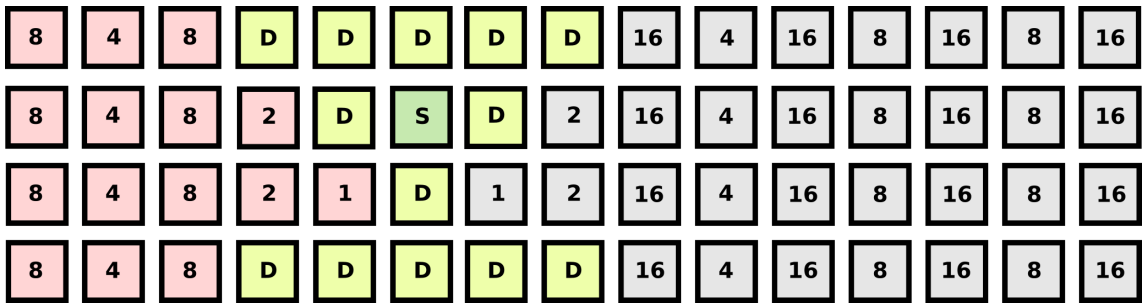


RYSUNEK 4.19: Layout logiki sterującej.

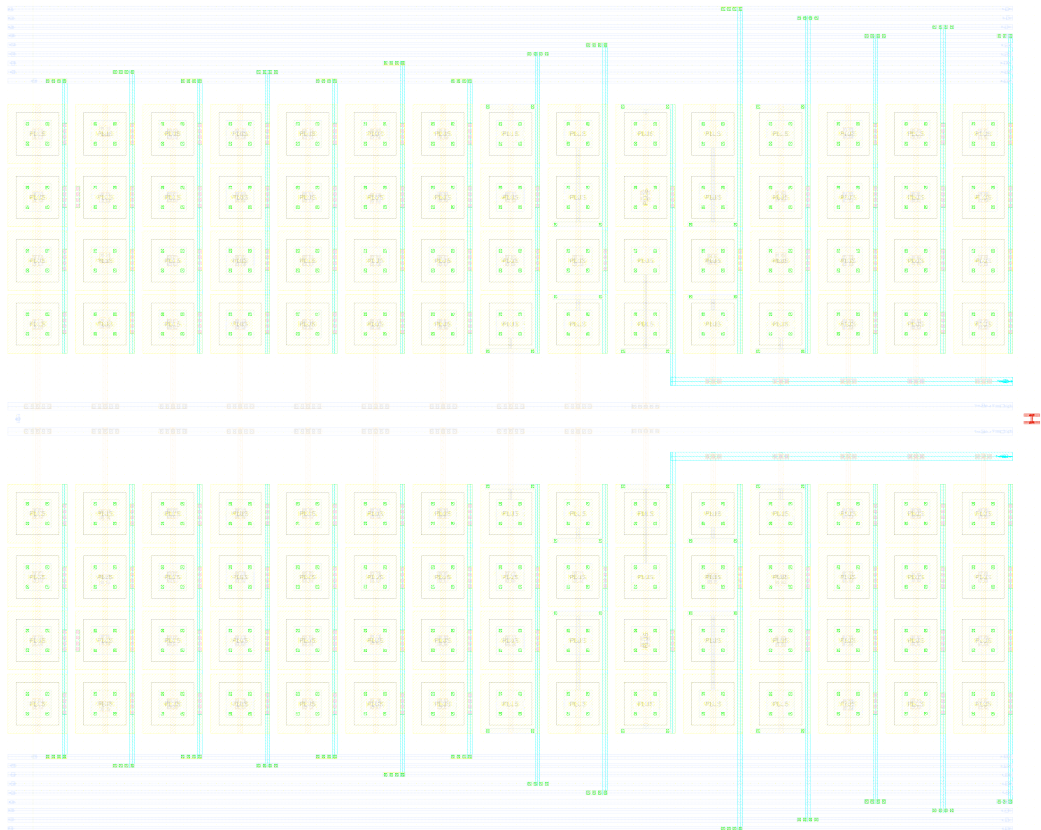


RYSUNEK 4.20: Layout buforów i klucz do pojemności.

Pojemności pasożytnicze w DAC-ach mają najistotniejsze znaczenie ze względu na dokładność pracy przetwornika ADC. Stąd podczas projektowania masek produkcyjnych (*layout*), kondensatory zostały rozłożone tak, aby pojemności pasożytnicze w każdej z gałęzi matrycy DAC-ów skalowały się z takim samym czynnikiem jak wartości kondensatorów w tych gałęziach. Wybrany sposób ułożenia elementów został zaprezentowany graficznie na rysunku 4.21, natomiast jego praktyczna realizacja na rysunku 4.22.



RYSUNEK 4.21: Rozmieszczenia pojemności w DAC-ach. Kolorem szarym oznaczono pojemności odpowiadające części MSB, czerwonym LSB, zielonym pojemność dzielącą, natomiast żółtym kondensatory wypełniające (*dummy*).

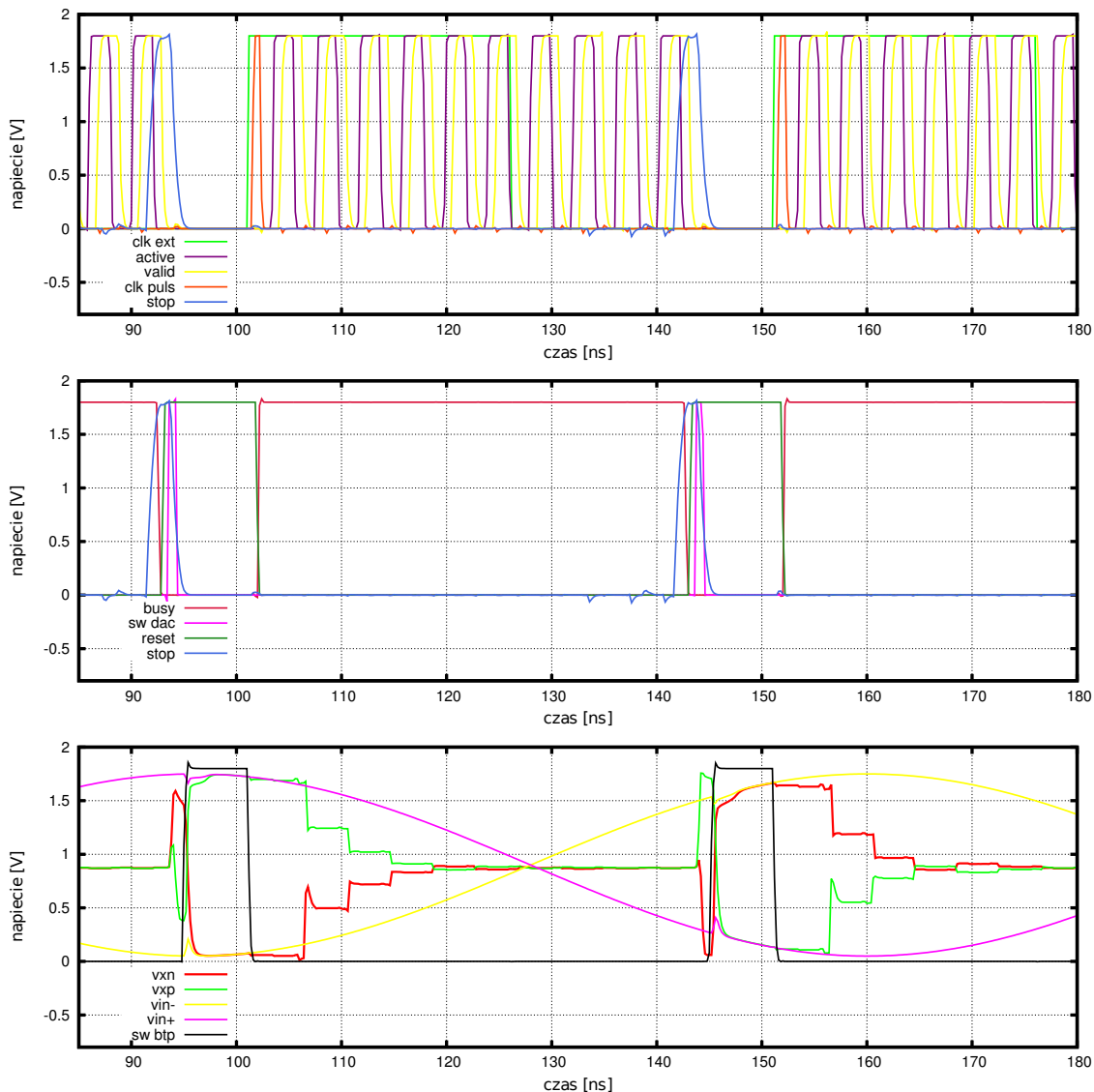


RYSUNEK 4.22: Layout matrycy DAC-ów.

4.2 Wyniki symulacji

Na rysunku 4.23 przedstawiono wykresy najważniejszych sygnałów kontrolujących pracę zaprojektowanego przetwornika. Szczegółowo opisane zostały one w powyższych paragrafach, niemniej jednak dla przypomnienia zostały wyszczególnione poniżej:

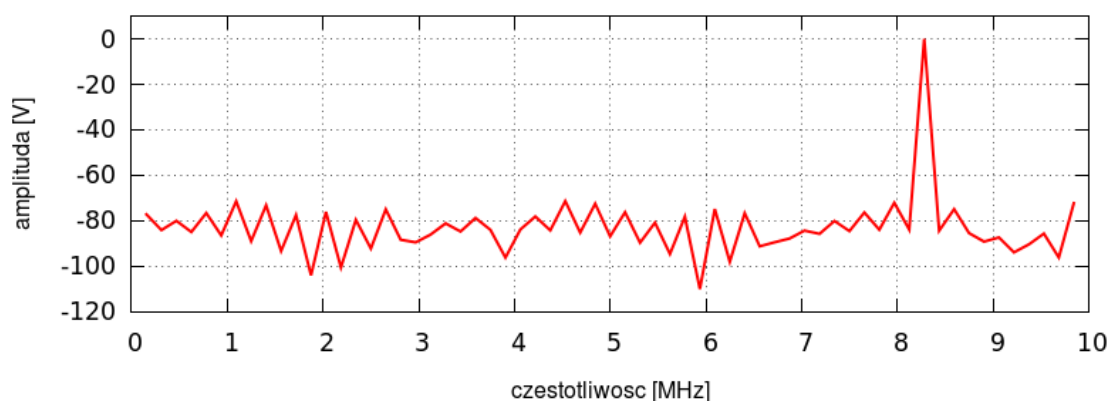
- *ext_clk* - zegar zewnętrzny,
- *active* - niski reset dla komparatora,
- *valid* - gotowa odpowiedź z komparatora,
- *clk_puls* - sygnał rozpoczęcia konwersji,
- *stop* - zakończenie konwersji,
- *busy* - trwanie konwersji,
- *sw_dac* - zwarcie części LSB DAC-ów,
- *sw_btp* - otwarcie klucza próbkującego,
- *vxp*, *vxp* - różnicowe wejścia komparatora.



RYSUNEK 4.23: Symulacja działania zaprojektowanego przetwornika.

Poniżej przedstawiono uzyskane z symulacji wartości parametrów dynamicznych zaprojektowanego przetwornika. Na rysunku 4.24 przedstawione zostało przykładowe widmo DFT z symulacji przed ekstrakcją, które stanowiło podstawę do wyznaczenia wybranych parametrów z tabeli 4.7. Wszystkie wyniki zostały uzyskane dla częstotliwości sinusa wejściowego bliskiej częstotliwości Nyquista i dla amplitudy równej 1.7 V. Symulacje przed layout-owe zostały wykonane dla konfiguracji bitów $delAdelB = 00$, natomiast postlayout-owe dla $delAdelB = 10$. Tabela 4.5 zawiera wartości parametrów dla symulacji przed

layoutem, wyznaczonych dla długości transformaty Fouriera $N=1024$. Tabela 4.6 zawiera natomiast parametry przeprowadzone dla symulacji z częściowo wyekstrahowanymi pojemnościami pasożytniczymi. Obliczenia takie wykonano dla symulacji postlayout-owych DAC-ów, klucza próbkującego oraz komparatora, również dla $N=1024$. W tabeli 4.7 przedstawiono wyniki uwzględniające ekstrakt całego układu, niemniej jednak ze względu na długi czas trwania symulacji, możliwe było dotychczas wykonanie obliczeń z DFT o długości $N=128$, co znacząco wpływa na dokładność analizy.



RYSUNEK 4.24: Przykładowe widmo częstotliwościowo-amplitudowe dla symulacji przed ekstrakcją z symulatora HSPICE dla $N=128$ i $f_s = 20$ MHz.

TABELA 4.5: Parametry dynamiczne dla symulacji z symulatora Spectre przed layout-em ($N=1024$).

f_s	ENOB	SINAD	THD	SNHR	SFDR
18 MHz	9.94	61.4 dB	-73.4 dB	61.7 dB	69.7 dB
20 MHz	9.95	61.7 dB	-73.9 dB	61.9 dB	70.8 dB
23 MHz	9.72	60.3 dB	-65.0 dB	62.1 dB	67.0 dB

TABELA 4.6: Parametry dynamiczne dla symulacji z symulatora Spectre z częściowym ekstraktem ($N=1024$).

ekstrakt	f_s	ENOB	SINAD	THD	SNHR	SFDR
bootstrap	20 MHz	9.85	61.1 dB	-68.3 dB	62.0 dB	70.8 dB
komparator	20 MHz	9.66	59.9 dB	-65.7 dB	61.2 dB	69.6 dB
DAC	20 MHz	9.53	59.2 dB	-67.4 dB	59.9 dB	68.1 dB
wszystkie powyższe	20 MHz	9.50	59.9 dB	-64.8 dB	60.3 dB	67.0 dB

TABELA 4.7: Parametry dynamiczne dla symulacji z symulatora HSPICE (DFT $N=128$).

typ	f_s	ENOB	SINAD	THD	SNHR	SFDR
postlayout	10 MHz	9.28	57.6 dB	-58.7 dB	64.3 dB	67.5 dB
schematic	20 MHz	9.85	61.1 dB	-68.4 dB	61.9 dB	71.3 dB

TABELA 4.8: Parametry pracy zaprojektowanego 10-bitowego SAR ADC.

Parameter	Wartość
Technologia	Lapis 200 nm FD Low – Leakage SOI CMOS
Rozdzielczość	10b
Napięcie zasilania	1.8 V
Pobór mocy	$\sim 900 \mu\text{W}$
Pojemność wejściowa	$\sim 2 \text{ pF}$
Częstotliwość próbkowania (max)	20 MHz (schemat)/10 MHz (postlayout)
Wymiary	$310 \mu\text{m} \times 190 \mu\text{m}$

Symulacje przedstawione w tym rozdziale były przeprowadzane za pomocą dwóch symulatorów: Spectre i HSPICE. Parametry zawarte w tabelach 4.5 oraz 4.6 uzyskane zostały na podstawie symulacji przeprowadzonych przy użyciu symulatora Spectre. Niestety, po ekstrakcji pojemności pasożytniczych symulator ten nie mógł osiągnąć zbieżności. Stąd symulacje postlayout-owe zostały wykonane za pomocą symulatora HSPICE (tabela 4.7).

Z analizy wartości przedstawionych w 4.7 można wnioskować, że przed ekstrakcją parametry pracy ADC ograniczane są przez szумы pochodzące od zniekształceń nieharmonicznych (np. błąd kwantyzacji). W przypadku parametrów z symulacji postlayout dominujące ograniczenia pochodzą z kolei od zniekształceń harmonicznych.

W tabeli 4.8 przedstawione zostały zbiorczo najważniejsze parametry pracy zaprojektowanego przetwornika.

Podsumowanie

W niniejszej pracy zaprezentowany został projekt przetwornika analogowo-cyfrowego wykonanego w zaawansowanej technologii SOI CMOS. Główną motywacją było zaprojektowanie układu służącego do konwersji danych z elektroniki odczytu detektora pikselowego, który projektowany był równolegle do układu opisanego w tej pracy przez grupę z WFIS AGH oraz IFJ PAN.

Charakterystyczną cechą technologii SOI jest obecność warstwy izolatora pomiędzy epitaksjalną warstwą krzemu, na której implementowana jest elektronika, a waflowym bazowym. Takie rozwiązanie umożliwia projektowanie matrycy sensorów i elektroniki odczytu na jednym wafle krzemowym. Poza tym SOI CMOS zapewnia szereg ulepszeń względem standardowej technologii CMOS, które zostały pokrótce scharakteryzowane w tej pracy. Do wspomnianych zalet należą głównie redukcja pojemności pasożytniczych i prądów upływu, co z kolei prowadzi do zwiększenia szybkości pracy układów przy jednoczesnym zmniejszeniu poboru mocy.

W niniejszej pracy przedstawiony został projekt 10-bitowego przetwornika ADC pracującego w trybie sukcesywnej aproksymacji. Architektura ADC jest w pełni różnicowa, w celu uniezależnienia się od zniekształceń wspólnych. Klucz próbkujący został zaprojektowany w oparciu o technikę *bootstrappingu*, aby zwiększyć liniowość pracy przetwornika. Cyfrowa logika sterująca pracuje w trybie asynchronicznym i złożona została z bramek i elementów statycznych. Szczególna uwaga podczas projektowania logiki została poświęcona wyeliminowaniu zjawiska drżenia zegara zewnętrznego.

Zaprojektowany przetwornik ADC pracuje z maksymalną częstotliwością próbkowania 20 MHz przed ekstrakcją i 10 MHz po wyekstrahowaniu pojemności pasożytniczych. Przybliżony pobór mocy to około 900 μ W przy napięciu zasilania 1.8 V i maksymalnej częstotliwości próbkowania (dla symulacji przed layout-em). ADC charakteryzuje się dobrymi parametrami dynamicznymi. ENOB został wyznaczony na 9.80 oraz 9.28 (HSPICE, N=128) odpowiednio w symulacjach standardowych i postlayout-owych.

Podsumowując, zaprojektowany został 10-bitowy przetwornik ADC w architekturze sukcesywnej aproksymacji w technologii Lapis 200 nm *Low-Leakage Fully-Depleted* SOI CMOS. Następnie zaprojektowane zostały dla niego maski technologiczne. Kończącym etapem projektu było przeprowadzenie symulacji przed i po ekstrakcji oraz wyznaczenie na ich podstawie parametrów dynamicznych przetwornika. Zaprojektowany układ został w styczniu 2014 roku wysłany do produkcji. Zatem cel pracy został w pełni zrealizowany. Następnym krokiem związanym z przedstawionym projektem, jest przeprowadzenie symulacji postlayoutowych parametrów statycznych oraz dynamicznych dla większej ilości punktów pomiarowych. Do tej pory nie zostało to wykonane ze względu na ograniczenia czasowe i stosunkowo długie czasy pojedynczych symulacji oraz problemy ze zbieżnością. Ostatnim planowanym krokiem są pomiary rzeczywistego układu po jego wyprodukowaniu oraz porównanie otrzymanych wyników z wartościami z symulacji.

Dodatek A

Konwencjonalna metoda przełączania pojemności - straty energii

W tym dodatku przedstawiona została metoda obliczania strat energii dla przełączania potencjałów do pojemności w matrycy przetworników DAC. Obliczenia przeprowadzone zostały dla metody konwencjonalnej. Straty energii wyznaczone zostały w oparciu o zależność A.1, wyprowadzoną w rozdziale 4.

$$E_{D_{N-1}\dots}^{a\rightarrow b} = -V_s C_x (V_{C_x}[b] - V_{C_x}[a]) \quad (\text{A.1})$$

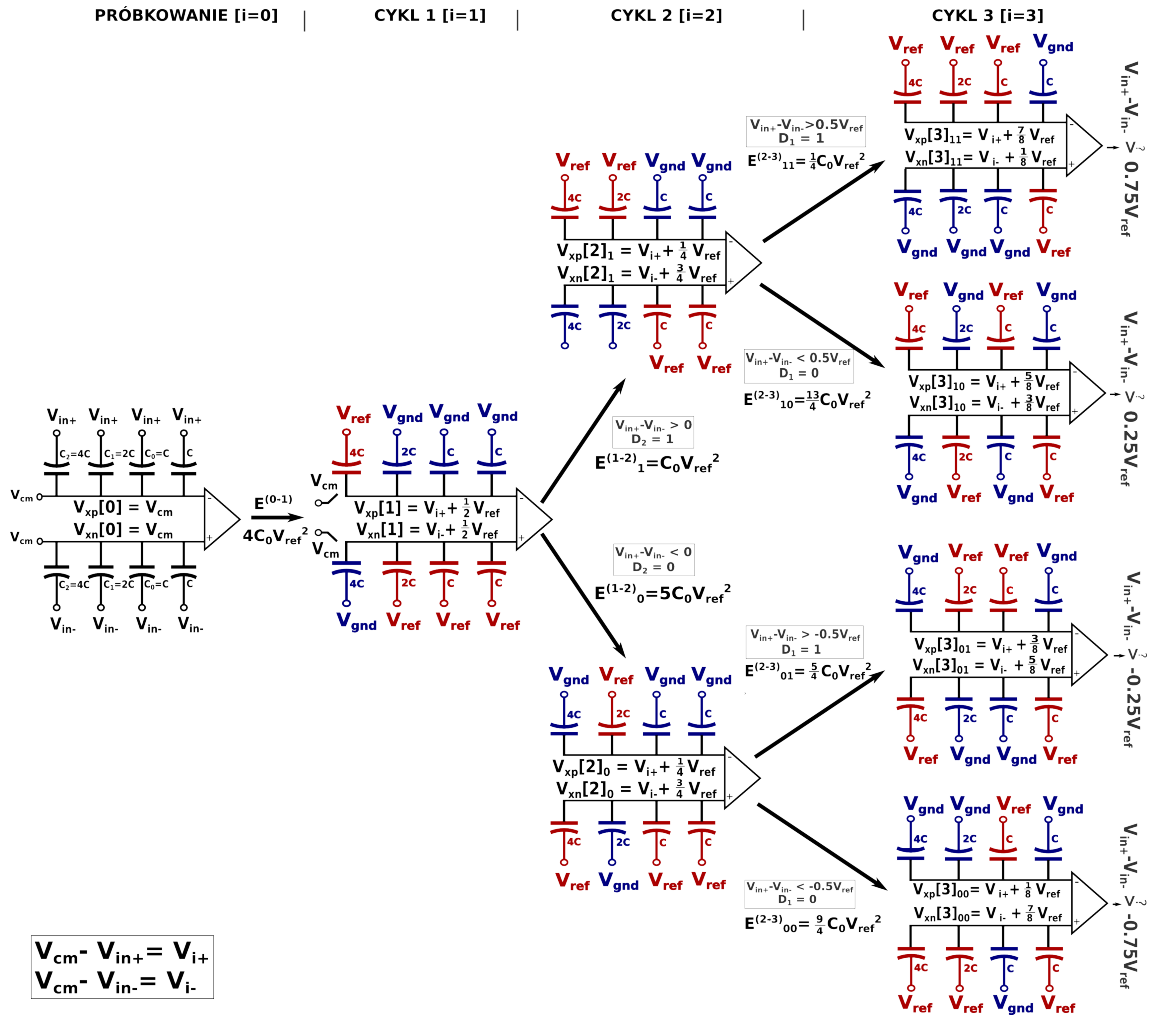
$E_{D_{N-1}\dots}^{a\rightarrow b}$ określa energię pobraną ze źródła o potencjale V_s podczas przełączenia potencjałów pojemności C_x , przy czym po przełączeniu napięcie odłożone na C_x wnosi $V_{C_x}[b]$, natomiast przed $V_{C_x}[a]$. Energia ta jest inna dla różnych konfiguracji bitów, stąd indeks dolny oznacza wartości poprzednio ustalonych bitów D_{N-1}, D_{N-2}, \dots . W pierwszym kroku wyznaczymy energię $E^{0\rightarrow 1}$ pobraną ze źródła V_{ref} .

$${}^{0\rightarrow 1} = {}^{pDAC} E^{0\rightarrow 1} + {}^{nDAC} E^{0\rightarrow 1} \quad (\text{A.2})$$

$${}^{pDAC} E^{0\rightarrow 1} = -V_{ref} 4C (V_{xp}[1] - V_{ref}) - (V_{xp}[0] - V_{in+}) \quad (\text{A.3})$$

$${}^{nDAC} E^{0\rightarrow 1} = -V_{ref} (2C + C + C) ((V_{xn}[1] - V_{ref}) - (V_{xn}[0] - V_{in-})) \quad (\text{A.4})$$

W czasie próbkowania potencjał na V_x jest ustalony i równy $V_{xp}[0] = V_{xn}[0] = V_{cm}$. W dowolnej innej fazie napięcie na tym węźle można wyznaczyć z zasady zachowania ładunku



RYSUNEK A.1: Schemat przełączania potencjałów do pojemności w metodzie konwencjonalnej na przykładzie 3-bitowego DAC-a..

w sposób następujący:

$$p^{DAC}Q[0] = 8C(V_{cm} - V_{in+}) \quad (A.5)$$

$$p^{DAC}Q[1] = 4C(V_{xp}[1] - V_{ref}) + 4CV_{xp}[1] = 8CV_{xp}[1] - 4CV_{ref} \quad (A.6)$$

$$p^{DAC}Q[0] = p^{DAC}Q[1] \quad (A.7)$$

$$V_{xp}[1] = V_{cm} - V_{in+} + \frac{1}{2}V_{ref} = V_{i+} + \frac{1}{2}V_{ref} \quad (A.8)$$

Wyrażenie $V_{cm} - V_{in+/-}$ będzie pojawiało się prowadzonych rachunkach często, stąd zostało oznaczone skrótowo jako $V_{i+/-}$. W tym wypadku analiza dla matrycy nDAC jest analogiczna.

$$V_{xn}[1] = V_{cm} - V_{in-} + \frac{1}{2}V_{ref} = V_{i-} + \frac{1}{2}V_{ref} \quad (A.9)$$

Podstawiając wyniki A.8 i A.9 do wzorów A.2 otrzymujemy:

$${}^{pDAC} E^{0 \rightarrow 1} = -4CV_{ref}(V_{i+} - \frac{1}{2}V_{ref} - V_{cm} + V_{in+}) = 2CV_{ref}^2 \quad (A.10)$$

$${}^{nDAC} E^{0 \rightarrow 1} = -4CV_{ref}(V_{i-} - \frac{1}{2}V_{ref} - V_{xn}[0] + V_{in-}) = 2CV_{ref}^2 \quad (A.11)$$

$$E^{0 \rightarrow 1} = 4CV_{ref}^2 \quad (A.12)$$

Komparator ustala znak wyrażenia $V_{xp}[1] - V_{xn}[1]$, co zasadniczo sprowadza się do sprawdzenia warunku:

$$V_{in+} - V_{in-} > 0 \quad (A.13)$$

Niżej wyznaczone zostały wartości napięć na potencjałach V_{xp} i V_{xn} , będące podstawą następujących obliczeń.

$$V_{xp}[2]_1 = V_{i+} + \frac{3}{4}V_{ref} \quad (A.14) \quad V_{xp}[3]_{10} = V_{i+} + \frac{5}{8}V_{ref} \quad (A.20)$$

$$V_{xn}[2]_1 = V_{i-} + \frac{1}{4}V_{ref} \quad (A.15) \quad V_{xn}[3]_{10} = V_{i-} + \frac{3}{8}V_{ref} \quad (A.21)$$

$$V_{xp}[2]_0 = V_{i+} + \frac{1}{4}V_{ref} \quad (A.16) \quad V_{xp}[3]_{01} = V_{i+} + \frac{3}{8}V_{ref} \quad (A.22)$$

$$V_{xn}[2]_0 = V_{i-} + \frac{3}{4}V_{ref} \quad (A.17) \quad V_{xn}[3]_{01} = V_{i-} + \frac{5}{8}V_{ref} \quad (A.23)$$

$$V_{xp}[3]_{11} = V_{i+} + \frac{7}{8}V_{ref} \quad (A.18) \quad V_{xp}[3]_{00} = V_{i+} + \frac{1}{8}V_{ref} \quad (A.24)$$

$$V_{xn}[3]_{11} = V_{i-} + \frac{1}{8}V_{ref} \quad (A.19) \quad V_{xn}[3]_{00} = V_{i-} + \frac{7}{8}V_{ref} \quad (A.25)$$

$$\begin{aligned} {}^{pDAC} E_1^{1 \rightarrow 2} &= -4CV_{ref}((V_{xp}[2]_1 - V_{ref}) - (V_{xp}[1] - V_{ref})) + \quad (A.26) \\ &\quad - 2CV_{ref}((V_{xp}[2]_1 - V_{ref}) - (V_{xp}[1] - V_{gnd})) = \\ &= -4CV_{ref} \cdot \frac{1}{4}V_{ref} - 2CV_{ref} \cdot (-\frac{3}{4}V_{ref}) = \frac{1}{2}CV_{ref}^2 \end{aligned}$$

$$\begin{aligned} {}^{nDAC} E_1^{1 \rightarrow 2} &= -2CV_{ref}((V_{xn}[2]_1 - V_{ref}) - (V_{xn}[1] - V_{ref})) = \quad (A.27) \\ &= -2CV_{ref} \cdot (-\frac{1}{4}V_{ref}) = \frac{1}{2}CV_{ref}^2 \end{aligned}$$

$$E_1^{1 \rightarrow 2} = CV_{ref}^2 \quad (A.28)$$

$$\begin{aligned}
{}^{pDAC} E_0^{1 \rightarrow 2} &= -2CV_{ref}((V_{xp}[2]_0 - V_{ref}) - (V_{xp}[1] - V_{gnd})) = & (A.29) \\
&= -2CV_{ref} \cdot \left(-\frac{5}{4}V_{ref}\right) = \frac{5}{2}CV_{ref}^2
\end{aligned}$$

$$\begin{aligned}
{}^{nDAC} E_0^{1 \rightarrow 2} &= -4CV_{ref}((V_{xn}[2]_0 - V_{ref}) - (V_{xn}[1] - V_{gnd})) + & (A.30) \\
&- 2CV_{ref}((V_{xn}[2]_0 - V_{ref}) - (V_{xn}[1] - V_{ref})) = \\
&= -4CV_{ref} \cdot \left(-\frac{3}{4}V_{ref}\right) - 2CV_{ref} \cdot \frac{1}{4}V_{ref} = \frac{5}{2}CV_{ref}^2
\end{aligned}$$

$$E_0^{1 \rightarrow 2} = 5CV_{ref}^2 \quad (A.31)$$

Pozostałe obliczenia są analogiczne, w związku z czym niżej podane zostały jedynie wyniki końcowe dla przejść $2 \rightarrow 3$.

$$E_{11}^{2 \rightarrow 3} = \frac{1}{4}CV_{ref}^2 \quad (A.32)$$

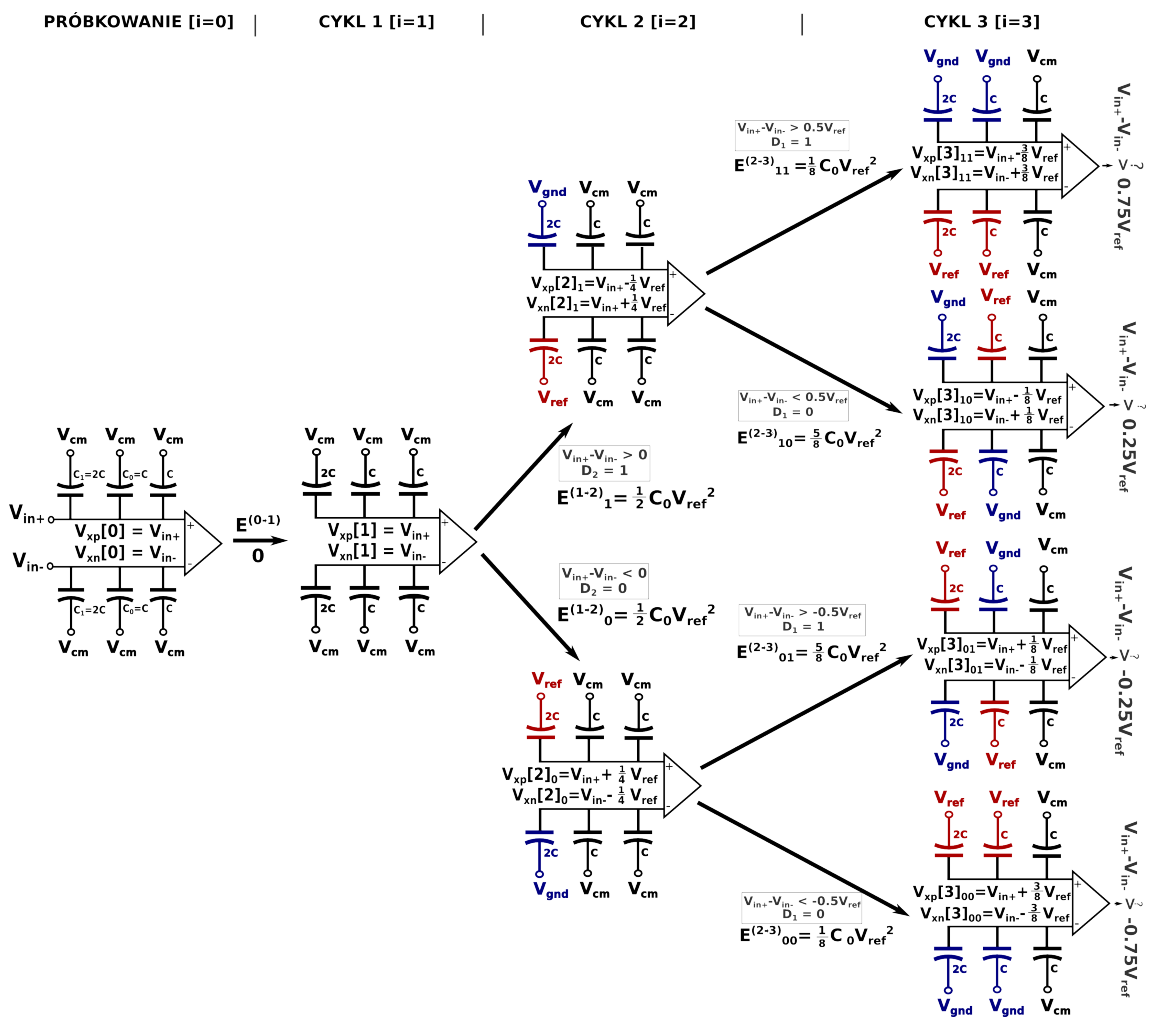
$$E_{01}^{2 \rightarrow 3} = \frac{5}{4}CV_{ref}^2 \quad (A.34)$$

$$E_{10}^{2 \rightarrow 3} = \frac{13}{4}CV_{ref}^2 \quad (A.33)$$

$$E_{00}^{2 \rightarrow 3} = \frac{9}{4}CV_{ref}^2 \quad (A.35)$$

Dodatek B

Merge capacitor switching - straty energii



RYSUNEK B.1: Schemat przełączania potencjałów do pojemności w metodzie MCS na przykładzie 3-bitowego DAC-a.

W następującym załączniku zostaną przedstawione obliczenia strat energii dla 3-bitowego przetwornika DAC przełączanego metodą MCS. Obliczenia wykonane są analogicznie jak w dodatku A z użyciem tych samych zależności i oznaczeń.

Pierwsze przełączenie odbywa się bez straty energii:

$$E^{0 \rightarrow 1} = {}^{pDAC}E^{0 \rightarrow 1} + {}^{nDAC}E^{0 \rightarrow 1} = 0 \quad (\text{B.1})$$

Z zasady zachowania ładunku wyznaczone są potencjały na węzłach V_{xp} i V_{xn} w kolejnych cyklach.

$${}^{pDAC}Q[1] = 4C(V_{in+} - V_{cm}) \quad (\text{B.2})$$

$${}^{pDAC}Q[2]_1 = 2V(V_{xp}[2]_1 - V_{gnd}) + 2C(V_{xp}[2]_1 - \frac{1}{2}V_{ref}) \quad (\text{B.3})$$

$${}^{pDAC}Q[1] = {}^{pDAC}Q[2]_1 \quad (\text{B.4})$$

$$V_{xp}[2]_1 = V_{in+} - \frac{1}{4}V_{ref} \quad (\text{B.5})$$

Ze względu na symetryczność układu rachunki dla $V_{xn}[2]_0$ są takie same z dokładnością do znaku V_{in} :

$$V_{xn}[2]_0 = V_{in-} - \frac{1}{4}V_{ref} \quad (\text{B.6})$$

Obliczenia dla kolejnych węzłów V_{xp} i V_{xn} są analogiczne jak dla B.5, stąd niżej podane zostały końcowe wyniki.

$$V_{xp}[2]_1 = V_{in+} - \frac{1}{4}V_{ref} \quad (\text{B.7}) \quad V_{xp}[3]_{10} = V_{in+} - \frac{1}{8}V_{ref} \quad (\text{B.13})$$

$$V_{xn}[2]_1 = V_{in-} + \frac{1}{4}V_{ref} \quad (\text{B.8}) \quad V_{xn}[3]_{10} = V_{in-} + \frac{5}{8}V_{ref} \quad (\text{B.14})$$

$$V_{xp}[2]_0 = V_{in+} + \frac{1}{4}V_{ref} \quad (\text{B.9}) \quad V_{xp}[3]_{01} = V_{in+} + \frac{1}{8}V_{ref} \quad (\text{B.15})$$

$$V_{xn}[2]_0 = V_{in-} - \frac{1}{4}V_{ref} \quad (\text{B.10}) \quad V_{xn}[3]_{01} = V_{in-} - \frac{1}{8}V_{ref} \quad (\text{B.16})$$

$$V_{xp}[3]_{11} = V_{in+} - \frac{3}{8}V_{ref} \quad (\text{B.11}) \quad V_{xp}[3]_{00} = V_{in+} + \frac{3}{8}V_{ref} \quad (\text{B.17})$$

$$V_{xn}[3]_{11} = V_{in-} + \frac{3}{8}V_{ref} \quad (\text{B.12}) \quad V_{xn}[3]_{00} = V_{in-} - \frac{3}{8}V_{ref} \quad (\text{B.18})$$

Ze względu na symetryczność układu energia pobrana z V_{ref} jest taka sama w następujących przypadkach:

$$E_1^{1 \rightarrow 2} = E_0^{1 \rightarrow 2} \quad E_{11}^{2 \rightarrow 3} = E_{00}^{2 \rightarrow 3} \quad E_{10}^{2 \rightarrow 3} = E_{01}^{2 \rightarrow 3}$$

$${}^{pDAC}E_1^{1 \rightarrow 2} = 0 \quad (\text{B.19})$$

$$\begin{aligned} {}^{nDAC}E_1^{1 \rightarrow 2} &= -2CV_{ref}(V_{xn}[2]_1 - V_{ref} - V - xn_1 + V_{cm}) = \\ &= -2CV_{ref}(V_{in-} + \frac{1}{4}V_{ref} - V_{ref} - V_{in-} + V_{cm}) = \frac{1}{2}CV_{ref}^2 \end{aligned} \quad (\text{B.20})$$

$$E_1^{1 \rightarrow 2} = \frac{1}{2}CV_{ref}^2 \quad (\text{B.21})$$

W przypadku metody MCS znaczące jest też pokazanie, iż średnia energia pobrana ze źródła V_{cm} jest równa zero. Niżej przedstawione zostały obliczenia dla ${}^{vcm}E_1^{1 \rightarrow 2}$, których wyników znów ze względu na symetryczność jest taki sam jak dla ${}^{vcm}E_0^{1 \rightarrow 2}$.

$$\begin{aligned} {}^{pDAC}_{vcm}E_1^{1 \rightarrow 2} &= -2CV_{cm}(V_{xp}[2]_1 - V_{cm} - V_{xp}[1] + V_{cm}) = \\ &= -2CV_{cm}(V_{in+} - \frac{1}{4}V_{ref} - V_{in+}) = CV_{cm}^2 \end{aligned} \quad (\text{B.22})$$

$$\begin{aligned} {}^{nDAC}_{vcm}E_1^{1 \rightarrow 2} &= -2CV_{cm}(V_{xn}[2]_1 - V_{cm} - V_{xn}[1] + V_{cm}) = \\ &= -2CV_{cm}(V_{in-} + \frac{1}{4}V_{ref} - V_{in-}) = -CV_{cm}^2 \end{aligned} \quad (\text{B.23})$$

$${}^{vcm}E_1^{1 \rightarrow 2} = 0 \quad (\text{B.24})$$

Energia pobrana ze źródła V_{cm} w nDAC jest zawsze kompensowana przez energię zużytą w pDAC, stąd średnia energia z V_{cm} jest równa 0 w każdym cyklu.

Niżej podane zostały końcowe wyniki strat energii w pozostałych fazach przełączania pojemności, gdyż algorytm liczenia jest taki sam jak w B.24, natomiast niezbędne zależności zostały wyznaczone B.7-B.18.

$$E_{01}^{2 \rightarrow 3} = E_{10}^{2 \rightarrow 3} = \frac{5}{8}CV_{ref}^2 \quad (\text{B.25})$$

$$E_{11}^{2 \rightarrow 3} = E_{00}^{2 \rightarrow 3} = \frac{1}{8}CV_{ref}^2 \quad (\text{B.26})$$

Spis rysunków

1.1	MOSFET w standardowym CMOS i SOI CMOS	4
1.2	Proces technologiczny SIMOX.	6
1.3	Metody produkcji struktur SOI.	7
1.4	Porównanie struktur PD-SOI i FD-SOI.	8
1.5	Efekt pływającego podłoża.	8
1.6	Potencjały w obszarze źródło-dren w różnych strukturach SOI [7].	9
1.7	Efekt <i>latch-up</i>	10
1.8	Złącze p-n.	11
1.9	Dioda jako detektor promieniowania jonizującego.	11
1.10	Struktura SOI jako detektor pikselowy.	13
1.11	Struktura Double SOI.	13
2.1	Podstawowe podbloki przetworników ADC.	15
2.2	Funkcja gęstości prawdopodobieństwa błędu kwantyzacji.	16
2.3	Funkcje przenoszenia dla 3-bitowego ADC.	18
2.4	Statyczne błędy przetworników ADC.	20
2.5	Błąd skalowania.	21
2.6	Statyczne błędy przetworników ADC.	21
2.7	Przykładowe widmo DFT.	23
2.8	Podwójnie całkujący przetwornik ADC.	25
2.9	Potokowy przetwornik ADC.	25
2.10	Równoległy przetwornik ADC.	26
3.1	4-bitowe SAR ADC z osobnym układem S/H.	28
3.2	Ogólny algorytm pracy przetworników SAR ADC.	29
3.3	4-bitowe SAR ADC z redystrybucją ładunku.	30
3.4	4-bitowe różnicowe SAR ADC.	31
3.5	Różne metody próbkowania sygnału.	32
3.6	Zjawisko aliasingu.	33
3.7	Parametry pracy układów próbkująco-pamiętających.	34
3.8	Wpływ efektu drżenia na okres próbkowania.	35
3.9	Efekt drżenia zegara próbkującego a SNR.	35
3.10	Najprostszy układ próbkujący.	36
3.11	nMOS jako klucz próbkujący.	36
3.12	Schemat działania układu <i>bootstrap</i>	37
3.13	Idea pracy komparatora.	38
3.14	Czas propagacji odpowiedzi komparatora.	39
3.15	Offset stopnia wejściowego komparatora.	40

3.16	Podstawowe architektury komparatorów.	41
3.17	Schemat N-bitowego przetwornika cyfrowo-analogowego.	42
3.18	Schemat układu próbkującego z uwzględnieniem szumów termicznych.	43
3.19	Schemat dzielonego cDAC-a.	44
3.20	Konwencjonalna metoda przełączania pojemności.	46
3.21	2-krokowa metoda przełączania pojemności.	48
3.22	Metoda podziału ładunku.	49
3.23	Metoda podziału pojemności.	49
3.24	Monotoniczna metoda przełączania pojemności.	51
3.25	Metoda MCS.	52
3.26	Schemat przełączania pojemności w EMCS.	53
3.27	Metoda monotoniczna bazująca na V_{cm}	54
3.28	Schemat przełączania pojemności w metodzie hybrydowej.	57
3.29	Inwerter.	59
3.30	Ciąg inwerterów.	59
3.31	Przerzutnik typu D.	61
3.32	Przebiegi czasowe dla przerzutników.	62
4.1	Schemat zaprojektowanego przetwornika SAR ADC.	63
4.2	Schemat układu próbkującego.	65
4.3	Schemat ideowy poszczególnych stopni komparatora.	66
4.4	Schemat komparatora.	66
4.5	Schemat przetworników DAC.	68
4.6	Układ wyrównywania potencjałów.	69
4.7	Klucze i bufory do pojemności.	69
4.8	Uproszczony schemat cyfrowej logiki sterującej.	70
4.9	Rejestr danych.	70
4.10	Podstawowa jednostka rejestru danych.	71
4.11	Przebieg sygnałów dla rejestru głównego.	73
4.12	Uproszczony schemat układu kontroli komparatora.	74
4.13	Przebieg sygnałów dla układu kontroli komparatora.	74
4.14	Schemat układu kontroli kluczy.	75
4.15	Uproszczony schemat układu generującego reset.	76
4.16	Przebieg sygnałów dla układu generującego reset.	76
4.17	Layout ADC.	77
4.18	Layout komparatora.	77
4.19	Layout logiki sterującej.	78
4.20	Layout buforów i klucz do pojemności.	78
4.21	Rozmieszczenia pojemności w DAC-ach.	79
4.22	Layout matrycy DAC-ów.	79
4.23	Symulacja działania zaprojektowanego przetwornika.	80
4.24	Przykładowe widmo częstotliwościowo-amplitudowe.	81
A.1	Konwencjonalna metoda przełączania pojemności.	86
B.1	MCS.	89

Spis tabel

3.1	Napięcia referencyjne w metodzie V_{cm} -monotonicznej.	55
3.2	Sposób przełączenia pojemności w 1 cyklu w metodzie hybrydowej.	56
3.3	Sposób przełączenia pojemności w 2 cyklu w metodzie hybrydowej.	56
3.4	Tabela prawdy dla przerzutnika typu D.	61
3.5	Tabela prawdy dla przerzutnika typu D z resetem.	61
4.1	Bity konfiguracyjne dla wejść przetworników w rejestrze głównym.	71
4.2	Tabela stanów dla rejestru głównego.	72
4.3	Bity konfiguracyjne dla opóźnienia sygnału <i>active</i>	74
4.4	Tabela stanów dla układu kontroli kluczy.	75
4.5	Parametry dynamiczne dla symulacji przed layout-tem.	81
4.6	Parametry dynamiczne dla symulacji z częściowym ekstraktem.	81
4.7	Parametry dynamiczne dla symulacji z HSPICE	81
4.8	Parametry pracy zaprojektowanego 10-bitowego SAR ADC.	82

Bibliografia

- [1] Buvat I. Grupen C. *Handbook of Particle Detection and Imaging*. Springer, 2012. ISBN 978-3-642-13270-4.
- [2] Kuulusa M.-Nurmi J. Simonen P., Heinonen A. Comparison of Bulk and SOI CMOS Technologies in a DSP Processor Circuit Implementation . In *The 13th International Conference on Microelectronics, 2001. ICM 2001 Proceedings*. IEEE Press, 2001.
- [3] Rohrer N. Bernstein K. *SOI Circuit Design Concepts*. Springer, 2000. ISBN 978-0792377627.
- [4] *Silicon-On-Insulator Technology and Devices XI: Proceedings of the International Symposium*, 2003. The Electrochemical Society, Electrochemical Society.
- [5] Douseki T. Sakurai T., Matsuzawa A. *Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications*. Springer, 2006. ISBN 978-0-387-29218-2.
- [6] Lin S.-C. Kuo J. *Low-Voltage SOI CMOS VLSI Devices and Circuits*. Wiley-Interscience, 2001. ISBN 978-0471417774.
- [7] Vandana B. Study of Floating Body Effect in SOI Technology . *International Journal of Modern Engineering Research*, 3(3):1817–1824, 2013.
- [8] Wiącek P. *Analiza i optymalizacja przestrzennej zdolności rozdzielczej pozycjoczułych półprzewodnikowych detektorów promieniowania X* . PhD thesis, Akademia-Górniczno Hutnicza im. S. Staszica, 2006.
- [9] KEK SOI Committee. Detector Technology Project International Review Committee 2013. Technical report, KEK, 2013.
- [10] Boyce D. E. Baker R. J., Li H. W. *CMOS. Circuit Design, Layout and Simulations*. Wiley-IEEE Press, 1997.

-
- [11] Group IEEE. IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters . Technical report, -, 2001.
- [12] Gray P. McCreary J. All-MOS Charge Redistribution Analog-To-Digital Conversion Techniques - Part I. *IEEE Journal of Solid-State Circuits*, SC-10(6), 1975.
- [13] Razavi B. *Principles of Data Conversion System Design*. IEEE Press, New York, 1995.
- [14] Pelgrom M. *Analog-To-Digital Conversion*. Springer, 2010.
- [15] Tang J. Hu R. A novel bootstrapped switch. *Communications and Networks (CEC-Net), 2012 2nd International Conference on Consumer Electronics*, 2012.
- [16] Hedayati R. A Study of Successive Approximation Registers and Implementation of an Ultra-Low Power 10-bit SAR ADC in 65nm CMOS Technology . Master's thesis, Linköping University, 2011.
- [17] Holberg D. Allen P. *CMOS Analog Circuits Design*. Oxford University Press, 2002.
- [18] Nikoozadeh A. i Murmann B. An Analysis of Latch Comparator Offset Due to Load Capacitor Mismatch . *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(12):1398–1402, 2006.
- [19] Zhang D. *Design of Ultra-Low-Power Analog-to-Digital Converters*. PhD thesis, Linköping University, 2012.
- [20] Chandrakasan A.P. Ginsburg B.P. An energy-efficient charge recycling approach for a SAR converter with capacitive DAC . *IEEE International Symposium on Circuits and Systems*, 1:184–187, 2005.
- [21] Huang G.-Y.-Lin Y.-Z. Liu Ch.-Ch., Chang S.-J. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure . *IEEE Journal of Solid-State Circuits*, 45(4):731–740, 2010.
- [22] Lee S.-H. Moon U.-K. Hariprasath V., Guerber J. Merged capacitor switching based SAR ADC with highest switching energy-efficiency . *Electronics Letters*, 46(9):620–621, 2010.
- [23] Zhu Y. i inni. A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS. *IEEE Journal of Solid-State Circuits*, 45(6):1111–1121, 2010.

-
- [24] Rymaszewski P. Development of 12-bit ADC for particle physics applications using deep-submicron CMOS technology. Master's thesis, Akademia-Górnictwo Hutnicza im. S. Staszica, 2013.
- [25] Moon U.-K. Guerber J., Venkatram H. Enhanced SAR ADC energy efficiency from the early reset merged capacitor switching algorithm. *IEEE International Symposium on Circuits and Systems*, pages 2361–2364, maj 2012.
- [26] Lam Y. Yuan C. Low-energy and area-efficient tri-level switching scheme for SAR ADC. *Electronics Letters*, 48(9):482–483, 2012.
- [27] Song X. Zhu Z., Xiao Y. VCM-based monotonic capacitor switching scheme for SAR ADC. *Electronics Letters*, 49(5):327–329, 2013.
- [28] Sun N. Sanyal A. A very high energy-efficiency switching technique for SAR ADCs. *IEEE 56th International Midwest Symposium on Circuits and Systems*, pages 229–232, 2013.
- [29] Xie L. i inni. Energy-efficient hybrid capacitor switching scheme for SAR ADC. *Electronics Letters*, 50(1):22–23, 2014.
- [30] Waltari M. *Circuits techniques for low-voltage and high-speed A/D converters*. PhD thesis, Helsinki University of Technology, 2002.
- [31] Kim Y.-B. Jeon H. A low-offset high-speed double-tail dual-rail dynamic latched comparator. *ACM Great Lakes Symposium on VLSI*, 2010.
- [32] Kim Y.-B. Jeon H. Offset Voltage Analysis of Dynamic Latched Comparator. *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2011.
- [33] Fucili G. Rosi A. Nonredundant successive approximation register for A/D converters. *Electronics Letters*, 32(12), 1996.