



AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Wydział, Fizyki i Informatyki Stosowanej

PRACA MAGISTERSKA

Sabina Gozdur

kierunek studiów: **fizyka techniczna**

Projekt referencyjnego źródła napięcia w głęboko submikronowej technologii CMOS 130 nm

Opiekun: **prof. dr hab. inż. Marek Idzik**

Kraków, październik 2015

Oświadczam, świadomy(-a) odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracą dyplomową wykonałem(-am) osobiście i samodzielnie i nie korzystałem(-am) ze źródeł, innych niż wymienione w pracy.

.....
(czytelny podpis)

Kraków, 24.10.2015

**Tematyka pracy magisterskiej i praktyki dyplomowej Sabiny Gozdur,
studentki II roku studiów magisterskich kierunku fizyka techniczna**

Temat pracy magisterskiej: **Projekt referencyjnego źródła napięcia w głęboko
submikronowej technologii CMOS 130 nm**

Opiekun pracy: prof. dr hab. inż. Marek Idzik

Recenzenci pracy:

Miejsce praktyki dyplomowej: WFiIS AGH, Kraków; CERN Genewa, Szwajcaria

Program pracy magisterskiej i praktyki dyplomowej

1. Omówienie realizacji pracy magisterskiej z opiekunem.
2. Zebranie i opracowanie literatury dotyczącej tematu pracy.
3. Praktyka dyplomowa:
 - zapoznanie się z ideą projektowania źródeł referencyjnych,
 - projekt układów i ich symulacje,
 - sporządzenie masek technologicznych i wysłanie układów do produkcji,
 - sporządzenie raportu z praktyki.
4. Kontynuacja projektów związanych z tematem pracy magisterskiej.
5. Zebranie i opracowanie wyników symulacji i pomiarów układów źródeł referencyjnych.
6. Analiza wyników symulacji oraz pomiarów, ich omówienie i zatwierdzenie przez opiekuna.
7. Opracowanie redakcyjne pracy.

Termin oddania w dziekanacie: 24.10.2015

.....
(podpis kierownika katedry)

.....
(podpis opiekuna)

Recenzja Opiekuna

Recenzja Recenzenta

*Bardzo serdecznie dziękuję Promotorowi
prof. dr hab. inż. Markowi Idzikowi,
za poświęcony czas i cenne uwagi
dotyczące projektu oraz opracowania redakcyjnego pracy.*

*Pragnę również podziękować Pani
mgr inż. Marice Kuczyńskiej,
za życzliwą pomoc podczas realizacji projektu.*

Spis treści

Wstęp	15
1 Teoretyczne aspekty źródła referencyjnego	17
1.1 Współczynnik temperaturowy źródła referencyjnego i jego kompensacja	17
1.1.1 Ujemny współczynnik temperaturowy	18
1.1.2 Dodatni współczynnik temperaturowy	20
1.2 Idea działania klasycznego źródła typu bandgap	22
1.3 Źródło napięcia referencyjnego generujące napięcie poniżej 1V	24
1.3.1 Układ z wyjściem referencyjnym	24
1.3.2 Układ z wyjściem referencyjnym i temperaturowym	26
1.4 Diody w źródle referencyjnym	28
2 Projekt źródła referencyjnego	33
2.1 Założenia projektowe	33
2.2 Realizacja układu	33
2.2.1 Układ z wyjściem referencyjnym	34
2.2.2 Układ z wyjściem referencyjnym i temperaturowym	36
2.3 Symulacje źródeł referencyjnych	39
2.3.1 Symulacje napięcia referencyjnego względem temperatury	39
2.3.2 Symulacje napięcia referencyjnego względem napięcia zasilania	43
2.3.3 Symulacje wyjścia temperaturowego względem temperatury	44
2.3.4 Symulacje wyjścia temperaturowego względem napięcia zasilania	45
2.3.5 Symulacje PSRR	46
2.3.6 Symulacje stabilności pracy źródła referencyjnego	48
2.3.7 Symulacje Monte Carlo	50
2.3.8 Symulacje brzegowe	57
2.3.9 Pobór mocy źródła referencyjnego	64
2.4 Projekt masek technologicznych	64

3	Pomiary źródła referencyjnego	67
3.1	Budowa układu pomiarowego	67
3.2	Pomiary źródła referencyjnego	68
3.2.1	Pomiary napięcia referencyjnego względem temperatury	68
3.2.2	Pomiary napięcia referencyjnego względem napięcia zasilania	72
3.2.3	Pomiary wyjścia temperaturowego względem temperatury	75
3.2.4	Pomiary wyjścia temperaturowego względem napięcia zasilania	77
3.2.5	Pobór mocy źródła referencyjnego	79
	Podsumowanie	81
	Bibliografia	84
	Spis rysunków	89
	Spis tablic	92

Wstęp

Stabilne źródła napięcia referencyjnego są powszechnie stosowanym blokiem w wielu analogowych i cyfrowych układach scalonych, m.in. przetwornikach cyfrowo-analogowych, przetwornikach analogowo-cyfrowych, komparatorach, itd. Są to układy, które generują wyjściowe napięcie prawie niezależne od zmian temperatury pracy, wahań napięcia zasilania oraz rozrzutów procesu produkcyjnego. Źródła napięcia odniesienia powinny być niezależne od pozostałej części układu tak, aby po włączeniu zasilania móc dostarczać wzorcowe napięcie do innych bloków układu scalonego.

Celem niniejszej pracy magisterskiej było zaprojektowanie, wykonanie i przetestowanie referencyjnego źródła napięcia typu „bandgap” generującego napięcie poniżej 1 V, w głęboko submikronowej technologii CMOS¹ 130 nm. Projekt został wykonany przy użyciu pakietu Cadence², a następnie układ wysłany został do produkcji.

Rozdział pierwszy opisuje teoretyczne aspekty źródeł referencyjnych. Wyjaśniono w nim w jaki sposób otrzymywane jest standardowe napięcie odniesienia - na drodze kompensacji napięć dwóch elementów: sensora temperatury oraz złącza p-n, charakteryzującego się ujemnym współczynnikiem temperaturowym. To połączenie pozwala na realizację klasycznego modelu, generującego napięcie około 1,2 V. Bazując na nim, możliwe jest uzyskanie napięcia referencyjnego poniżej 1 V, na przykład poprzez zastosowanie techniki dzielenia rezystancji³. Taki układ zaproponował Banba [1]. To właśnie na jego architekturze opierają się projektowane źródła. W tej części omówiono również zastosowane do realizacji projektu diody (czyli elementy zbudowane ze złącz p-n), jako element najważniejszy i najbardziej czuły w całym układzie.

¹CMOS (*ang. Complementary Metal Oxide Semiconductor*) - technologia wytwarzania układów scalonych składających się z tranzystorów MOS o przeciwnym typie przewodnictwa.

²Cadence - pakiet firmy *Cadence Design Systems*, oprogramowanie do modelowania oraz symulacji elektronicznych układów scalonych, zarówno analogowych, jak i cyfrowych.

³Technika dzielenia rezystancji - technika skalująca wyjściowe napięcie referencyjne z wykorzystaniem stosunku odpowiednich rezystancji.

W rozdziale drugim opisano realizację praktyczną pięciu źródeł referencyjnych. W pierwszej części zawarto schematy projektowanych źródeł: układów posiadających tylko wyjście referencyjne oraz obwodów z dodatkowym wyjściem temperaturowym. Dodatkowo, przedstawiono realizację źródła z pięcioma wyjściami referencyjnymi, stworzonego po to, aby po procesie produkcji możliwe było wybranie wyjścia z najlepszymi rezultatami. Następnie przedstawiono szereg symulacji projektowanych źródeł, m.in. symulacje napięcia referencyjnego względem temperatury i napięcia zasilania czy symulacje wyjścia temperaturowego względem temperatury i napięcia zasilania. Zaprezentowano również symulacje uwzględniające rozrzuty elementów w czasie produkcji: *Monte Carlo* oraz symulacje brzegowe. Na koniec części projektowej pokazano i opisano projekt masek technologicznych.

Rozdział trzeci został poświęcony testom prototypowych układów. Przedmiotem badań były cztery układy scalone, po dwa z każdego rodzaju. Dwa z nich oznaczone zostały jako ASIC I (*ang. Application Specific Integrated Circuit*) i zawierały układ z pięcioma wyjściami referencyjnymi. Natomiast pozostałe dwa, oznaczone jako ASIC II, zawierały pozostałe cztery układy. Następnie przedstawiono wyniki pomiarów napięcia referencyjnego i temperaturowego względem temperatury i napięcia zasilania dla wszystkich zaprojektowanych źródeł.

Praca zakończona jest posumowaniem, w którym zebrano i porównano wyniki symulacyjne z uzyskanymi wartościami mierzonymi oraz pokazano w jaki sposób zrealizowano cel pracy.

Rozdział 1

Teoretyczne aspekty źródła referencyjnego

Źródła napięcia referencyjnego, niezbędne we współczesnych systemach mikroelektroniki, generują wyjściowe napięcie V_{ref} , które wykazuje małą zależność temperaturową względem napięcia zasilania oraz rozrzutów procesów produkcyjnych [2][3]. Oznacza to, że idealne źródło odniesienia jest niezależne od podanych czynników. Większość powszechnie stosowanych wzorców napięcia referencyjnego wykorzystuje rozwiązanie nazywane źródłem typu „bandgap”. Takie układy łączą w sobie właściwości źródeł PTAT¹ oraz CTAT². Jeśli wyjściowe napięcie V_{ref} danego źródła zwiększa się liniowo wraz ze wzrostem temperatury to mówimy, że źródło jest typu PTAT. W przypadku, gdy napięcie V_{ref} zmniejsza się liniowo wraz ze wzrostem temperatury, mamy wtedy do czynienia ze źródłem typu CTAT. Standardowe układy typu „bandgap”, poprzez odpowiednie skalowanie składników napięcia proporcjonalnego i komplementarnego do temperatury, pozwalają na uzyskanie wyjściowego napięcia referencyjnego V_{ref} niezależnego od temperatury.

1.1 Współczynnik temperaturowy źródła referencyjnego i jego kompensacja

Wiele elementów wykorzystywanych przy projektowaniu i produkcji układów elektronicznych wykazuje mniejszą lub większą zależność od temperatury. W przypadku źródeł referencyjnych, aby określić ich temperaturową stabilność posługujemy się parametrem nazywanym współczynnikiem temperaturowym [3]. Określa on wielkość zmian napięcia odniesienia w zakresie temperatur pracy układu i dany jest wzorem:

$$TC = \left. \frac{\partial V_{ref}}{\partial T} \right|_{T=T_{ref}} \quad (1.1)$$

¹PTAT (*ang. Proportional To Absolute Temperature*) - napięcie odniesienia proporcjonalne do temperatury bezwzględnej, gdy napięcie zwiększa się liniowo wraz ze wzrostem temperatury.

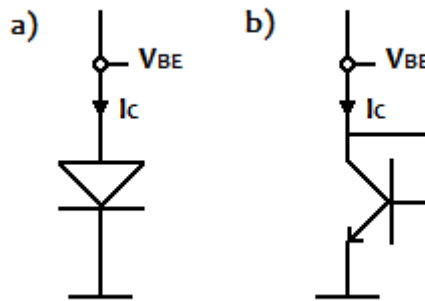
²CTAT (*ang. Complementary To Absolute Temperature*) - napięcie odniesienia komplementarne do temperatury bezwzględnej, gdy napięcie maleje liniowo wraz ze wzrostem temperatury.

gdzie T_{ref} jest temperaturą nominalną, zwykle $27^{\circ}C$ ($300 K$).

Chcąc uzyskać temperaturową niezależność źródła należy dobrać dwie wielkości o przeciwnych typach współczynników temperaturowych tak, by na drodze sumowania się wyzerowały.

1.1.1 Ujemny współczynnik temperaturowy

Elementem posiadającym stały, w miarę stabilny współczynnik temperaturowy ujemnego znaku jest złącze p-n, nazywane często potocznie diodą. Jej zastosowanie pozwala w łatwy sposób na otrzymanie ujemnego współczynnika temperaturowego [3]. W realizacjach układów wykorzystujących diody najczęściej używa się tranzystorów w konfiguracji diodowej. Na rysunku 1.1 przedstawiono symbol diody oraz tranzystor bipolarny w konfiguracji diodowej.



Rysunek 1.1: a) symbol diody b) tranzystor bipolarny npn w konfiguracji diody.

Prąd płynący przez diodę wyraża się wzorem:

$$I_C = I_S \exp\left[\frac{V_{BE}}{\eta V_T}\right] \quad (1.2)$$

gdzie:

I_C - prąd kolektora,

I_S - prąd nasycenia,

V_{BE} - napięcie na diodzie (napięcie baza – emiter tranzystora bipolarnego, typowo $750 mV$),

$V_T = \frac{kT}{q}$ - napięcie termiczne (dla $300 K$ wynosi $26 mV$),

η - wynosi 1, gdy w diodzie dominują prądy dyfuzji.

Uwzględniając dominację prądów dyfuzji w diodzie, wyrażenie opisujące prąd przyjmuje postać:

$$I_C = I_S \exp\left[\frac{V_{BE}}{V_T}\right] \quad (1.3)$$

Prąd nasycenia zawarty w równaniu (1.3) wynosi:

$$I_S = \mu k T n_i^2 \quad (1.4)$$

gdzie:

μ - ruchliwość nośników mniejszościowych,

n_i - gęstość nośników mniejszościowych w półprzewodniku samoistnym.

Zależności z temperaturą dla tych wielkości wynoszą [3]:

$$\mu \sim T^m \quad (1.5)$$

gdzie $m \approx -\frac{3}{2}$

$$n_i^2 \sim T^3 \exp\left[-\frac{E_g}{kT}\right] \quad (1.6)$$

gdzie $E_g \approx 1,12 \text{ eV}$ jest przerwą energetyczną krzemu.

Tak więc:

$$I_S \sim T^{4+m} \exp\left[-\frac{E_g}{kT}\right] \quad (1.7)$$

Przekształcając wyrażenie (1.3) otrzymujemy wzór na napięcie diody:

$$V_{BE} = V_T \ln \frac{I_C}{I_S} = \frac{kT}{q} \ln \frac{I_C}{I_S} \quad (1.8)$$

Wartość współczynnika temperaturowego otrzymujemy obliczając pochodną napięcia po temperaturze:

$$\frac{\partial V_{BE}}{\partial T} = \ln \frac{I_C}{I_S} \cdot \frac{\partial V_T}{\partial T} + \frac{V_T}{I_C} \cdot \frac{\partial I_C}{\partial T} - \frac{V_T}{I_S} \cdot \frac{\partial I_S}{\partial T} \quad (1.9)$$

Wykonując następujące obliczenia otrzymujemy pierwszy człon współczynnika temperaturowego:

$$\ln \frac{I_C}{I_S} \cdot \frac{\partial V_T}{\partial T} = \ln \frac{I_C}{I_S} \cdot \frac{k}{q} = \frac{V_{BE}}{V_T} \cdot \frac{V_T}{T} = \frac{V_{BE}}{T} \quad (1.10)$$

Drugi wyraz znajdujemy zakładając, że prąd płynący przez diodę jest proporcjonalny do temperatury (co zostanie pokazane w następnym podrozdziale):

$$\frac{V_T}{I_C} \cdot \frac{\partial I_C}{\partial T} = \frac{V_T}{T} \quad (1.11)$$

Ostatni człon obliczamy korzystając ze wzoru na ruchliwość nośników mniejszościowych (1.7):

$$\begin{aligned} \frac{V_T}{I_S} \cdot \frac{\partial I_S}{\partial T} &= \frac{V_T}{I_S} \cdot [T^{4+m} \exp\left(-\frac{E_g}{kT}\right) \cdot \frac{E_g}{kT^2} + \exp\left(-\frac{E_g}{kT}\right) \cdot (4+m)T^{3+m}] = \\ &= \frac{V_T}{I_S} \cdot I_S \left(\frac{E_g}{kT^2} + \frac{m+4}{T}\right) = (4+m) \frac{V_T}{T} + \frac{E_g}{kT^2} V_T \end{aligned} \quad (1.12)$$

Ostatecznie, łącząc poszczególne człony współczynnika temperaturowego otrzymane z równań (1.10), (1.11) i (1.12) uzyskujemy:

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE}}{T} + \frac{V_T}{T} - (4+m) \frac{V_T}{T} - \frac{E_g}{kT^2} V_T = \frac{V_{BE} - (3+m)V_T - \frac{E_g}{q}}{T} \quad (1.13)$$

Przyjmując dla temperatury 300 K $V_{BE}=750$ mV:

$$\frac{\partial V_{BE}}{\partial T} \approx -1,5 \frac{mV}{K} \quad (1.14)$$

Otrzymane napięcie na diodzie maleje w przybliżeniu liniowo z nachyleniem $-1,5 \frac{mV}{K}$. Wartość ta jest prawie niezależna od temperatury.

1.1.2 Dodatni współczynnik temperaturowy

W celu uzyskania dodatniego współczynnika temperaturowego można posłużyć się wcześniej wspomnianym układem typu PTAT. Jest on realizowany przy pomocy dwóch diod, które różnią się gęstością płynących przez nie prądów [3]. Prąd drugiej diody jest n razy większy niż pierwszej. Taką możliwość daje nam zaprojektowanie diod identycznych technologicznie, jednak różniących się powierzchnią S tak, że stosunek tych powierzchni dany jest wyrażeniem:

$$\frac{S_1}{S_2} = n \quad (1.15)$$

Obie diody spolaryzowane są w kierunku przewodzenia. Prądy przez nie płynące wynoszą:

$$I_{D1} = I_S \exp\left[\frac{V_1}{V_T}\right] \quad (1.16a)$$

$$I_{D2} = nI_S \exp\left[\frac{V_2}{V_T}\right] \quad (1.16b)$$

Przekształcając wyrażenia (1.16a) i (1.16b) otrzymujemy napięcia na diodach:

$$V_1 = V_T \ln\left[\frac{I_{D1}}{I_S}\right] \quad (1.17a)$$

$$V_2 = V_T \ln\left[\frac{I_{D2}}{nI_S}\right] \quad (1.17b)$$

Różnica napięć (1.17a) i (1.17b) wynosi:

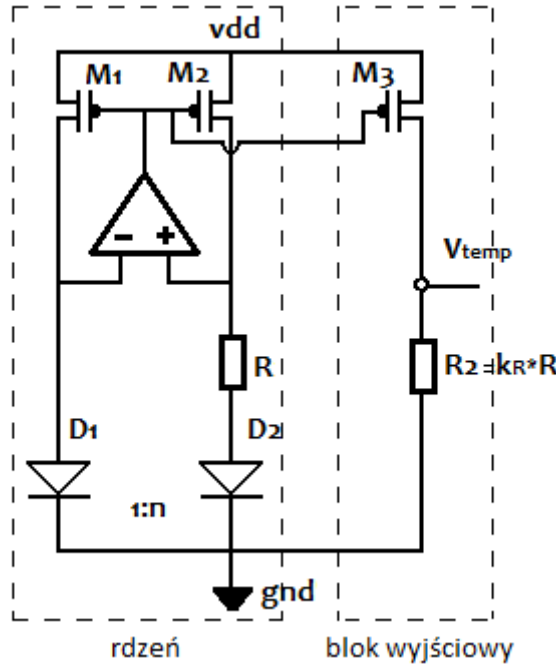
$$\Delta V = V_1 - V_2 = V_T \ln\left[\frac{I_{D1}}{I_{D2}} n\right] \quad (1.18)$$

Dobierając równe prądy diod $I_{D1} = I_{D2}$ otrzymujemy:

$$\Delta V = V_T \ln[n] = \frac{kT}{q} \ln[n] \quad (1.19)$$

Uzyskana różnica napięć zależy od stałej $\frac{k}{q}$, czynnika n oraz temperatury T , więc można stwierdzić, że jest ona wprost proporcjonalna do temperatury absolutnej – czyli uzyskujemy układ typu PTAT.

Układ typu PTAT nazywany jest również sensorem temperatury. Realizujemy go przy pomocy schematu przedstawionego na rysunku 1.2.



Rysunek 1.2: Sensor temperatury.

Sam rdzeń sensora temperatury znajduje się po lewej stronie schematu. Dobierając takie same tranzystory M_1 i M_2 zapewniamy równe prądy płynące w pierwszej i drugiej gałęzi układu. Wykorzystany wzmacniacz operacyjny wyrównuje potencjały na wejściach z dokładnością do napięcia niezrównoważenia V_{OS} . Diody D_1 i D_2 różnią się powierzchnią w stosunku n jak we wzorze (1.15).

Zgodnie ze wzorem (1.19) oraz uwzględniając napięcie niezrównoważenia wzmacniacza operacyjnego na rezystorze R odkłada się różnica napięć na diodach wynosząca:

$$\Delta V = V_T \ln[n] - V_{OS} \quad (1.20)$$

Zatem prąd płynący przez każdą z dwóch gałęzi wyraża się przez:

$$I_D = \frac{\Delta V}{R} = \frac{V_T \ln[n] - V_{OS}}{R} \quad (1.21)$$

Trzecia gałąź, czyli prawa część schematu sensora temperatury jest generatorem prądu I_{PTAT} oraz napięcia V_{temp} . Pełni ona funkcję sensora temperatury. Chcąc uzyskać większy prąd płynący przez tę gałąź należy poszerzyć tranzystor M_3 k_M -krotnie³ względem tranzystora M_2 . Po uwzględnieniu tej zależności prąd płynący w tej gałęzi dany jest wyrażeniem:

$$I_{PTAT} = k_M \cdot I_D = k_M \cdot \frac{V_T \ln[n] - V_{OS}}{R} \quad (1.22)$$

Zaś napięcie na wyjściu wynosi:

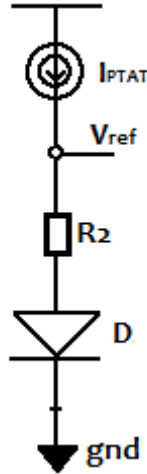
$$V_{temp} = I_{PTAT} \cdot R_2 = k_M \cdot \frac{V_T \ln[n] - V_{OS}}{R} \cdot R_2 = k_M k_R (V_T \ln[n] - V_{OS}) \quad (1.23)$$

gdzie k_R jest stosunkiem rezystorów R_2 i R .

³ $k_M = \frac{W_3}{W_2}$, gdzie W_3 oraz W_2 są szerokościami kanałów tranzystorów odpowiednio M_3 i M_2

1.2 Idea działania klasycznego źródła typu bandgap

Niestety nie można wprost uzyskać napięcia niezależnego od temperatury, dlatego aby rozwiązać ten problem sumuje się dwa składniki różnych typów, by na drodze kompensacji otrzymać zerowy współczynnik temperaturowy, czyli pożądane stabilne źródło referencyjne[3]. Rysunek 1.3 demonstruje schemat ideowy źródła napięcia odniesienia.



Rysunek 1.3: Źródło napięcia referencyjnego - schemat ideowy.

Wyjściowe napięcie referencyjne łączy w sobie napięcie na diodzie D , charakteryzujące się ujemnym współczynnikiem temperaturowym oraz odkładające się na rezystorze R_2 napięcie pochodzące od sensora temperatury, posiadające dodatni współczynnik temperaturowy. Rysunek 1.4 przedstawia pełny schemat klasycznego źródła referencyjnego.

Dioda D_3 jest dokładnie identyczna jak dioda D_1 .

Wyjściowe napięcie źródła odniesienia dane jest wyrażeniem:

$$V_{ref} = V_{BE} + R_2 I_{PTAT} = V_{BE} + C V_T \ln[n] \quad (1.24)$$

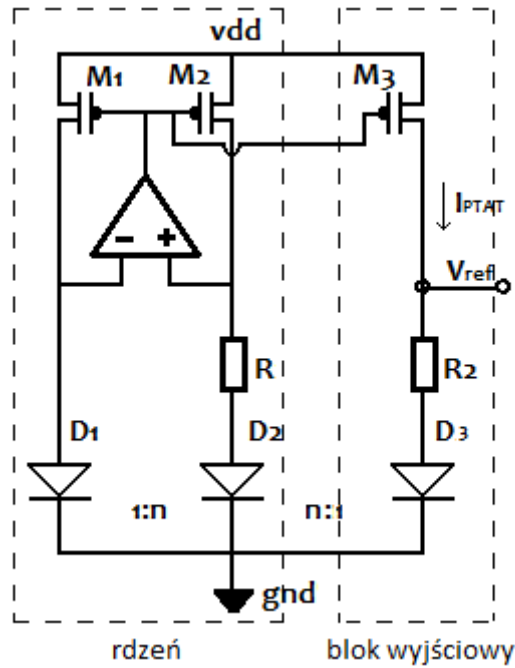
gdzie C jest stałą dobraną w taki sposób, aby zapewnić niezależność temperaturą źródła.

Pochodna napięcia V_{ref} po temperaturze powinna się zerować i przyjmować postać:

$$\frac{\partial V_{ref}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + C \frac{\partial V_T}{\partial T} \ln[n] = 0 \quad (1.25)$$

Pierwszy człon wyrażenia znany jest z równania (1.13), zaś pochodna z drugiej części wyrażenia wynosi:

$$\frac{\partial V_T}{\partial T} = \frac{\partial(\frac{kT}{q})}{\partial T} = \frac{k}{q} \approx 0,087 \frac{mV}{K} \quad (1.26)$$



Rysunek 1.4: Schemat klasycznego źródła referencyjnego.

Dla temperatury 300 K oraz napięcia na diodzie $V_{BE} = 750\text{ mV}$ pochodna z równania (1.25) zeruje się, gdy:

$$C \ln[n] \approx 17,2 \quad (1.27)$$

Jeżeli spełniony jest warunek zerowania się pochodnej otrzymujemy:

$$0 = \frac{\partial V_{BE}}{\partial T} + C \frac{\partial V_T}{\partial T} \ln[n] \quad (1.28)$$

Tak więc:

$$C \frac{\partial V_T}{\partial T} \ln[n] = -\frac{\partial V_{BE}}{\partial T} \quad (1.29)$$

Z równania (1.13) wiadomo, że:

$$-\frac{\partial V_{BE}}{\partial T} = -\frac{V_{BE} - (3 + m)V_T - \frac{E_g}{q}}{T} \quad (1.30)$$

Przyrównując powyższe wartości dostajemy:

$$CV_T \ln[n] = -V_{BE} + (3 + m)V_T + \frac{E_g}{q} \quad (1.31)$$

Jeśli przeniesiemy na drugą stronę napięcie na diodzie mamy:

$$V_{BE} + CV_T \ln[n] = (3 + m)V_T + \frac{E_g}{q} \quad (1.32)$$

Wstawiając tę wartość do napięcia referencyjnego z równania (1.24) otrzymujemy:

$$V_{ref} = (3 + m)V_T + \frac{E_g}{q} \quad (1.33)$$

Wyliczone w ten sposób napięcie referencyjne nie zależy od parametrów układu. Jak wynika z powyższego równania, jest ono głównie uwarunkowane przerwą energetyczną (w tym przypadku krzemu ze względu na technologię CMOS). W szerokim paśmie temperatur lewy człon jest pomijalnie mały, więc można stwierdzić, iż układ jest niezależny od temperatury. Napięcie zasilania nie ma tu również wpływu. Źródło jest stabilne. Dodatkowo, gdy temperatura dąży do zera, bezwzględna wartość napięcia odniesienia byłaby równa stosunkowi szerokości przerwy energetycznej (*ang. bandgap*) oraz ładunku elementarnego, co tłumaczy nazwę tego typu źródła.

1.3 Źródło napięcia referencyjnego generujące napięcie poniżej 1V

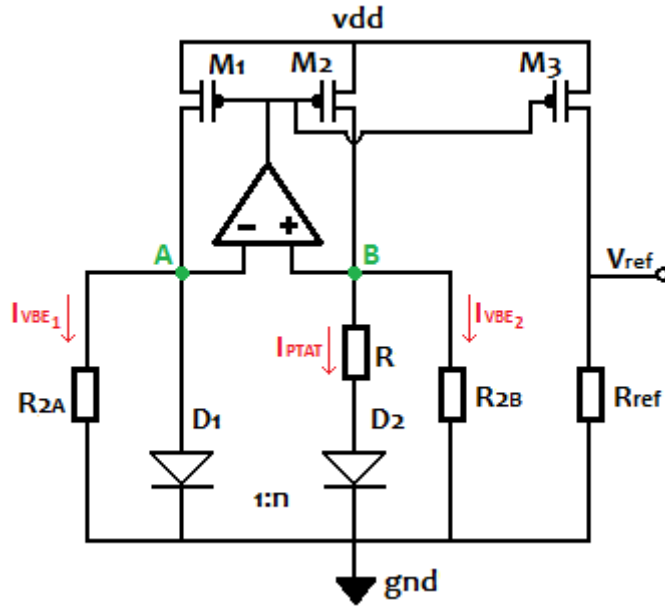
Przedstawione powyżej klasyczne źródła odniesienia generują wyjściowe napięcie referencyjne o wartości na poziomie 1,25 V, ponieważ dla takiej wartości następuje temperaturowa kompensacja. Układy te, choć zapewniają niezależność temperaturową, ograniczają zastosowanie niskich napięć zasilania. Jest to przeszkoda dla współczesnych nanometrowych technologii, których napięcie zasilania osiąga wartość 1,2 V lub mniej, co znacznie komplikuje projektowanie i uniemożliwia zastosowanie tradycyjnej architektury układu typu „bandgap”. W celu obejścia tego problemu stosuje się różne techniki takie jak: technika dzielenia rezystancji, technika redukcji napięcia progowego lub techniki oparte na funkcji bramki tranzystora [4].

1.3.1 Układ z wyjściem referencyjnym

Architekturą wybraną do realizacji projektu jest układ wykorzystujący technikę dzielenia rezystancji [1]. Jest to dość popularna architektura, która zachowuje konwencjonalną kompensację temperaturową, natomiast wyjściowe napięcie odniesienia otrzymywane jest poprzez skalowanie w dół napięcia o wartości 1,25 V. Układ ten bazuje na klasycznym modelu źródła, gdzie sensor temperaturowy generuje prąd proporcjonalny do temperatury.

Obwodem wytwarzającym wyjściowe napięcie referencyjne poniżej 1 V, wybranym do realizacji jest układ, który zaproponował Banba [1]. Rysunek 1.5 przedstawia jego schemat.

W obwodzie tym generowane są dwa prądy proporcjonalne do napięć węzłów *A* oraz *B*. Użycie wzmacniacza operacyjnego wymusza równe napięcia na węzłach *A* i *B*. Dzięki temu wytwarzane prądy przepływające przez identyczne rezystory $R_{2A} = R_{2B} = R_2$ generują napięcie równe napięciu na diodzie D_1 , oznaczonemu we wzorach V_{BE} . Wykorzystanie takich samych tranzystorów M_1 , M_2 i M_3 powoduje, że wytwarzane w ich gałęziach prądy I również są równe. Wówczas, odpowiednie pary prądów wypływających z węzłów *A* i *B* także będą takie same.



Rysunek 1.5: Układ napięcia odniesienia, który zaproponował Banba [1].

Pierwszą parą są prąd na diodzie D_1 oraz prąd I_{PTAT} , który w łatwy sposób otrzymać można korzystając ze wzoru (1.19):

$$I_{PTAT} = \frac{\Delta V}{R} = \frac{V_T \ln[n]}{R} \quad (1.34)$$

Drugą parą są prądy płynące przez oporniki R_{2A} i R_{2B} :

$$I_{V_{BE1}} = I_{V_{BE2}} = I_{V_{BE}} = \frac{V_{BE}}{R_2} \quad (1.35)$$

Prąd I płynący w drugiej gałęzi (generowany tranzystorem M_2) jest sumą powyższych dwóch i dany jest wzorem:

$$I = I_{PTAT} + I_{V_{BE}} = \frac{V_T \ln[n]}{R} + \frac{V_{BE}}{R_2} \quad (1.36)$$

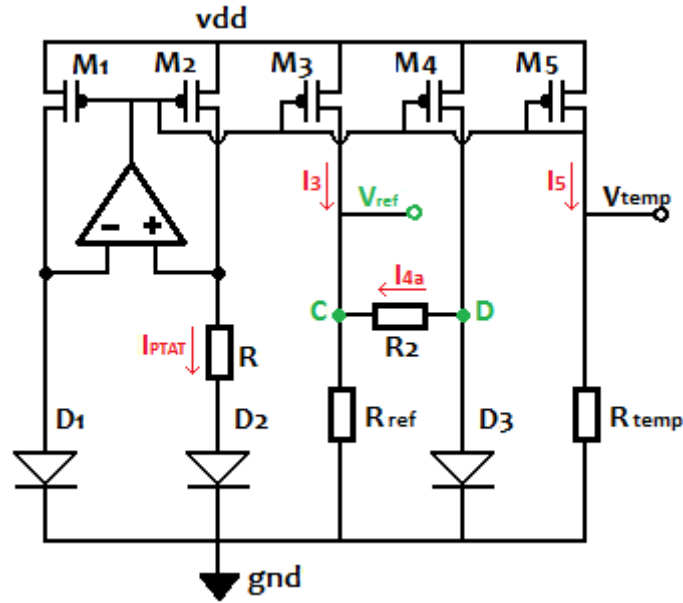
Prąd generowany w trzeciej gałęzi jest taki sam jak w gałęzi drugiej, a więc wyjściowe napięcie referencyjne dla tego układu dane jest równaniem:

$$V_{ref} = I \cdot R_{ref} = R_{ref} \cdot \left(\frac{V_T \ln[n]}{R} + \frac{V_{BE}}{R_2} \right) \quad (1.37)$$

Uzyskane napięcie odpowiada klasycznemu napięciu referencyjnemu ze wzoru (1.24), a dobierając oporniki można wygenerować odpowiednio niskie napięcie V_{ref} . Dla przykładu, w układzie o takiej architekturze osiągnięto napięcie wyjściowe 515 mV dla technologii $CMOS 0.4 \mu\text{m}$ [1].

1.3.2 Układ z wyjściem referencyjnym i temperaturowym

Poprzez nieznaczną modyfikację układu z rysunku 1.4 można w łatwy sposób uzyskać tak napięcie referencyjne jak i temperaturowe napięcie wyjściowe. Na rysunku 1.6 przedstawiono schemat układu generującego napięcie referencyjne wraz z wyprowadzonym wyjściem temperaturowym. W tej architekturze napięcie referencyjne uzyskiwane jest w gałęzi trzeciej (M_3), zaś wyjście temperaturowe w gałęzi piątej (M_5).



Rysunek 1.6: Układ napięcia odniesienia wraz z wyjściem temperaturowym.

Wykorzystanie takich samych tranzystorów $M_1 - M_5$ powoduje, że płynące w ich gałęziach prądy są równe i wynoszą (korzystając ze wzoru (1.19)):

$$I_1 = I_2 = I_3 = I_4 = I_5 = I_{PTAT} = \frac{\Delta V}{R} = \frac{V_T \ln[n]}{R} \quad (1.38)$$

Napięcie referencyjne jest takie samo jak napięcie w węźle C:

$$V_{ref} = V_C \quad (1.39)$$

Natomiast napięcie w węźle D jest równe napięciu na diodzie D_3 :

$$V_D = V_{BE} \quad (1.40)$$

Różnica potencjałów węzłów D i C odpowiada napięciu na rezystorze R_2 :

$$V_D - V_C = I_{4a} \cdot R_2 \quad (1.41)$$

Wstawiając do równania (1.41) napięcia w węzłach C i D ze wzorów (1.39) i (1.40), można wyznaczyć prąd przepływający przez opornik R_2 :

$$I_{4a} = \frac{V_D - V_C}{R_2} = \frac{V_{BE} - V_{ref}}{R_2} \quad (1.42)$$

Prąd I_{ref} przepływający przez opornik R_{ref} jest sumą prądów wpływających do węzła C:

$$I_{ref} = I_3 + I_{4a} \quad (1.43)$$

Więc napięcie w węźle C, jako napięcie odkładające się na rezystorze R_{ref} , dane jest wzorem:

$$V_C = I_{ref} \cdot R_{ref} = (I_3 + I_{4a}) \cdot R_{ref} \quad (1.44)$$

Wstawiając zależności (1.39) oraz (1.42) do powyższego równania otrzymujemy:

$$V_{ref} = R_{ref} \cdot (I_3 + I_{4a}) = R_{ref} \cdot \left(I_3 + \frac{V_{BE} - V_{ref}}{R_2} \right) \quad (1.45)$$

Co po wyłączeniu przed nawias w mianowniku R_2 , daje:

$$V_{ref} = \frac{R_{ref}}{R_2} \cdot (I_3 \cdot R_2 + V_{BE} - V_{ref}) \quad (1.46)$$

Następnie, po przeniesieniu V_{ref} na lewą stronę, uzyskujemy:

$$V_{ref} + \frac{R_{ref}}{R_2} \cdot V_{ref} = \frac{R_{ref}}{R_2} \cdot (I_3 \cdot R_2 + V_{BE}) \quad (1.47)$$

Wyłączając V_{ref} przed nawias mamy:

$$V_{ref} \left(\frac{R_2 + R_{ref}}{R_2} \right) = \frac{R_{ref}}{R_2} \cdot (I_3 \cdot R_2 + V_{BE}) \quad (1.48)$$

Co po przekształceniu daje:

$$V_{ref} = \frac{R_{ref}}{R_{ref} + R_2} \cdot (I_3 \cdot R_2 + V_{BE}) \quad (1.49)$$

Wstawiając do powyższego równania wzór (1.38) na prąd płynący w gałęzi trzeciej, otrzymujemy wzór na napięcie referencyjne:

$$V_{ref} = \frac{R_{ref}}{R_{ref} + R_2} \cdot \left(\frac{V_T \ln[n]}{R} \cdot R_2 + V_{BE} \right) \quad (1.50)$$

W piątej gałęzi wytwarzane jest napięcie dla wyjścia temperaturowego, które wynosi:

$$V_{temp} = I_5 \cdot R_{temp} \quad (1.51)$$

Wstawiając wzór (1.38) na prąd płynący w piątej gałęzi otrzymujemy napięcie wyjścia temperaturowego:

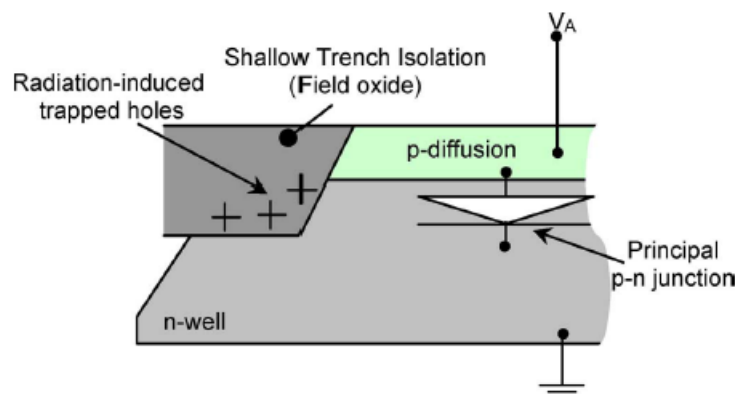
$$V_{temp} = R_{temp} \cdot \frac{V_T \ln[n]}{R} \quad (1.52)$$

1.4 Diody w źródle referencyjnym

Źródła referencyjne są układami często używanymi w eksperymentach fizyki wysokich energii. Jednym z założonych celów projektu była możliwość pracy układu w środowisku dużych dawek promieniowania jonizującego ($\sim 100 \text{ Mrad}$).

Głównym i najczulszym elementem obwodów napięcia odniesienia są diody, dlatego dużą uwagę skupiono na odpowiednim wyborze tych elementów. W realizacji układów scalonych najczęściej wykorzystuje się tranzystory w konfiguracji diodowej, dlatego warto zastanowić się jaki wpływ ma na nie środowisko promieniowania jonizującego. Rysunek 1.7 przedstawia klasyczne złącze p-n w technologii CMOS.

Promieniowanie jonizujące działając na tranzystor (diodę) powoduje powstawanie w warstwie tlenku krzemu SiO_2 par nośników - dodatnich oraz ujemnych ładunków elektrycznych. Dodatkowo ładunki elektryczne (dziury) zostają uwięzione w warstwie tlenku, ze względu na swoją małą ruchliwość. Obecność w warstwie tlenku dodatnich ładunków elektrycznych powoduje przesunięcie wartości napięcia progowego tranzystora, co oznacza jego funkcjonalne uszkodzenie. Zmiany wartości napięcia progowego rosną z grubością dielektryka bramkowego SiO_2 . Oznacza to, że bardziej odporne na promieniowanie jonizujące są elementy z cienką warstwą SiO_2 [5].

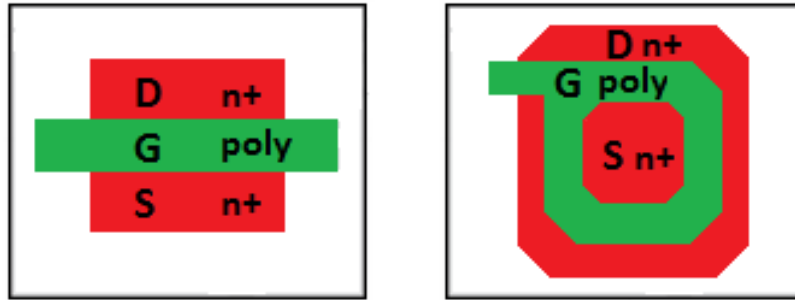


Rysunek 1.7: Klasyczna dioda - złącze p-n [5].

Rozwój technologii CMOS oraz jej ciągle skalowanie w dół, mają bardzo pozytywny wpływ na odporność na promieniowanie jonizujące, głównie ze względu na zmniejszenie grubości warstwy tlenku krzemu. W klasycznym źródle referencyjnym jako diody stosuje się złącze p-n oraz typowy układ masek technologicznych tranzystorów MOS. Przez to projektowane układy są mało odporne na działanie promieniowania jonizującego.

Aby projektowane źródło mogło pracować w środowisku wysokiego promieniowania jonizującego, zastosowano dwa rodzaje struktur diodowych, bazujące na „zawiniętej/zamkniętej” geometrii masek technologicznych tranzystorów MOS - ELT (*ang. enclosed layout transistor*).

W tej geometrii bramka z cienkim tlenkiem całkowicie otacza źródło tranzystora, oddzielając grubą warstwę tlenku krzemu od złącza p-n [6]. Schemat masek technologicznych typowych tranzystorów MOS oraz tranzystorów MOS typu ELT przedstawiono na rysunku 1.8. W dalszej części pracy dla struktur bazujących na tranzystorach MOS typu ELT używane będą nazwy: ELT_NMOS oraz ELT_PMOS.



(a) Tranzystor MOS

(b) Tranzystor MOS typu ELT

Rysunek 1.8: Schemat masek technologicznych tranzystorów MOS: typowego oraz w geometrii zamkniętej bramki.

Wielkością określającą długoterminowe efekty oddziaływania promieniowania jonizującego na materię jest całkowita dawka TID (*ang. total ionizing dose*). Zastosowanie tranzystorów bazujących na geometrii zamkniętej bramki pozwala na uodpornienie się na efekt kumulowania dawki promieniowania TID [5].

Oprócz konfiguracji ELT_MOS do zaprojektowania źródła referencyjnego wykorzystano również struktury DT_MOS (*ang. dynamic-threshold MOS transistor*). Uzyskuje się je poprzez połączenie ze sobą G (*ang. gate*)-D (*ang. drain*)-B (*ang. bulk*) [5]. Struktury DT_MOS, podobnie jak konwencjonalne diody, posiadają eksponencjalną charakterystykę prądowo-napięciową.

Prąd przepływający przez klasyczną diodę wynosi [5]:

$$I_D = I_0 \cdot \left(e^{\frac{q \cdot V_{PN}}{kT}} - 1 \right) \quad (1.53)$$

$$I_0 \sim T^{3+\gamma/2} \cdot e^{\frac{-E_g}{kT}} \quad (1.54)$$

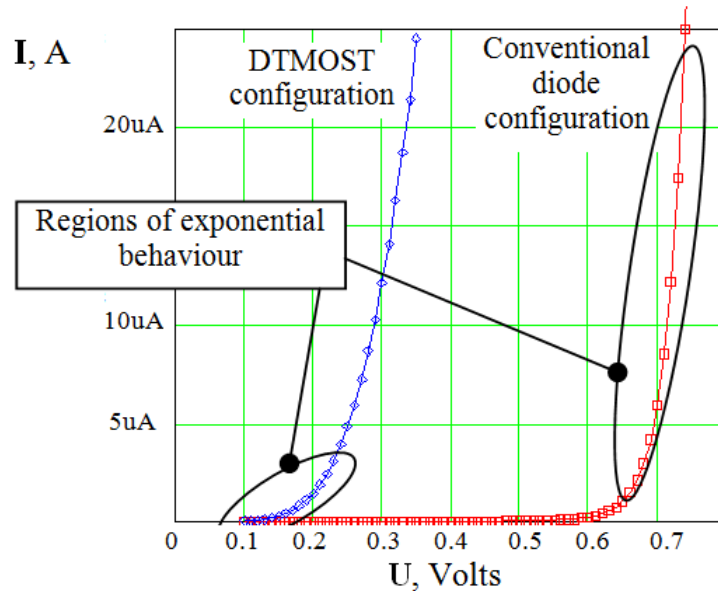
Natomiast prąd płynący przez strukturę diodową DT_MOS dany jest wyrażeniem [5]:

$$I_S = I_{S0} \cdot \left(e^{\frac{V_S}{\Phi_t}} - 1 \right) \quad (1.55)$$

$$I_{S0} \sim T^{4+\gamma/2} \cdot e^{\frac{-(E_g - q \cdot |\Psi_S|)}{kT}} \quad (1.56)$$

gdzie Ψ_S jest potencjałem powierzchniowym.

Na rysunku **1.9** przedstawiono charakterystykę prądowo-napięciową konwencjonalnej diody oraz struktury DT_MOS.

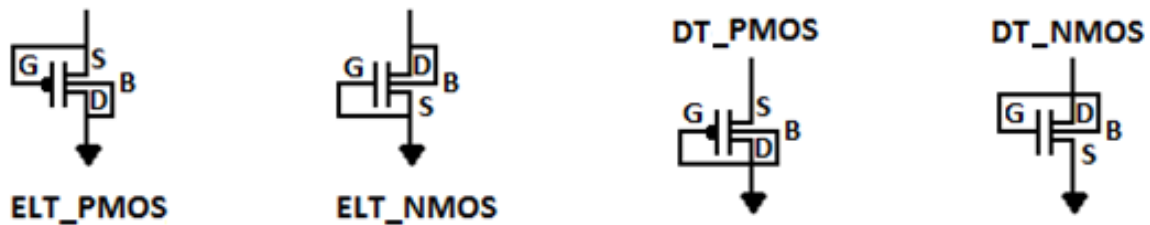


Rysunek 1.9: Charakterystyka prądowo - napięciowa konwencjonalnej diody oraz struktury DT_MOS [5].

Klasyczne diody posiadają eksponencjalną charakterystykę prądowo-napięciową charakteryzującą się gwałtownym wzrostem prądu dla napięcia powyżej 650 mV , natomiast struktury DT_MOS wykazują tę zależność w zakresie $100 - 220\text{ mV}$. Jest to pewne przesunięcie, wynikające z pomniejszenia przerwy energetycznej E_g o wartość iloczynu ładunku q i potencjału Ψ_S (porównując zależności 1.54 oraz 1.56). Dzięki temu, struktury DT_MOS potrzebują znacznie niższego napięcia polaryzacji do pracy, co ma istotne znaczenie dla projektowania źródeł referencyjnych w submikronowej technologii CMOS 130 nm , posiadającej niskie napięcie zasilania.

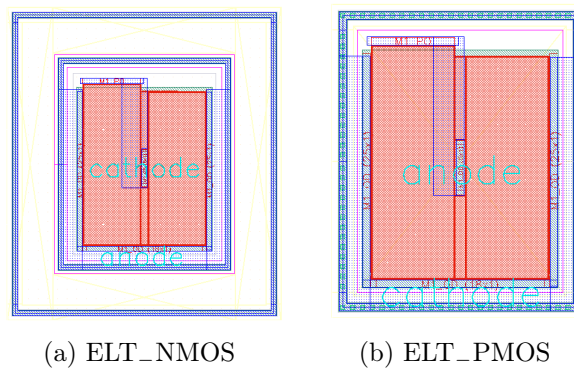
W dalszej części pracy dla struktur DT_MOS używane będą nazwy: DT_NMOS oraz DT_PMOS.

Schematy wszystkich wykorzystanych struktur diodowych przedstawiono na rysunku **1.10**. Natomiast ich maski technologiczne, z wykorzystaniem geometrii zamkniętej bramki, pokazano na rysunkach **1.11** oraz **1.12**. Każda z konfiguracji ma wymiary $W = 15,54 \mu\text{m}$ i $L = 3,29 \mu\text{m}$.

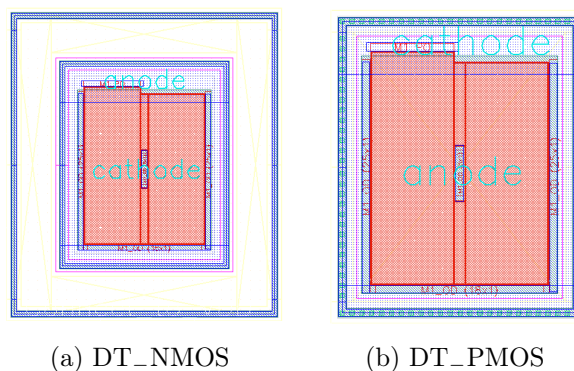


Rysunek 1.10: Struktury diodowe - schematy.

Strukturę DT_NMOS uzyskuje się poprzez połączenie ze sobą G(*ang. gate*)-D(*ang. drain*)-B(*ang. bulk*), co stanowi anodę diody, zaś katodę tworzy S (*ang. source*). W przypadku diod DT_PMOS jest na odwrót. Dla struktury ELT_NMOS anodę otrzymuje się z połączenia B-D, zaś katoda to złączone G-S. W przypadku diod ELT_PMOS jest odwrotnie [5].



Rysunek 1.11: Maski technologiczne diod ELT_MOS.



Rysunek 1.12: Maski technologiczne diod DT_MOS.

Rozdział 2

Projekt źródła referencyjnego

2.1 Założenia projektowe

Głównymi założeniami projektowymi podczas realizacji układu źródła napięcia referencyjnego były:

- Technologia CMOS 130 nm,
- Źródło referencyjne typu „bandgap”,
- Generowane napięcie referencyjne poniżej 1 V,
- Minimalna zależność temperaturowa,
- Minimalna zależność od napięcia zasilania,
- Możliwość pracy układu w środowisku dużych dawek promieniowania jonizującego ($\sim 100 \text{ Mrad}$).

2.2 Realizacja układu

Architekturą wybraną do realizacji projektu został schemat zaproponowany przez Banba[1]. Układ ten jest dosyć popularny i realizuje technikę opartą na dzieleniu rezystancji, dzięki czemu wyjściowe napięcie referencyjne jest skalowalne. Dokładny opis tego układu został przedstawiony w rozdziale 1.3, dotyczącym źródła referencyjnego generującego napięcie referencyjne poniżej 1 V. Wyboru tej architektury układu dokonano ze względu na najlepsze wyniki symulacyjne w porównaniu do innych symulowanych układów - zaproponowanych przez Neuteboom'a [7] czy Leung'a [8], m.in. większą niezależność temperaturową.

Przy konstruowaniu schematów wykorzystano elementy dostępne w standardowych bibliotekach. Użyto rezystorów typu *rppolywo_dis_mis* z biblioteki *tsmc13rf* oraz tranzystorów *nmos1v_mis*

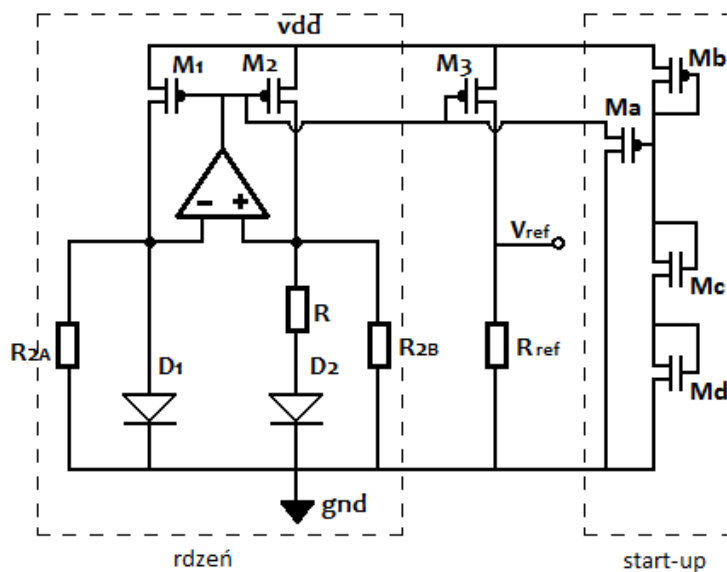
i *pmos1v_mis*, pochodzących również z tej biblioteki. Jako diody wykorzystano opisane w rozdziale 1.4 *ELT_NMOS*'y, *ELT_PMOS*'y oraz *DT_NMOS*'y. Układy z diodami typu *DT_PMOS* również były konstruowane i symulowane, jednak ze względu na ich gorsze wyniki symulacyjne nie zostały one wysłane do produkcji, dlatego w niniejszej pracy nie będą opisywane.

Każda konfiguracja źródła referencyjnego wymagała zastosowania wzmacniacza operacyjnego. Podczas symulacji układów, które zostały wysłane do produkcji, wykorzystano gotowy wzmacniacz z symetryczną konfiguracją OTA (*ang. Operational Transconductance Amplifier*) [2], ze wzmocnieniem powyżej 70 dB i napięciem niezrównoważenia (*ang. offset*) $0,5\text{ mV}$. Jest on odrębnym zadaniem projektowym, które nie było celem niniejszej pracy, dlatego jego szczegółowy opis zostanie w niej pominięty.

Spośród różnych realizowanych kombinacji schematów do wysłania do produkcji wybrano układy z najlepszymi rezultatami symulacyjnymi. Były to: dwa układy posiadające tylko wyjście referencyjne, dwa układy posiadające zarówno wyjście referencyjne jak i wyjście temperaturowe (sensor temperatury) oraz jeden układ posiadający pięć różnych wyjść referencyjnych i jedno wyjście temperaturowe. Łącznie do produkcji wysłano pięć odrębnych układów, różniących się od siebie rodzajem użytych diod oraz ilością wyjść. To właśnie na tych pięciu układach skupi się dalsza część niniejszej pracy.

2.2.1 Układ z wyjściem referencyjnym

Rysunek 2.1 przedstawia schemat układu wybranego do realizacji wraz z obwodem startowym (*ang. start-up*), zapewniającym uzyskanie właściwej polaryzacji rdzenia układu po włączeniu. Tranzystory $M_a - M_d$ wchodzi w skład tego obwodu startowego. Rezystory R_{2A} i R_{2B} są sobie równe. Również tranzystory M_1 , M_2 i M_3 mają takie same wymiary.



Rysunek 2.1: Schemat układu napięcia odniesienia wraz z obwodem startowym.

Napięcie referencyjne generowane przez to źródło (z równania (1.37)) wynosi :

$$V_{ref} = R_{ref} \cdot \left(\frac{V_T \ln[n]}{R} + \frac{V_{BE}}{R_2} \right) \quad (2.1)$$

Bazując na powyższym układzie, zaprojektowano dwa obwody z wyjściem referencyjnym. W pierwszym z nich użyto diod DT_NMOS, natomiast w drugim zastosowano diody typu ELT_NMOS. Nazwy układów pochodzą od zastosowanych w nich diod i są to: DT_NMOS i ELT_NMOS. Wymiary poszczególnych elementów dla danego źródła referencyjnego przedstawiono w tabeli 2.1 oraz 2.2.

Tabela 2.1: Rozmiary elementów układu z wyjściem referencyjnym oraz diodami typu DT_NMOS.

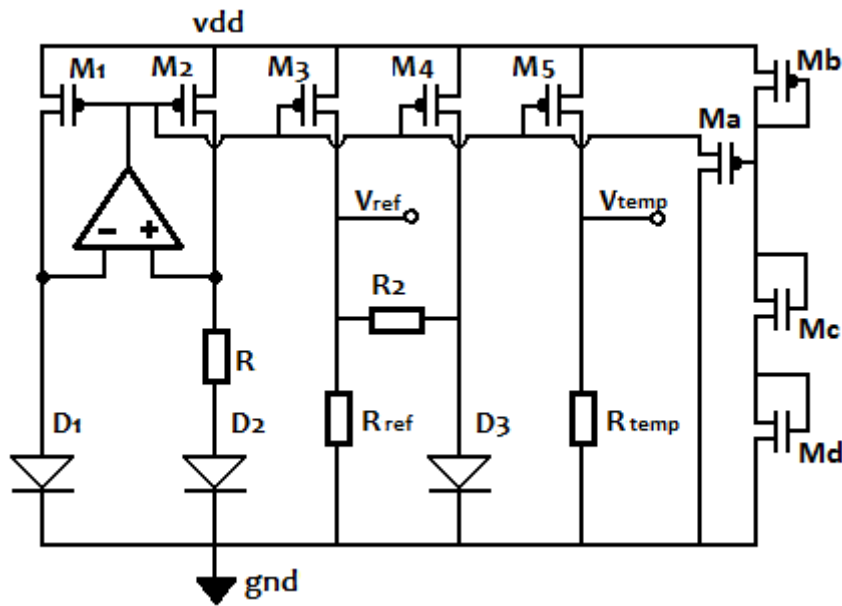
Rezystory	R	13 kΩ
	R_{2A}	19,5 kΩ
	R_{2B}	19,5 kΩ
	R_{ref}	26 kΩ
	R_{dummy}	26 kΩ
Tranzystory	M_1, M_2, M_3	W = 19,2 μm, L = 11 μm
	M_a, M_b	W = 1 μm, L = 2 μm
	M_c, M_d	W = 1 μm, L = 1 μm
Diody	D_1	krotność = 1
	D_2	krotność = 8
	D_{dummy}	krotność = 16

Tabela 2.2: Rozmiary elementów układu z wyjściem referencyjnym oraz diodami typu ELT_NMOS.

Rezystory	R	9,5 kΩ
	R_{2A}	85 kΩ
	R_{2B}	85 kΩ
	R_{ref}	40 kΩ
	R_{dummy}	90 kΩ
Tranzystory	M_1, M_2, M_3	W = 20 μm, L = 4 μm
	M_a, M_b	W = 1 μm, L = 2 μm
	M_c, M_d	W = 1 μm, L = 1 μm
Diody	D_1	krotność = 1
	D_2	krotność = 11
	D_{dummy}	krotność = 16

2.2.2 Układ z wyjściem referencyjnym i temperaturowym

Nieznacznie modyfikując układ napięcia referencyjnego można uzyskać dodatkowe wyjście temperaturowe. Na rysunku 2.2 przedstawiono schemat układu generującego napięcie referencyjne wraz z wyprowadzonym wyjściem temperaturowym. Zarówno w poprzednich projektowanych układach, jak i w tym, w jego prawej części znajduje się obwód startowy. W tej architekturze wyjściowe napięcie referencyjne jest uzyskiwane poprzez skalowanie napięcia na diodzie D_3 z wykorzystaniem oporników R_2 i R_{ref} . Tak więc, napięcie referencyjne uzyskiwane jest w gałęzi trzeciej (M_3), zaś wyjście temperaturowe wydzielone jest w gałęzi piątej (M_5). Tranzystory $M_1 - M_5$ mają takie same wymiary.



Rysunek 2.2: Schemat układu napięcia odniesienia z wyjściem referencyjnym oraz temperaturowym.

Napięcie referencyjne generowane przez ten układ wynosi (z równania (1.50)):

$$V_{ref} = \frac{R_{ref}}{R_{ref} + R_2} \cdot \left(R_2 \cdot \frac{V_T \ln[n]}{R} + V_{BE} \right) \quad (2.2)$$

Natomiast wyjście temperaturowe generuje napięcie (z równania (1.52)):

$$V_{temp} = R_{temp} \cdot \frac{V_T \ln[n]}{R} \quad (2.3)$$

Bazując na powyższym układzie, zaprojektowano dwa obwody z wyjściami: referencyjnym i temperaturowym. W pierwszym z nich użyto diod ELT_NMOS, natomiast w drugim zastosowano diody typu ELT_PMOS. Nazwy układów pochodzą od zastosowanych w nich diod i są to: PTAT_ELT_NMOS i PTAT_ELT_PMOS. Wymiary poszczególnych elementów dla danego źródła referencyjnego przedstawiono w tabeli 2.3 oraz 2.4.

Tabela 2.3: Rozmiary elementów układu z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_NMOS.

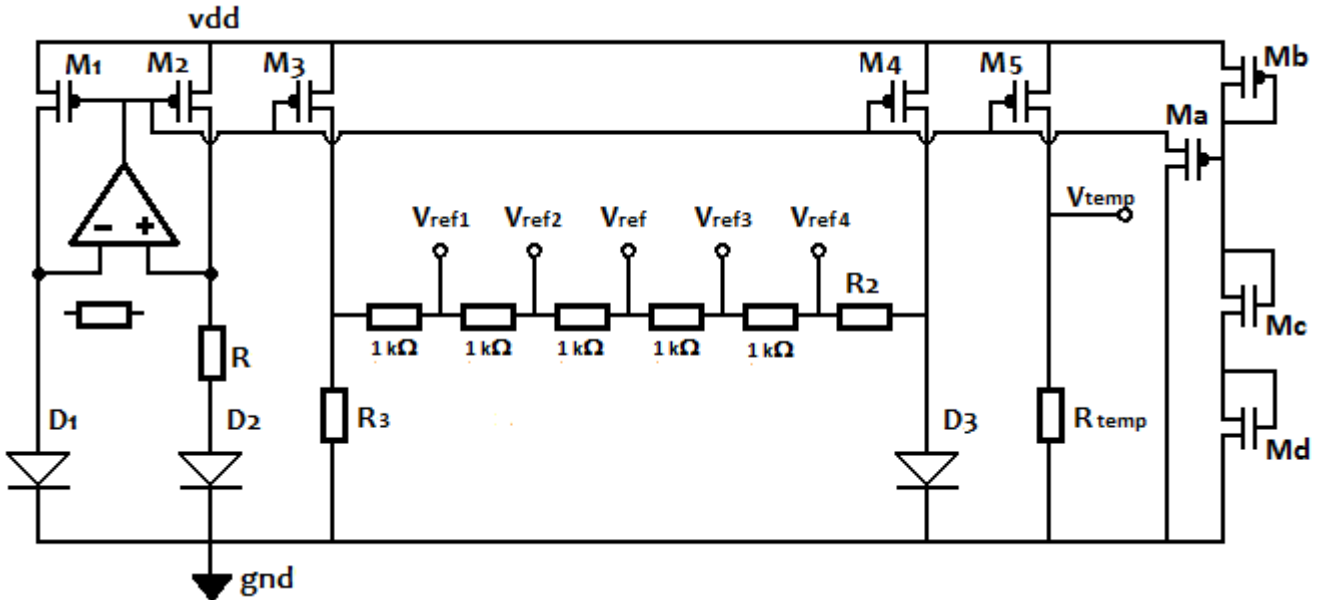
Rezystory	R	10 k Ω
	R_2	80 k Ω
	R_{ref}	80 k Ω
	R_{temp}	110 k Ω
	R_{dummy}	30 k Ω
Tranzystory	M_1, M_2, M_3, M_4, M_5	W = 20 μm , L = 10 μm
	M_a, M_b	W = 1 μm , L = 2 μm
	M_c, M_d	W = 1 μm , L = 1 μm
Diody	D_1	krotność = 1
	D_2	krotność = 11
	D_3	krotność = 1
	D_{dummy}	krotność = 22

Tabela 2.4: Rozmiary elementów układu z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_PMOS.

Rezystory	R	5,5 k Ω
	R_2	44 k Ω
	R_{ref}	44 k Ω
	R_{temp}	66 k Ω
	R_{dummy}	22 k Ω
Tranzystory	M_1, M_2, M_3, M_4, M_5	W = 20 μm , L = 4 μm
	M_a, M_b	W = 1 μm , L = 2 μm
	M_c, M_d	W = 1 μm , L = 1 μm
Diody	D_1	krotność = 1
	D_2	krotność = 10
	D_3	krotność = 1
	D_{dummy}	krotność = 18

Proces produkcyjny nigdy nie jest idealny. Każda nawet najmniejsza modyfikacja struktury elementu składowego układu może pogorszyć efekt końcowy. Projektowane źródło odniesienia jest bardzo czułe na zmiany zachodzące podczas procesu produkcji. Należy również wziąć pod uwagę fakt, że rozmiary elementów w prototypowym układzie po procesie produkcji mogą nieco odbiegać od symulowanych modeli. W związku z tym, aby ustrzec się utraty dokładności, postanowiono zaprojektować dodatkowy układ, posiadający 5 różnych wyjść referencyjnych.

Pomiędzy każdym z nich dołączono $1\text{ k}\Omega$ rezystor. Dzięki temu, każde z pięciu wyjść daje nieco inne sumowanie sygnałów PTAT oraz CTAT. Nazwa układu - PTAT_5Vref - pochodzi od ilości wyjść. W układzie tym użyto diod typu ELT_NMOS. Rysunek 2.3 przedstawia schemat tego układu. Wymiary poszczególnych elementów dla tego źródła referencyjnego przedstawiono w tabeli 2.5.



Rysunek 2.3: Schemat układu napięcia odniesienia z pięcioma wyjściami referencyjnymi oraz wyjściem temperaturowym.

Tabela 2.5: Rozmiary elementów układu z pięcioma wyjściami referencyjnymi i wyjściem temperaturowym oraz diodami typu ELT_NMOS.

Rezystory	R	$9\text{ k}\Omega$
	R_2	$74\text{ k}\Omega$
	R_3	$73\text{ k}\Omega$
	R_{temp}	$95\text{ k}\Omega$
	R_{dummy}	$20\text{ k}\Omega$
Tranzystory	M_1, M_2, M_3, M_4, M_5	$W = 20\ \mu\text{m}, L = 4\ \mu\text{m}$
	M_a, M_b	$W = 1\ \mu\text{m}, L = 2\ \mu\text{m}$
	M_c, M_d	$W = 1\ \mu\text{m}, L = 1\ \mu\text{m}$
Diody	D_1	krotność = 1
	D_2	krotność = 11
	D_3	krotność = 1
	D_{dummy}	krotność = 22

2.3 Symulacje źródeł referencyjnych

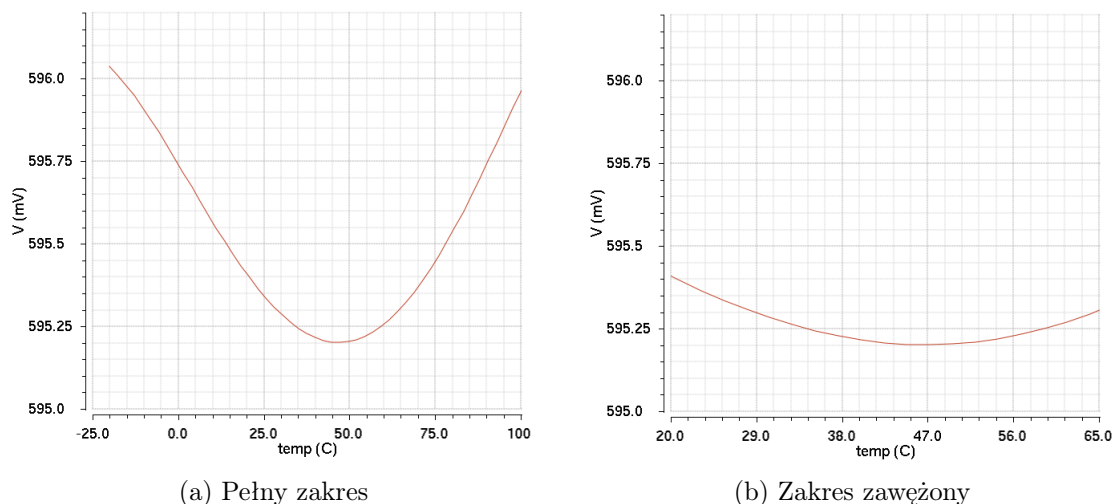
Zaprojektowano pięć układów źródeł odniesienia typu „bandgap”, różniących się zastosowanymi diodami oraz architekturą. Oprócz standardowych źródeł (DT_NMOS i ELT_NMOS) generujących stabilne napięcie referencyjne, trzy z układów (PTAT_ELT_NMOS, PTAT_ELT_PMOS i PTAT_5Vref) posiadają również wyjście temperaturowe.

W celu optymalizacji układów źródeł referencyjnych wykonano szereg różnych symulacji. W związku z tym, iż symulacje układów po schemacie dawały rozbieżne wyniki w porównaniu do symulacji „post-layoutowych”, utworzono matryce masek technologicznych diod oraz rezystancji. To głównie diody, jako element najczulszy, powodowały różnice w symulacjach. Optymalizacja układów była możliwa poprzez symulacje układów po ekstrakcji matryc diod.

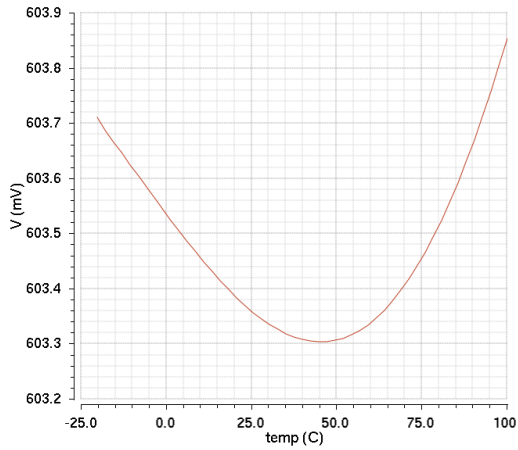
Symulacje przedstawione w tym rozdziale są testami końcowymi. Na tym etapie wykonywano symulacje z ekstraktem całego układu.

2.3.1 Symulacje napięcia referencyjnego względem temperatury

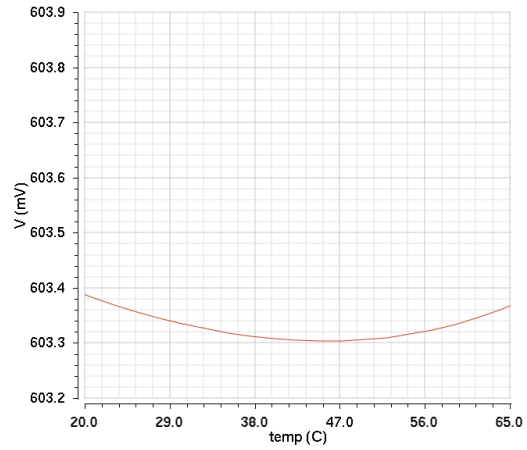
Głównym celem niniejszej pracy było zaprojektowanie źródła napięcia referencyjnego generującego stabilne temperaturowo napięcie wyjściowe. Układ został zasilony napięciem $1,2\text{ V}$, w związku z czym żądano, aby otrzymane napięcie było jego połową, a więc wynosiło $0,6\text{ V}$. Symulacje przeprowadzono dla zakresu temperatur $-20^{\circ}\text{C} \div 100^{\circ}\text{C}$. Dodatkowo, wykonano symulacje w zawężonym przedziale $20^{\circ}\text{C} \div 65^{\circ}\text{C}$, gdyż w takim zakresie wykonano później pomiary wyprodukowanych układów. Rysunki 2.4, 2.5, 2.6 i 2.7 przedstawiają zależność napięcia referencyjnego od temperatury dla danego układu.



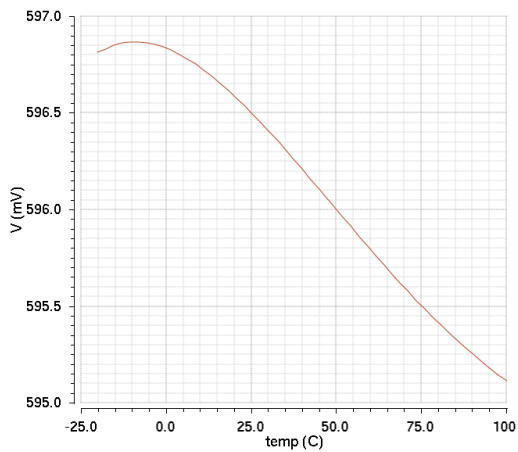
Rysunek 2.4: Zależność napięcia referencyjnego od temperatury - układ DT_NMOS.



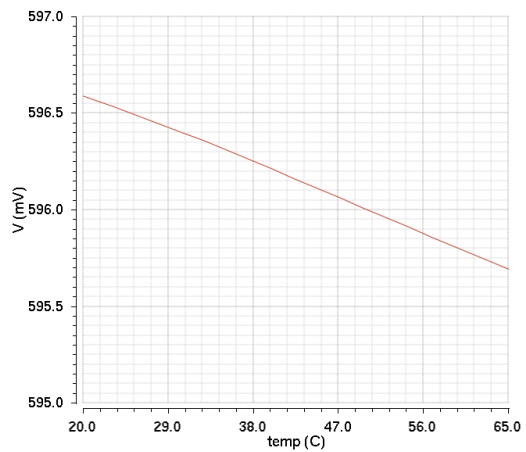
(a) Pełny zakres



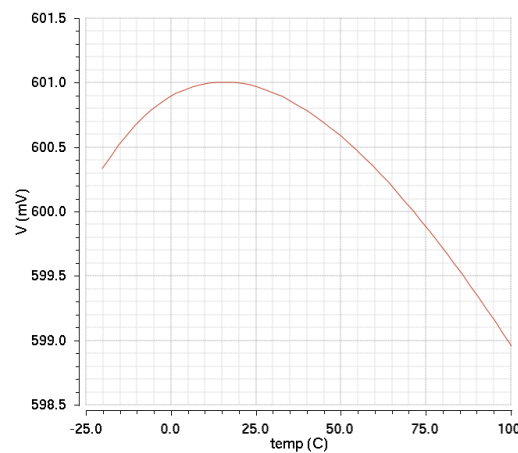
(b) Zakres zawężony

Rysunek 2.5: Zależność napięcia referencyjnego od temperatury - układ ELT_NMOS.

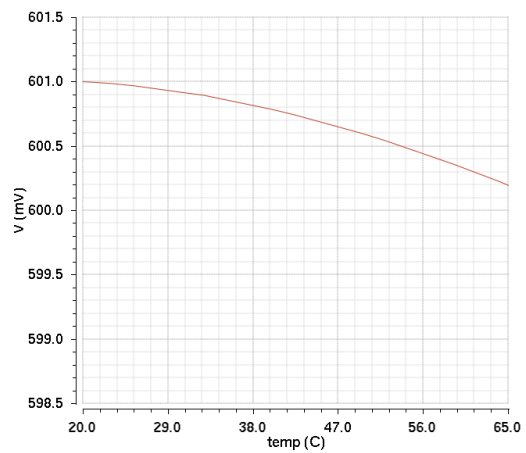
(a) Pełny zakres



(b) Zakres zawężony

Rysunek 2.6: Zależność napięcia referencyjnego od temperatury - układ PTAT_ELT_NMOS.

(a) Pełny zakres



(b) Zakres zawężony

Rysunek 2.7: Zależność napięcia referencyjnego od temperatury - układ PTAT_ELT_PMOS.

W tabeli 2.6 zestawiono wartości napięć referencyjnych dla symulacji względem temperatury wszystkich układów.

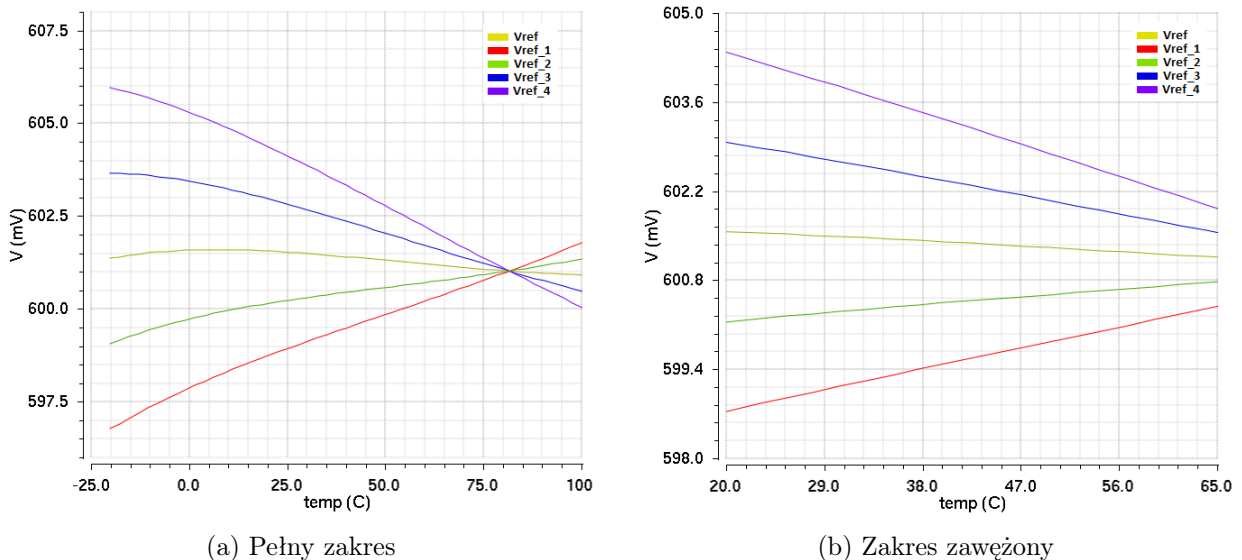
Tabela 2.6: Wartości napięć referencyjnych dla symulacji względem temperatury.

V_{ref}	V_{min} [mV]	V_{max} [mV]	$V(25^{\circ}C)$ [mV]	ΔV [mV]
DT_NMOS	595,20	596,03	595,34	0,83
ELT_NMOS	603,30	603,85	603,36	0,55
PTAT_ELT_NMOS	595,11	596,86	596,50	1,75
PTAT_ELT_PMOS	598,96	601,00	600,97	2,04
PTAT_5Vref	600,91	601,59	601,53	0,68

$$\Delta V = V_{max} - V_{min}$$

Wszystkie wartości napięć referencyjnych są zbliżone do założonego 0,6 V. Jeżeli chodzi o ich stabilność temperaturową, to różnica pomiędzy wartością maksymalną, a minimalną trzech z nich jest mniejsza niż 1 mV. Natomiast dla dwóch pozostałych układów wartość ta jest w okolicy 2 mV. Jest to co prawda gorszy wynik, nie mniej jednak układy te działają poprawnie.

Rysunek 2.8 przedstawia pięć różnych wyjść napięcia referencyjnego. Każde z wyjść oddzielone jest 1 kΩ rezystorem. Powoduje to niewielkie różnice w generowanym napięciu wyjściowym. Różnica między najniższym, a najwyższym z uzyskiwanych napięć wynosi około 10 mV. Dzięki temu, w zależności od przebiegu procesu produkcji możliwe jest wybranie wyjścia z najlepszą stabilnością temperaturową.



Rysunek 2.8: Zależność napięcia referencyjnego od temperatury - układ PTAT_5Vref.

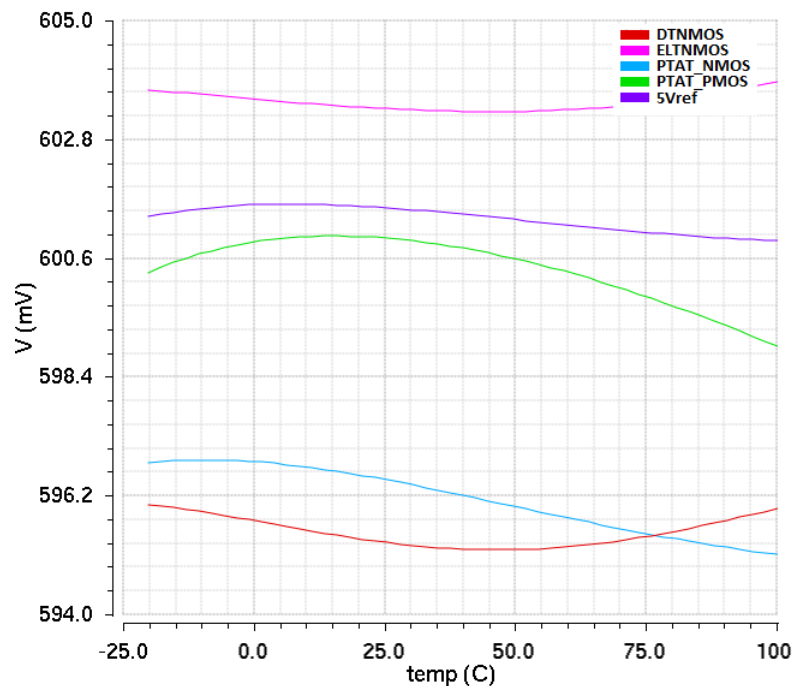
W tabeli 2.7 zebrano wszystkie wartości napięcia referencyjnego dla symulacji względem temperatury układu posiadającego pięć różnych wyjść.

Tabela 2.7: Wartości napięć referencyjnych dla symulacji względem temperatury - układ z pięcioma wyjściami referencyjnymi.

	V_{min} [mV]	V_{max} [mV]	$V(25^{\circ}C)$ [mV]	ΔV [mV]
$Vref_1$	596,78	601,78	598,96	5,00
$Vref_2$	599,07	601,35	600,24	2,28
$Vref$	600,91	601,59	601,53	0,68
$Vref_3$	600,48	603,65	602,81	3,18
$Vref_4$	600,04	605,95	604,09	5,91

$$\Delta V = V_{max} - V_{min}$$

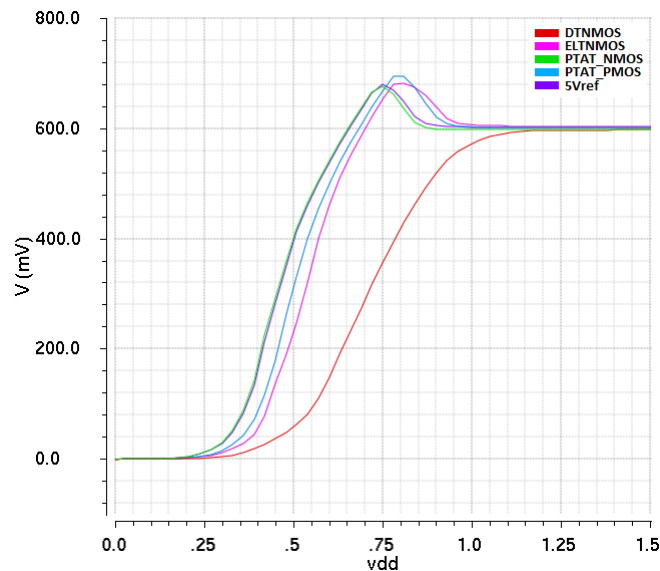
Na rysunku 2.9 przedstawiono wyniki symulacji napięcia referencyjnego względem temperatury wszystkich pięciu układów, dla porównania otrzymanych wartości napięć. Każde z uzyskanych napięć osiąga wartość zbliżoną do pożądanych 600 mV.



Rysunek 2.9: Zależność napięcia referencyjnego od temperatury - wszystkie układy.

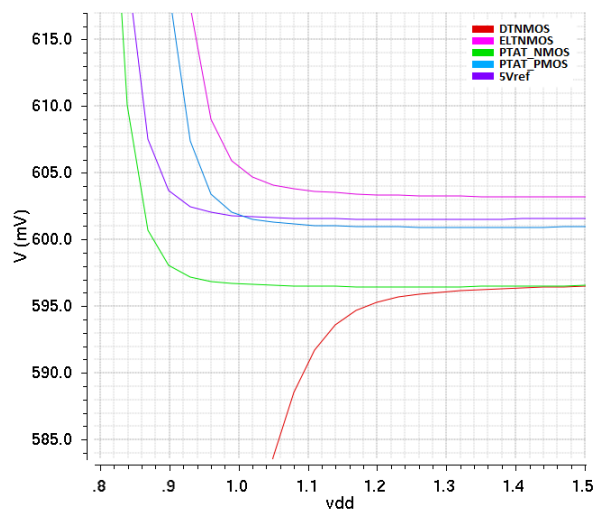
2.3.2 Symulacje napięcia referencyjnego względem napięcia zasilania

Oprócz stabilności temperaturowej, projektowane źródło powinno być niezależne od zmian napięcia zasilania. W tym celu wykonano symulacje napięcia referencyjnego względem napięcia zasilającego, by sprawdzić zachowanie danego układu. Symulacje przeprowadzono dla zakresu napięć zasilania $0\text{ V} \div 1.5\text{ V}$. Wyniki symulacji przedstawia rysunek 2.10.



Rysunek 2.10: Zależność napięcia referencyjnego od napięcia zasilania - wszystkie układy.

Jak łatwo zauważyć, poprawne działanie układu zaczyna się dopiero od pewnej wartości napięcia zasilania. Zatem, można określić pewien próg, poniżej którego układ nie pracuje. Na rysunku 2.11 przedstawiono tę samą symulację, ograniczając się do obszaru, w którym układy zaczynają pracować.



Rysunek 2.11: Zależność napięcia referencyjnego od napięcia zasilania - wszystkie układy (zawężony zakres).

W tabeli 2.8 zebrano dane symulacyjne z powyższych rysunków. Wartość progu, od której układ zaczyna pracować poprawnie oznaczono jako V_{DDmin} . Za kryterium jego wyznaczenia przyjęto wartość napięcia (z dokładnością do 0,1 V), powyżej której zmiana napięcia referencyjnego wynosi maksymalnie około 2 mV.

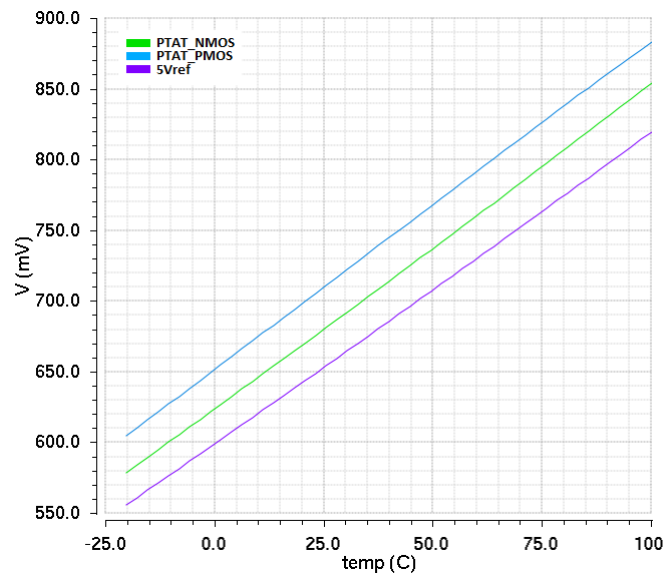
Tabela 2.8: Wartości napięć referencyjnych dla symulacji względem napięcia zasilania.

	V_{DDmin} [V]	V_{DDmax} [V]	ΔV_{ref} [mV]	$V_{ref}(V_{DD} = 1,2V)$ [mV]
DT_NMOS	1,2	1,5	1,15	595,0
ELT_NMOS	1,0	1,5	2,06	602,5
PTAT_ELT_NMOS	0,9	1,5	1,60	596,5
PTAT_ELT_PMOS	1,0	1,5	0,89	601,0
PTAT_5Vref	0,9	1,5	0,56	601,5

$$\Delta V_{ref} = V_{ref}(V_{DDmax}) - V_{ref}(V_{DDmin})$$

2.3.3 Symulacje wyjścia temperaturowego względem temperatury

Trzy spośród zaprojektowanych układów (PTAT_ELT_NMOS, PTAT_ELT_PMOS i PTAT_5Vref) oprócz wyjścia referencyjnego posiadają dodatkowo wyjście temperaturowe. Dzięki temu możliwe jest badanie zachowania układu PTAT. Obwód został zasilony napięciem 1,2 V. Symulacje przeprowadzono dla zakresu temperatur $-20^{\circ}C \div 100^{\circ}C$. Rysunek 2.12 przedstawia zależność wyjścia temperaturowego od temperatury dla układów PTAT.



Rysunek 2.12: Zależność wyjścia temperaturowego od temperatury - układy PTAT.

Jak oczekiwano, uzyskane krzywe wykazują liniową zależność wyjścia temperaturowego względem temperatury. Otrzymane wyniki nachyleń krzywych są bardzo podobne. Zebrano je w tabeli 2.9. Nachylenia temperaturowe wynoszą około $2,2 - 2,3 \text{ mV}/^\circ\text{C}$.

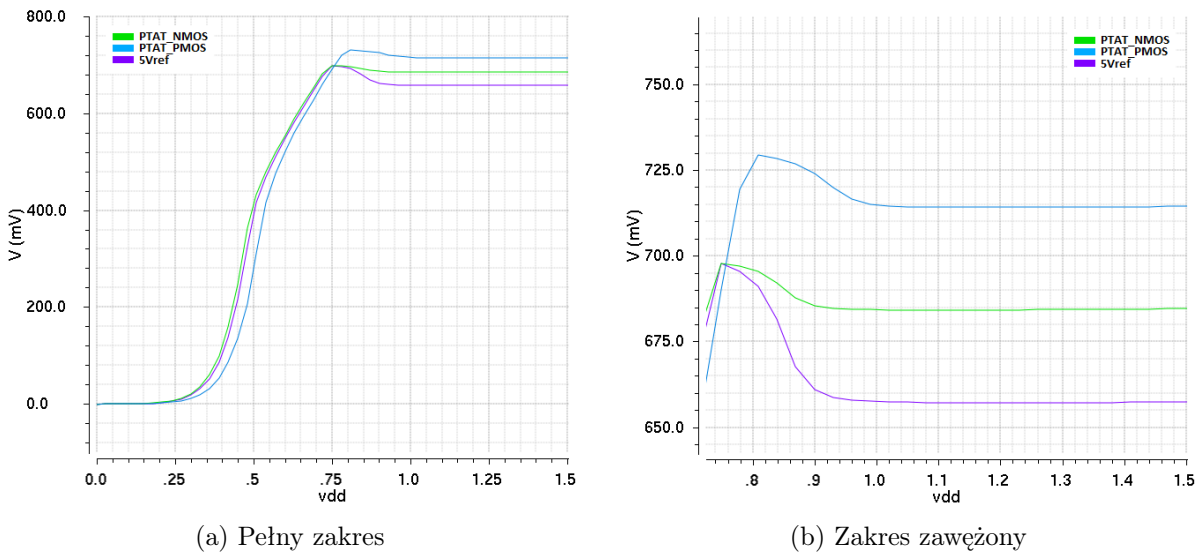
Tabela 2.9: Wartości napięć dla symulacji wyjścia temperaturowego względem temperatury.

V	V_{min} [mV]	V_{max} [mV]	ΔV [mV]	ΔV na 1°C
PTAT_ELT_NMOS	578,80	853,41	274,52	2,288
PTAT_ELT_PMOS	604,80	882,58	277,78	2,314
PTAT_5Vref	556,05	819,24	263,19	2,193

$$\Delta V = V_{max} - V_{min}$$

2.3.4 Symulacje wyjścia temperaturowego względem napięcia zasilania

Przetestowano zależności wyjść temperaturowych od zmian napięcia zasilania. Symulacje przeprowadzono dla zakresu napięć zasilania $0 \text{ V} \div 1,5 \text{ V}$. Wyniki symulacji przedstawia rysunek 2.13.



Rysunek 2.13: Zależność wyjścia temperaturowego od napięcia zasilania - układy PTAT.

W tabeli 2.10 zebrano dane symulacyjne z powyższego rysunku. Wartość progu, od której układ zaczyna pracować poprawnie oznaczono jako V_{DDmin} . Podobnie jak poprzednio, za kryterium wyznaczenia progu przyjęto wartość napięcia (z dokładnością do $0,1 \text{ V}$), powyżej której zmiana napięcia wyjścia temperaturowego wynosi maksymalnie około 2 mV .

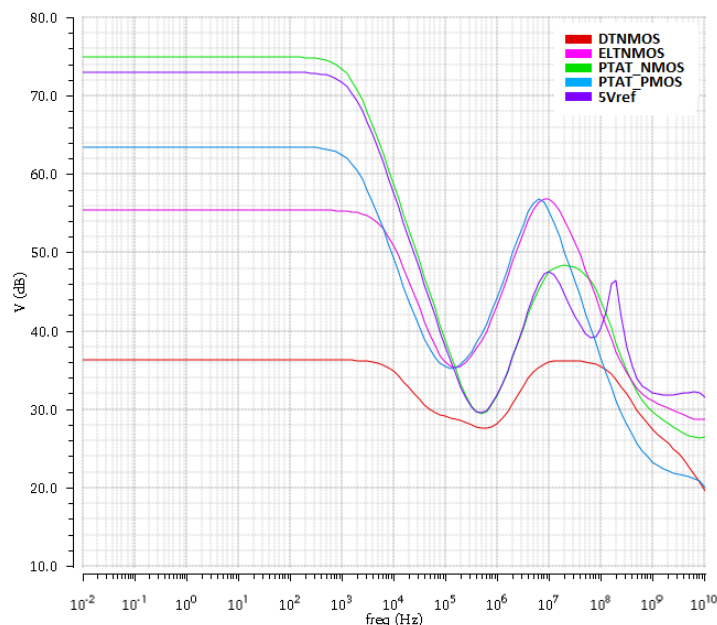
Tabela 2.10: Wartości napięć dla symulacji wyjścia temperaturowego względem napięcia zasilania.

	V_{DDmin} [V]	V_{DDmax} [V]	ΔV [mV]	$V(V_{DD} = 1,2V)$ [mV]
PTAT_ELT_NMOS	0,9	1,5	1,30	685
PTAT_ELT_PMOS	1,0	1,5	0,68	715
PTAT_5Vref	0,9	1,5	0,67	657

$$\Delta V = V(V_{DDmax}) - V(V_{DDmin})$$

2.3.5 Symulacje PSRR

PSRR (*ang. Power Supply Rejection Ratio*) to współczynnik tłumienia wpływu zasilania. Określa się go jako stosunek zmiany napięcia zasilania wzmacniacza operacyjnego do wywołanej przez niego zmiany napięcia wyjściowego [9]. Najczęściej wyraża się go w decybelach. Symulację PSRR dla wyjść referencyjnych wszystkich układów przedstawia rysunek 2.14.



Rysunek 2.14: PSRR dla wyjść referencyjnych.

Dla symulacji PSRR określa się punkt *DC* - wartość PSRR dla najmniejszej częstotliwości oraz wartość PSRR w najgorszym przypadku, oznaczoną jako *min.* (w zakresie częstotliwości do 100 MHz). W tabeli 2.11 zebrano te wartości dla symulacji wyjść referencyjnych wszystkich układów.

Tabela 2.11: Wartości z symulacji PSRR dla wyjść referencyjnych.

	DC [dB]	min. [dB]
DT_NMOS	36,29	27,59
ELT_NMOS	55,35	35,29
PTAT_ELT_NMOS	74,85	29,60
PTAT_ELT_PMOS	63,43	35,26
PTAT_5Vref	72,91	29,66

Analizując powyższe wyniki można wyciągnąć wnioski, że układ z diodami DT_NMOS ma najgorszą wartość PSRR (zwłaszcza dla niskich częstotliwości) w porównaniu do obwodów z diodami ELT_MOS. Wartość PSRR w najgorszym przypadku jest zbliżona do pozostałych. Wyniki uznano za zadowalające, jednak w razie potrzeby można by poprawić wartości PSRR dodając kondensatory odsprzęgające na wyjściu układu.

Następnie przeprowadzono symulacje PSRR dla wyjść temperaturowych. Rysunek 2.15 przedstawia uzyskane rezultaty. Dzięki temu możliwe było określenie wartości PSRR dla punktów *DC* i *min.* Otrzymane wyniki zebrano w tabeli 2.12.

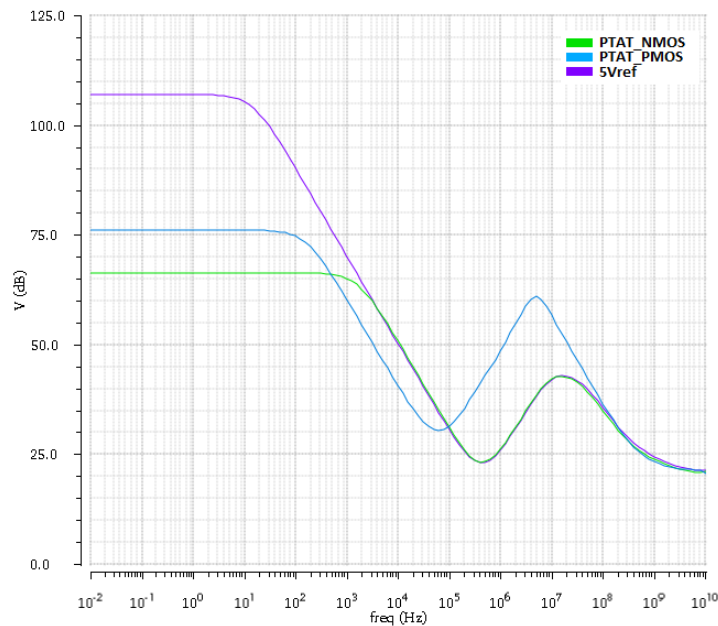
**Rysunek 2.15:** PSRR dla wyjść temperaturowych.

Tabela 2.12: Wartości z symulacji PSRR dla wyjść temperaturowych.

	DC [dB]	min. [dB]
PTAT_ELT_NMOS	66,30	23,29
PTAT_ELT_PMOS	76,01	30,63
PTAT_5Vref	107,01	23,20

Uzyskane wyniki również uznano za wystarczające, ale również i w tym przypadku można by je poprawić dodając kondensatory odsprzęgające.

2.3.6 Symulacje stabilności pracy źródła referencyjnego

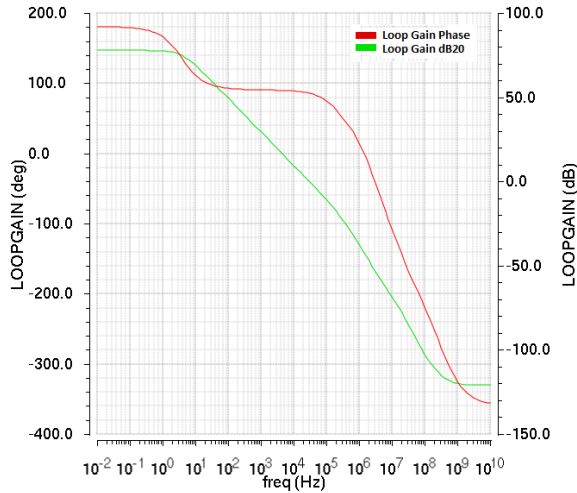
Chcąc sprawdzić stabilność pracy układu wykonuje się symulacje typu *stb* (*ang. stability analysis*). W tym celu na wyjściu wzmacniacza podłączane jest źródło typu *iprobe* (ze standardowej biblioteki *analogLib*). Dzięki temu możliwe jest badanie marginesu fazy oraz wzmocnienia w otwartej pętli wzmacniacza operacyjnego. W tabeli 2.13 zebrano wyniki dla symulacji stabilności wszystkich układów. Symulacje wykonano dla zakresu częstotliwości wynoszącego $0.01 \div 10$ GHz.

Tabela 2.13: Wartości z symulacji stb dla wszystkich układów.

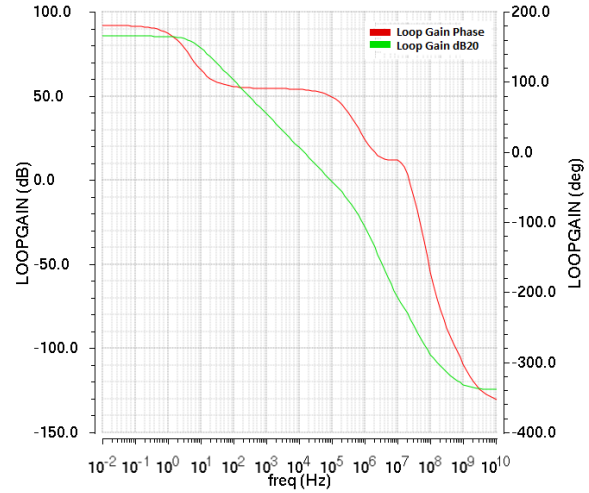
	phase margin [Deg]	frequency [kHz]	gain margin [dB]	frequency [MHz]
DT_NMOS	85,21	29,63	42,13	1,40
ELT_NMOS	79,31	90,51	38,76	1,87
PTAT_ELT_NMOS	81,01	80,19	40,20	1,99
PTAT_ELT_PMOS	83,62	54,48	46,77	2,26
PTAT_5Vref	72,79	169,84	35,81	2,40

Aby układ był stabilny jego margines fazy powinien być wartością większą niż 70 [Deg]. Jak widać wszystkie układy osiągają wartości większe, więc można je uznać za stabilne.

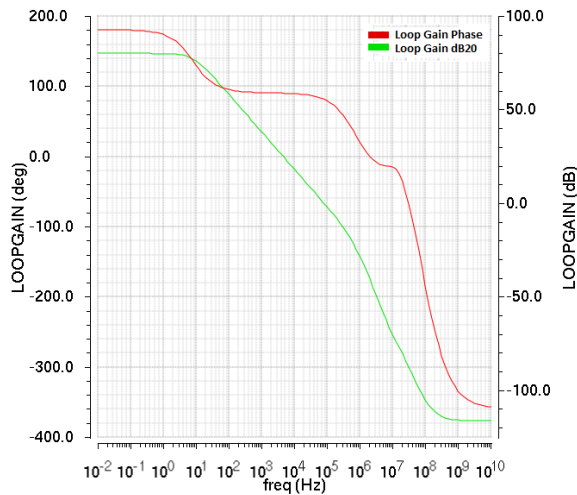
Dodatkowo, przedstawiono wykresy zależności wzmocnienia w otwartej pętli od częstotliwości dla wszystkich układów na rysunku 2.16.



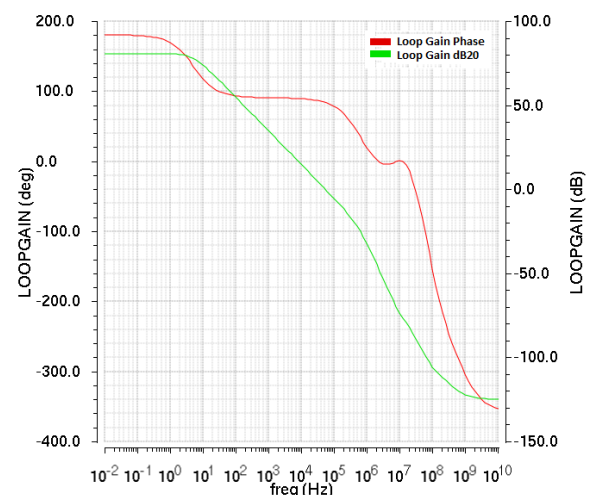
(a) układ DT_NMOS



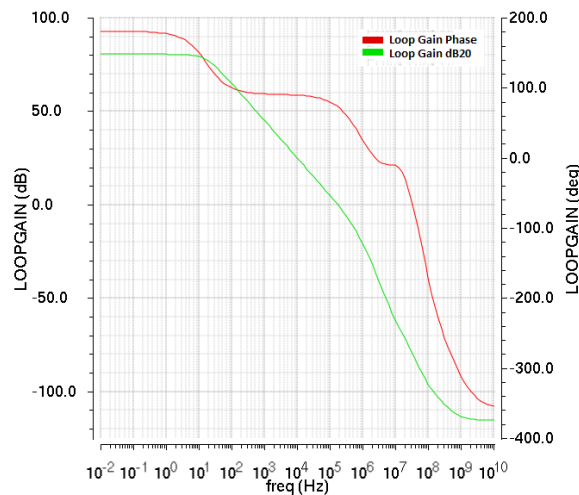
(b) układ ELT_NMOS



(c) układ PTAT_ELT_NMOS



(d) układ PTAT_ELT_PMOS



(e) układ PTAT_5Vref

Rysunek 2.16: Wykresy zależności wzmocnienia w otwartej pętli od częstotliwości dla wszystkich układów.

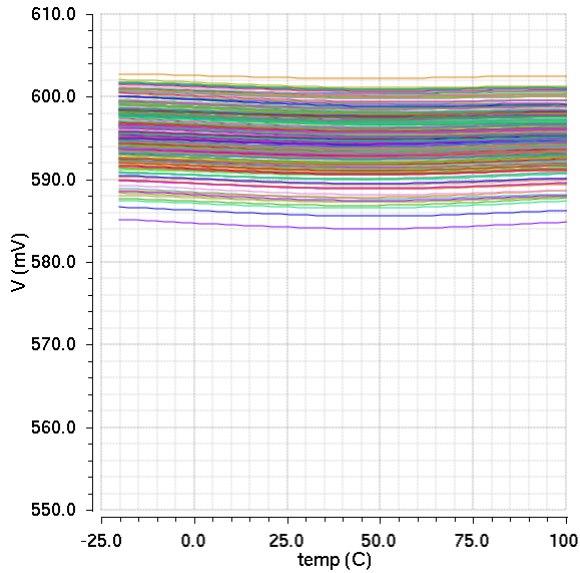
2.3.7 Symulacje Monte Carlo

Jak już wcześniej wspomniano, proces produkcyjny, przez który przechodzi układ scalony nigdy nie jest idealny. Aby przewidzieć jego skutki, już na etapie projektowania wykonuje się symulacje uwzględniające rozrzuty elementów w czasie produkcji. Można je przeprowadzać zarówno używając schematu układu, jak i po jego ekstrakcie. W tym przypadku symulacje wykonano na schemacie.

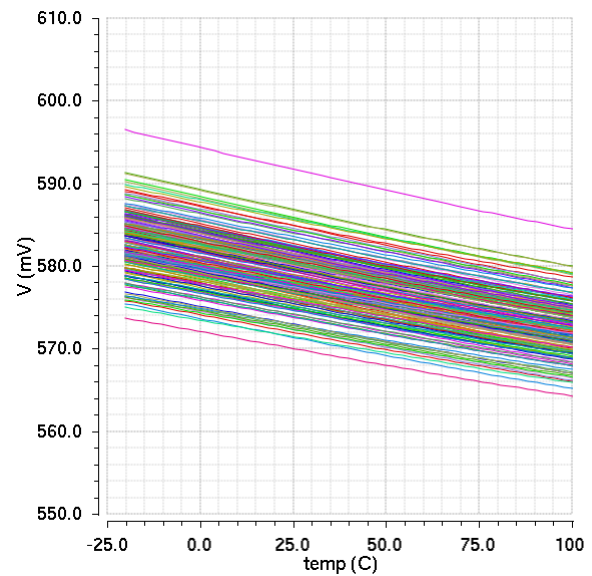
Pierwszym rodzajem wykonanych testów są symulacje rozrzutów statystycznych *Monte Carlo*. Mają one na celu sprawdzenie działania obwodu, gdy elementy nie są identyczne, choć powinny być. Ilość próbek dla tego rodzaju symulacji wyniosła 200.

Symulacje Monte Carlo napięcia referencyjnego względem temperatury

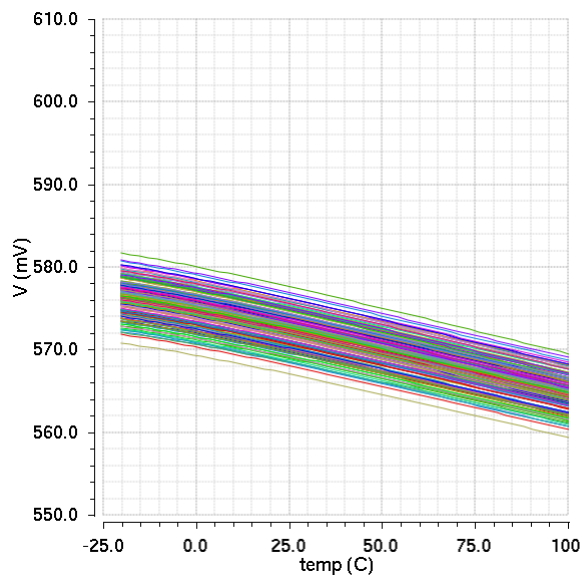
Wyniki symulacji *Monte Carlo* dla zależności napięcia referencyjnego od temperatury przedstawiono na rysunkach 2.17 i 2.18.



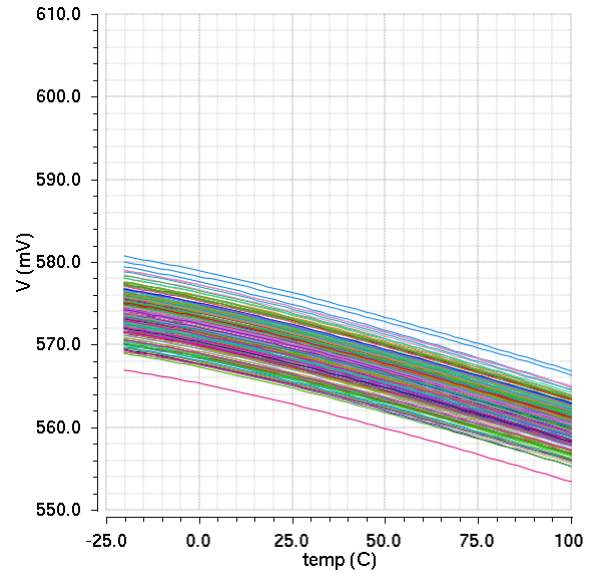
(a) układ DT_NMOS



(b) układ ELT_NMOS



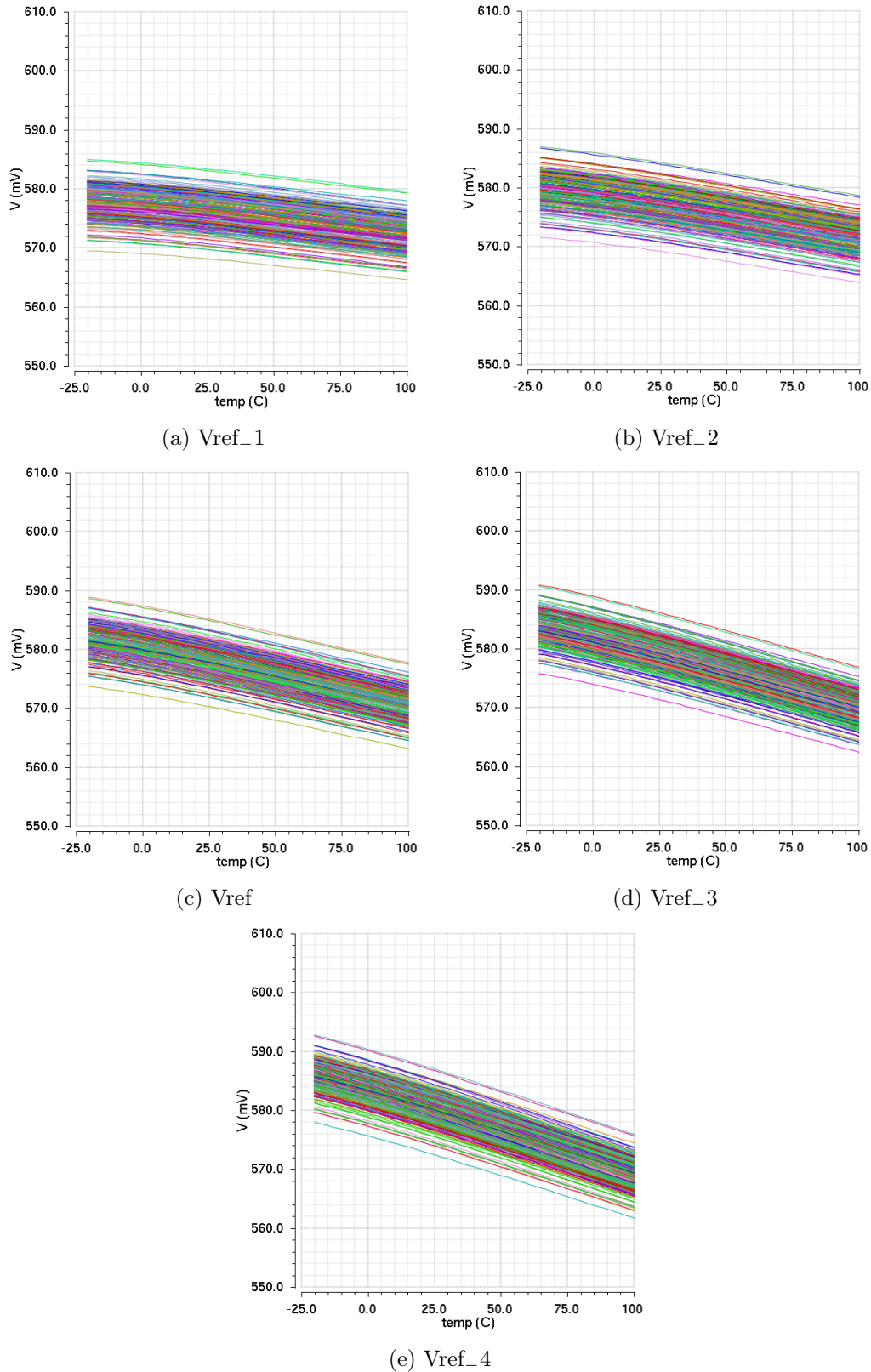
(c) układ PTAT_ELT_NMOS



(d) układ PTAT_ELT_PMOS

Rysunek 2.17: Symulacje *Monte Carlo* napięcia referencyjnego względem temperatury.

Rozrzuty napięcia referencyjnego dla symulacji *Monte Carlo* są rzędu 10 mV dla układów posiadających dodatkowe wyjście temperaturowe (PTAT_ELT_NMOS i PTAT_ELT_PMOS). W przypadku układów DT_NMOS i ELT_NMOS jest to około $15 - 20\text{ mV}$.

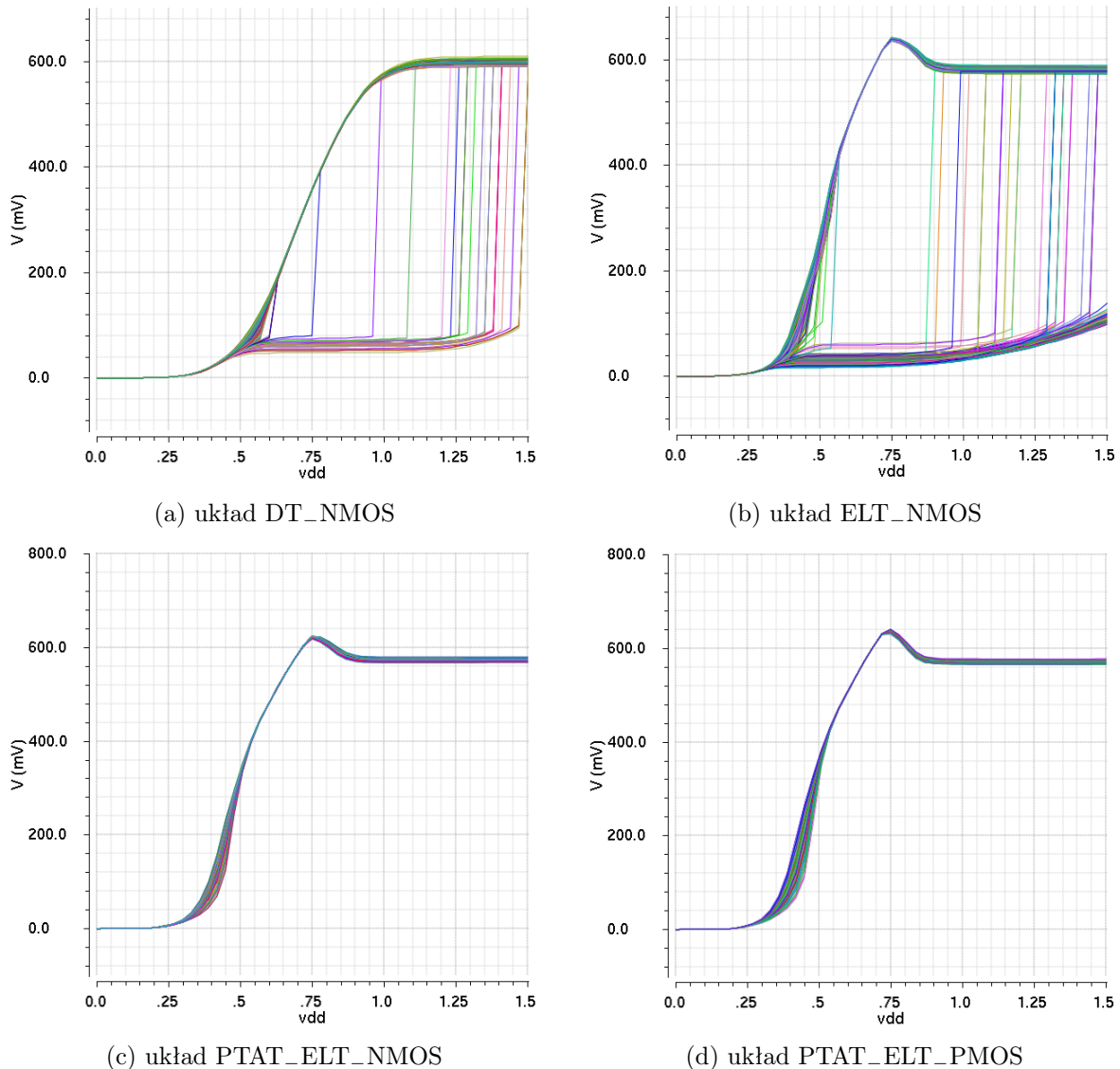


Rysunek 2.18: Symulacje *Monte Carlo* napięcia referencyjnego względem temperatury dla układu z pięcioma wyjściami referencyjnymi.

Dla układu z pięcioma wyjściami referencyjnymi (PTAT_5Vref) rozrzuty napięcia referencyjnego dla symulacji *Monte Carlo* są rzędu 15 mV .

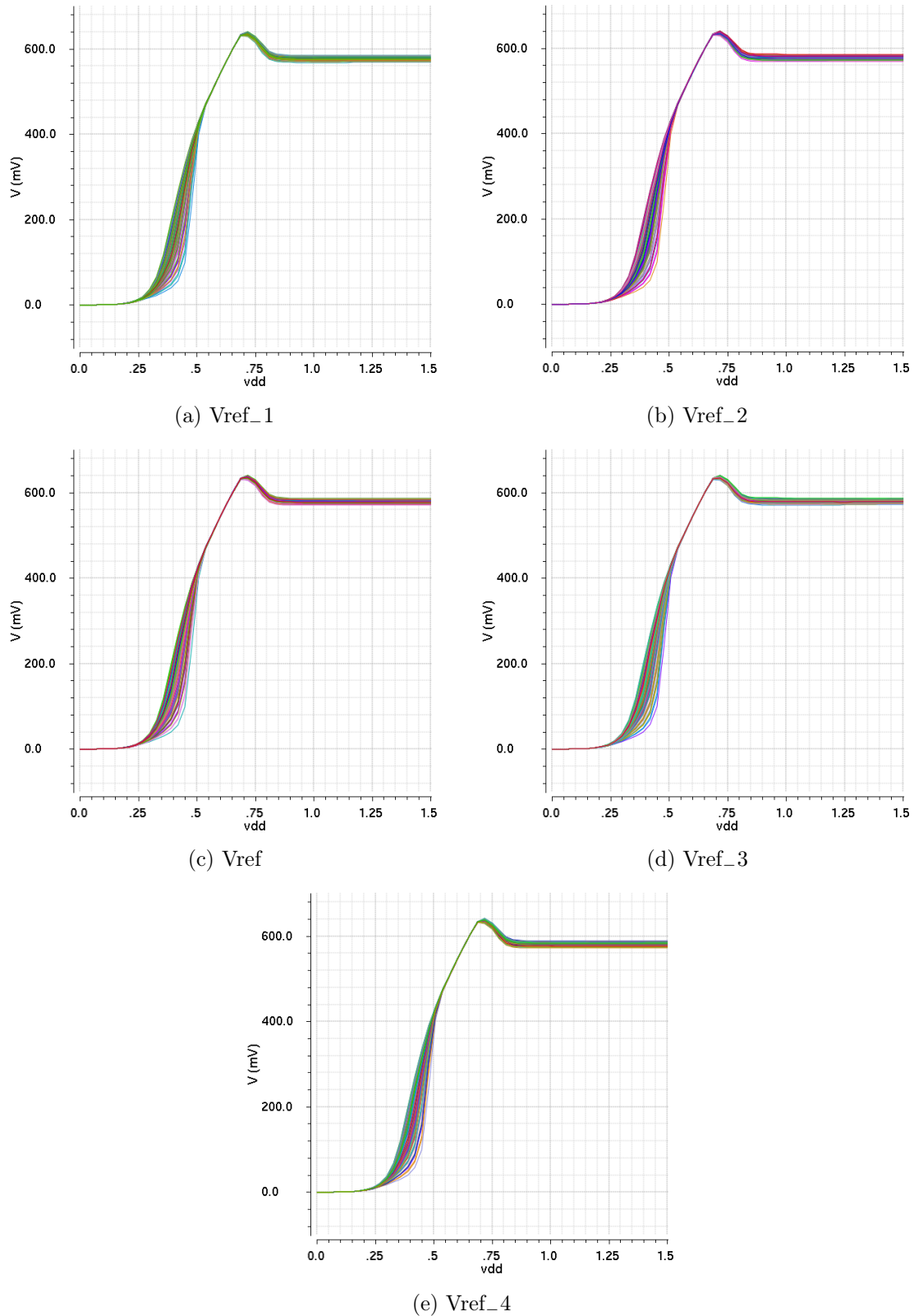
Symulacje Monte Carlo napięcia referencyjnego względem napięcia zasilania

Wyniki symulacji *Monte Carlo* dla zależności napięcia referencyjnego od napięcia zasilania przedstawiono na rysunkach 2.19 i 2.20.



Rysunek 2.19: Symulacje *Monte Carlo* napięcia referencyjnego względem napięcia zasilania.

Rozrzuty napięcia referencyjnego dla symulacji *Monte Carlo* są rzędu 15 mV dla układów posiadających dodatkowe wyjście temperaturowe (PTAT_ELT_NMOS i PTAT_ELT_PMOS). W przypadku układów DT_NMOS i ELT_NMOS około 25% próbek odbiega od pożądaných wartości. Czas wykonania masek technologicznych oraz symulowania układów wraz z ekstraktem był krótki, ze względu na określony termin wysyłania układów do produkcji. Korzystając z możliwości submisji, do produkcji zostały wysłane również układy z nieco gorszymi wynikami symulacyjnymi.

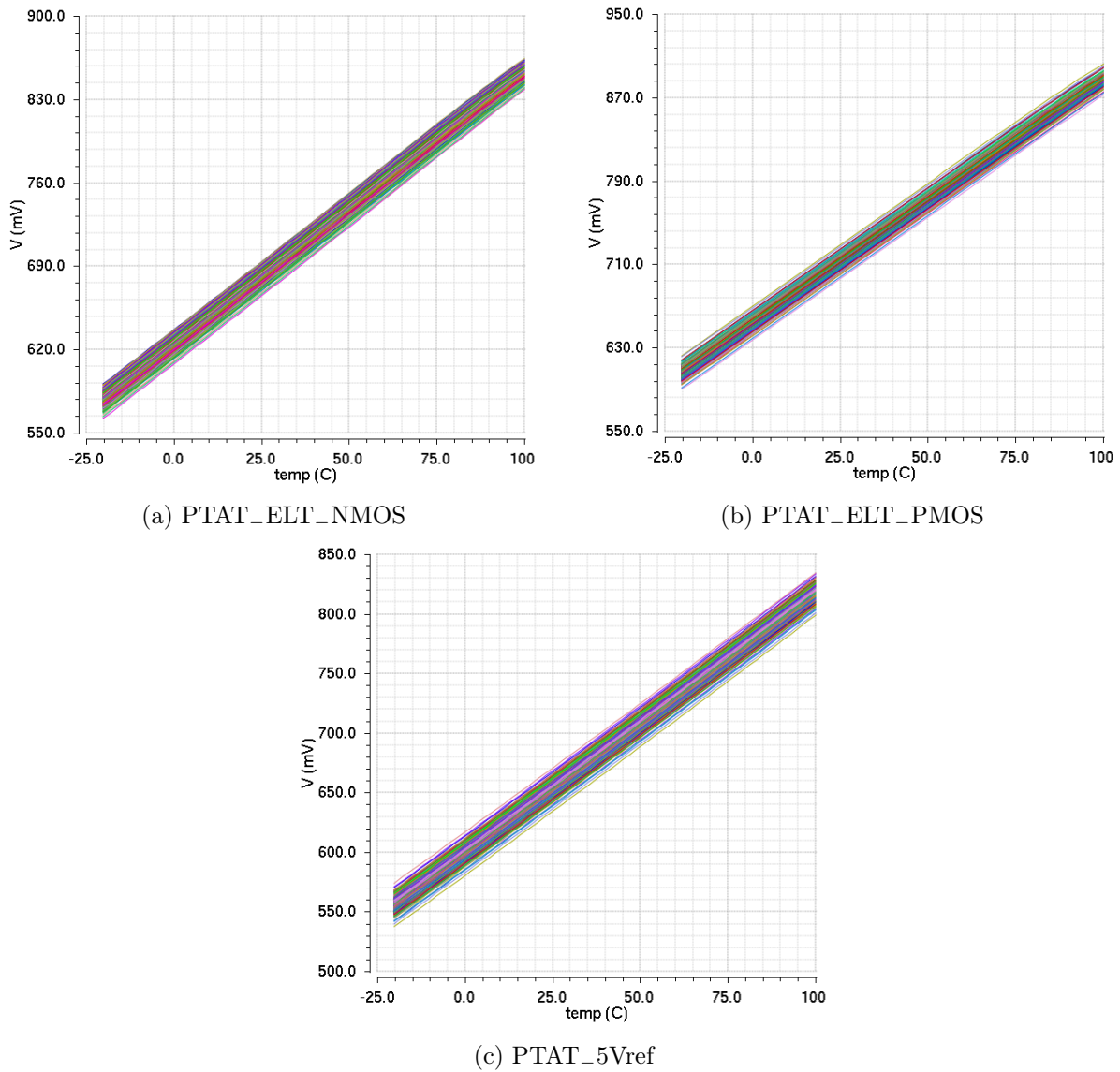


Rysunek 2.20: Symulacje *Monte Carlo* napięcia referencyjnego względem napięcia zasilania dla układu z pięcioma wyjściami referencyjnymi.

Dla układu z pięcioma wyjściami referencyjnymi (PTAT_5Vref) rozrzuty napięcia referencyjnego dla symulacji *Monte Carlo* są rzędu 30 mV .

Symulacje Monte Carlo wyjścia temperaturowego względem temperatury

Wyniki symulacji *Monte Carlo* dla zależności wyjścia temperaturowego od temperatury przedstawiono na rysunku 2.21.

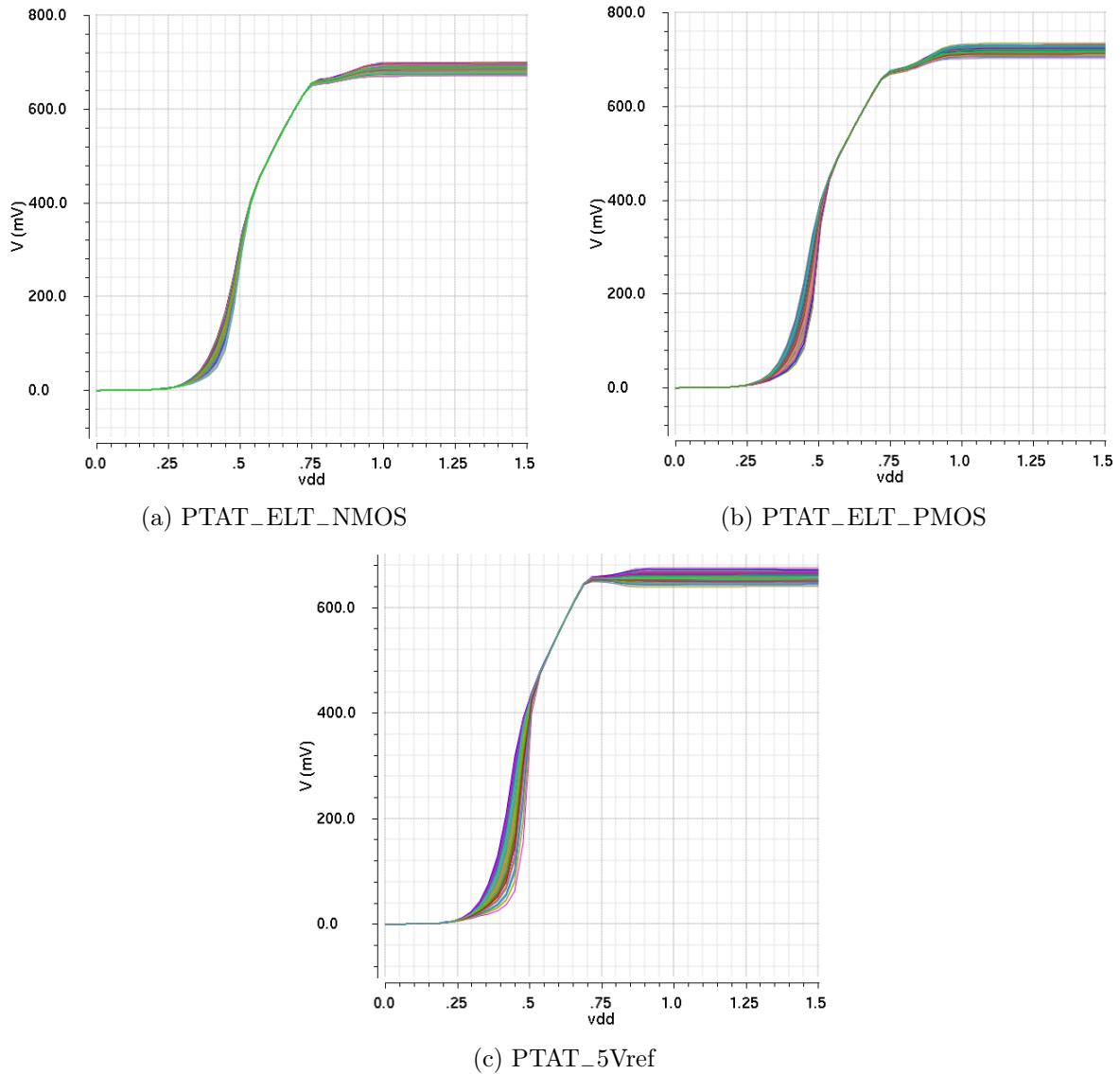


Rysunek 2.21: Symulacje *Monte Carlo* względem temperatury dla wyjścia temperaturowego.

W przypadku układów posiadających dodatkowe wyjście temperaturowe (PTAT_ELT_NMOS, PTAT_ELT_PMOS i PTAT_5Vref) rozrzuty napięcia referencyjnego dla symulacji *Monte Carlo* wynoszą około 10 – 15 mV.

Symulacje Monte Carlo wyjścia temperaturowego względem napięcia zasilania

Wyniki symulacji *Monte Carlo* dla zależności wyjścia temperaturowego od napięcia zasilania przedstawiono na rysunku 2.22.



Rysunek 2.22: Symulacje *Monte Carlo* względem napięcia zasilania dla wyjścia temperaturowego.

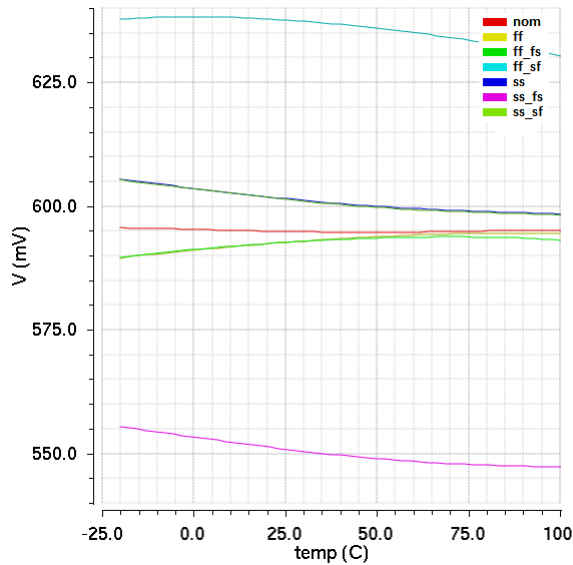
W przypadku układów posiadających dodatkowe wyjście temperaturowe (PTAT_ELT_NMOS, PTAT_ELT_PMOS i PTAT_5Vref) rozrzuty napięcia referencyjnego dla symulacji *Monte Carlo* wynoszą około 30 – 40 mV.

2.3.8 Symulacje brzegowe

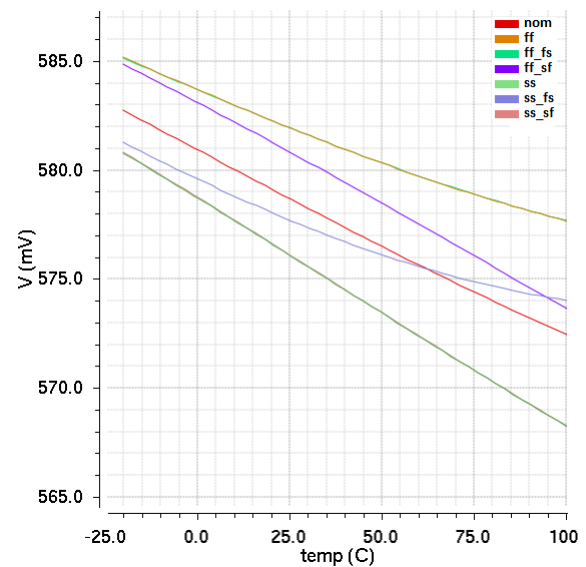
Drugim rodzajem testów wykonywanych na etapie projektowania układu, badających rozrzuty elementów przy produkcji, są symulacje brzegowe. Wykonywane są względem tzw. *cornerów* - czyli skrajnych wartości jakie mogą mieć parametry poszczególnych elementów w najlepszych i najgorszych przypadkach, dostarczanych przez producenta. W celu przeprowadzenia symulacji użyto standardowych modeli typu *corner* dostępnych w technologii *CMOS 130 nm*: nom (nominal), FF (fast - fast), FS (fast - slow), SF (slow - fast) i SS (slow - slow).

Symulacje brzegowe napięcia referencyjnego względem temperatury

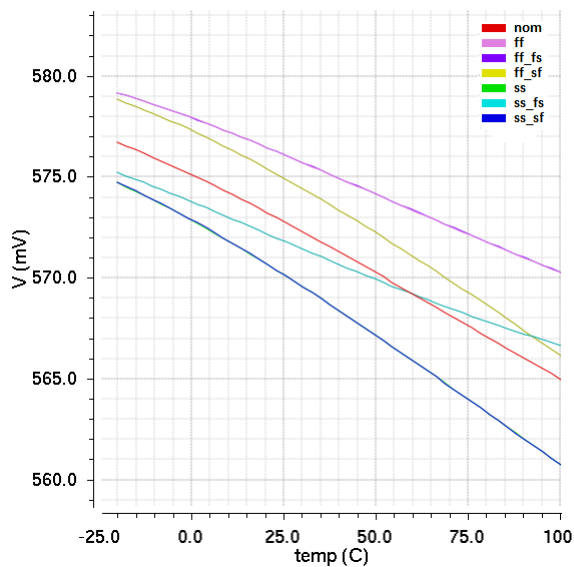
Wyniki symulacji brzegowych dla zależności napięcia referencyjnego od temperatury przedstawiono na rysunkach 2.23 i 2.24.



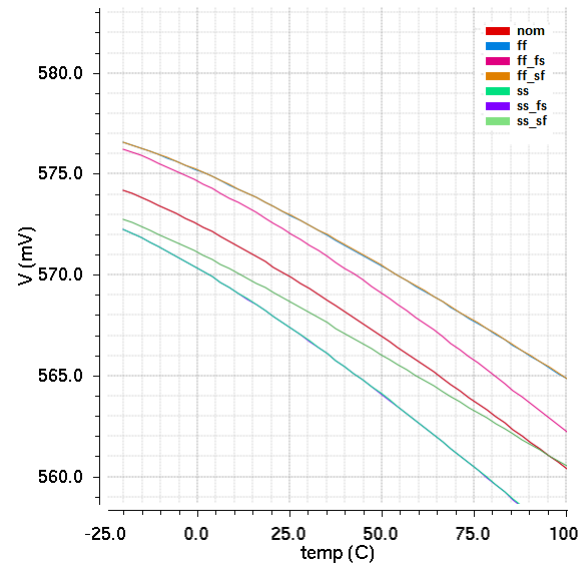
(a) układ DT_NMOS



(b) układ ELT_NMOS



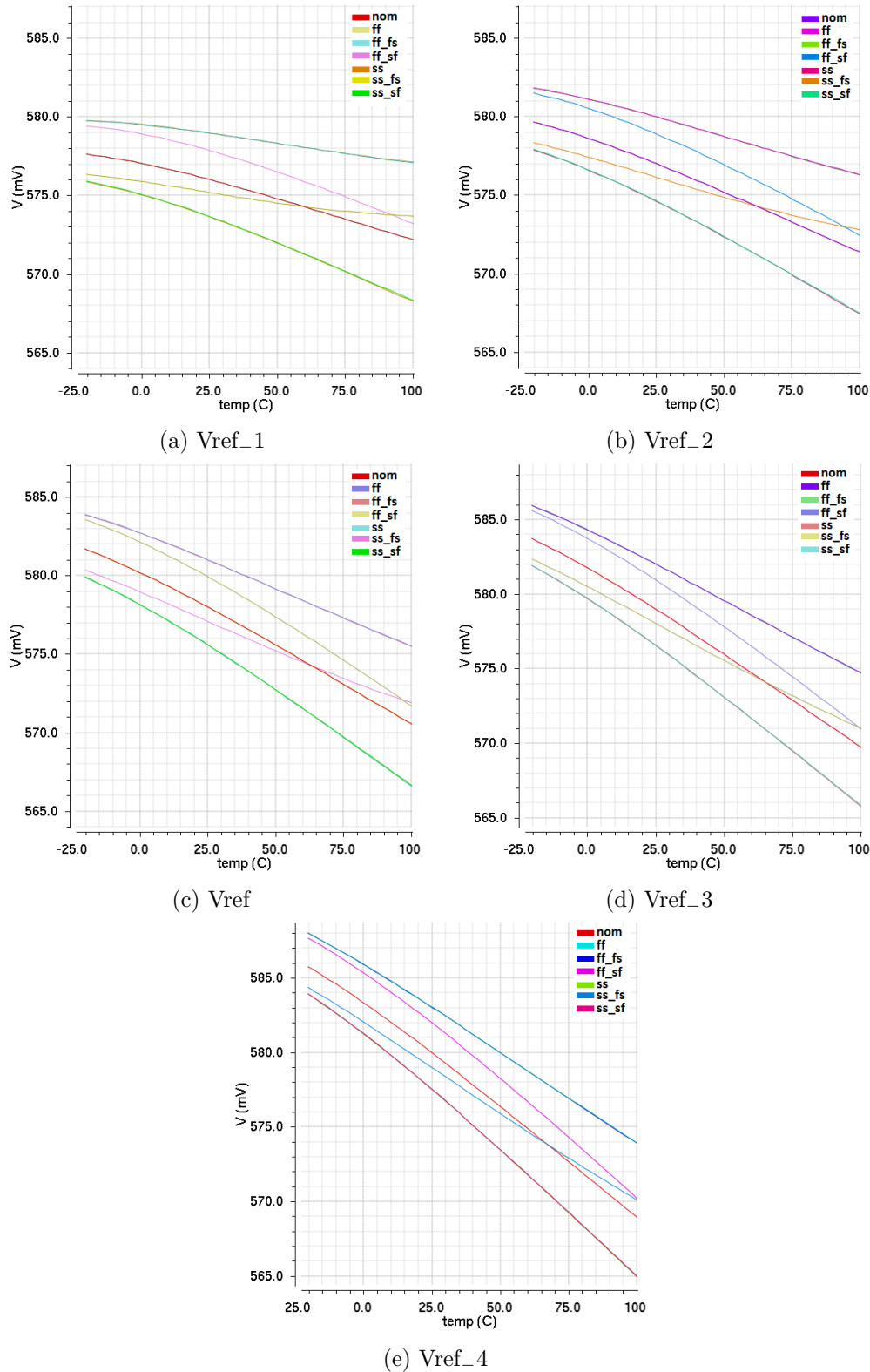
(c) układ PTAT_ELT_NMOS



(d) układ PTAT_ELT_PMOS

Rysunek 2.23: Symulacje brzegowe napięcia referencyjnego względem temperatury.

Rozrzuty napięcia referencyjnego dla symulacji brzegowych są rzędu $\pm 5 \text{ mV}$ względem nominalnej wartości dla układów z diodami ELT_MOS. Obwód posiadający w swojej konfiguracji diody DT_NMOS wykazuje dużo gorsze wyniki, około $\pm 40 \text{ mV}$.

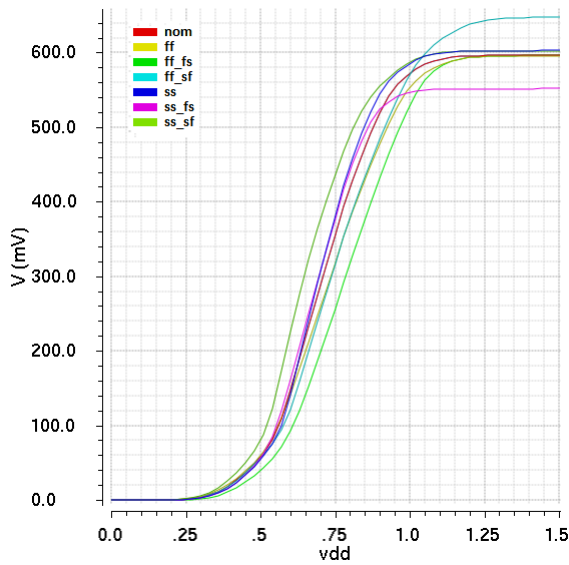


Rysunek 2.24: Symulacje brzegowe napięcia referencyjnego względem temperatury dla układu z pięcioma wyjściami referencyjnymi.

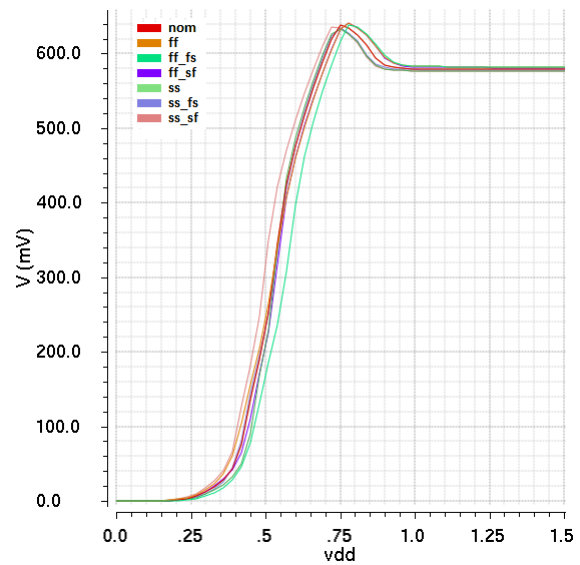
Dla układu z pięcioma wyjściami referencyjnymi (PTAT_5Vref) rozrzuty napięcia referencyjnego dla symulacji brzegowych są podobne ($\pm 5 \text{ mV}$) jak dla układów PTAT_ELT_NMOS i PTAT_ELT_PMOS, ze względu na użycie diod tego samego typu.

Symulacje brzegowe napięcia referencyjnego względem napięcia zasilania

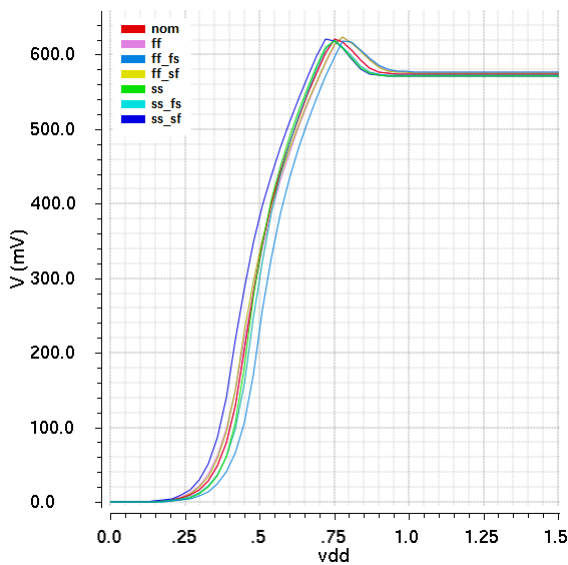
Wyniki symulacji brzegowych dla zależności napięcia referencyjnego od napięcia zasilania przedstawiono na rysunkach 2.25 i 2.26.



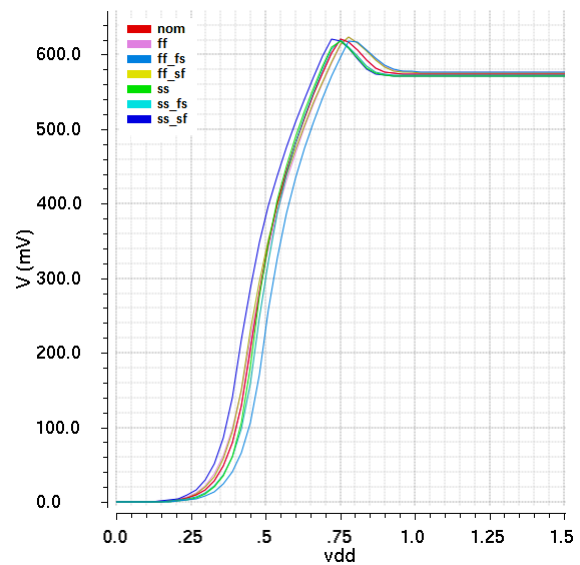
(a) układ DT_NMOS



(b) układ ELT_NMOS



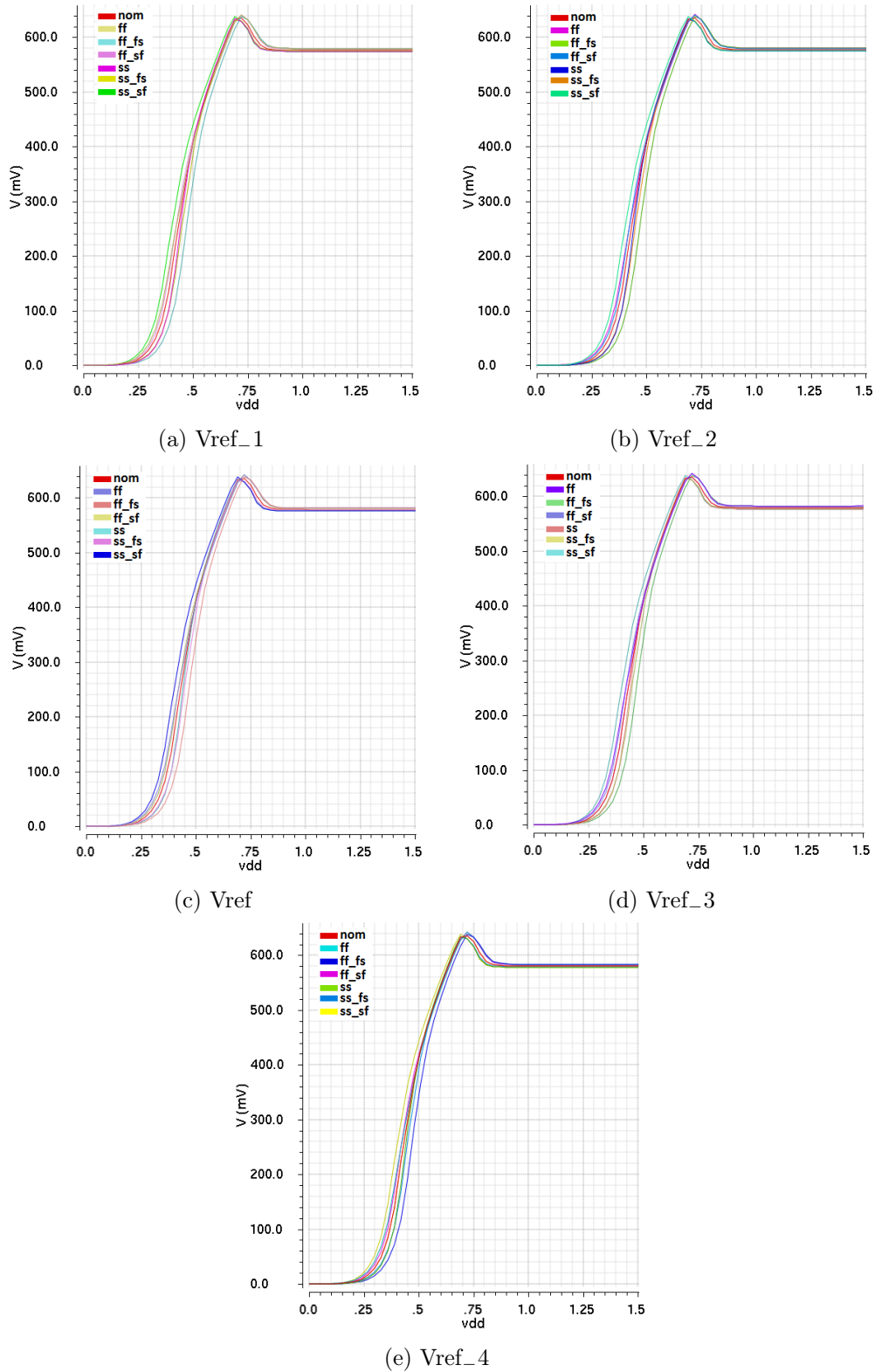
(c) układ PTAT_ELT_NMOS



(d) układ PTAT_ELT_PMOS

Rysunek 2.25: Symulacje brzegowe napięcia referencyjnego względem napięcia zasilania.

Rozrzuty napięcia referencyjnego dla symulacji brzegowych są rzędu $\pm 2 \text{ mV}$ względem nominalnej wartości dla układów z diodami ELT_MOS. Obwód posiadający w swojej konfiguracji diody DT_NMOS wykazuje dużo gorsze wyniki, około $\pm 50 \text{ mV}$.

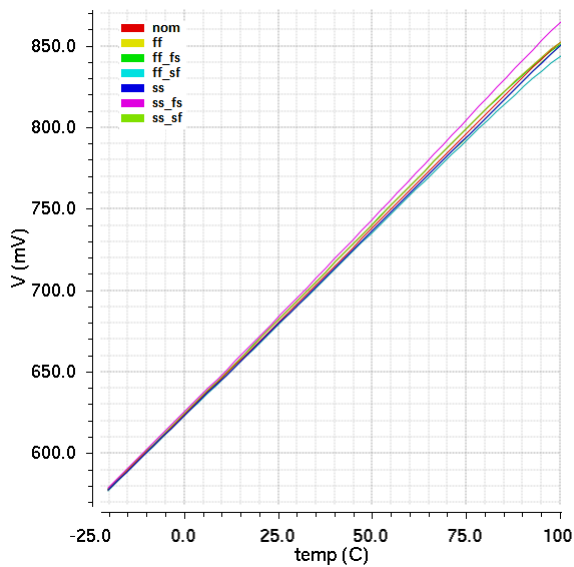


Rysunek 2.26: Symulacje brzegowe napięcia referencyjnego względem napięcia zasilania dla układu z pięcioma wyjściami referencyjnymi.

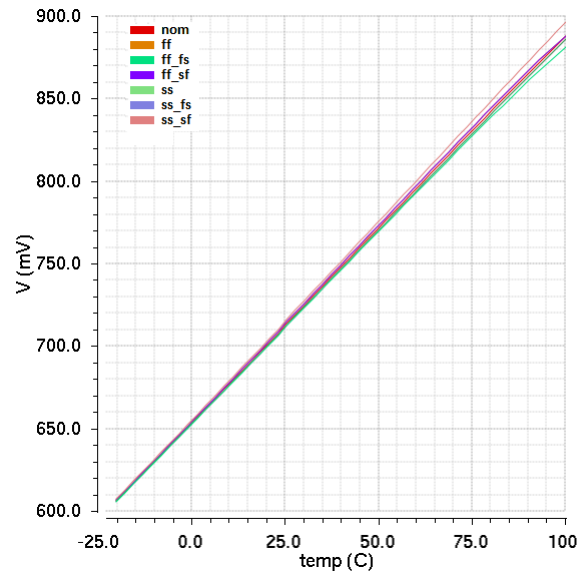
Dla układu z pięcioma wyjściami referencyjnymi (PTAT_5Vref) rozrzuty napięcia referencyjnego dla symulacji brzegowych są podobne ($\pm 2 \text{ mV}$) jak dla układów PTAT_ELT_NMOS i PTAT_ELT_PMOS, ze względu na użycie diod tego samego typu.

Symulacje brzegowe wyjścia temperaturowego względem temperatury

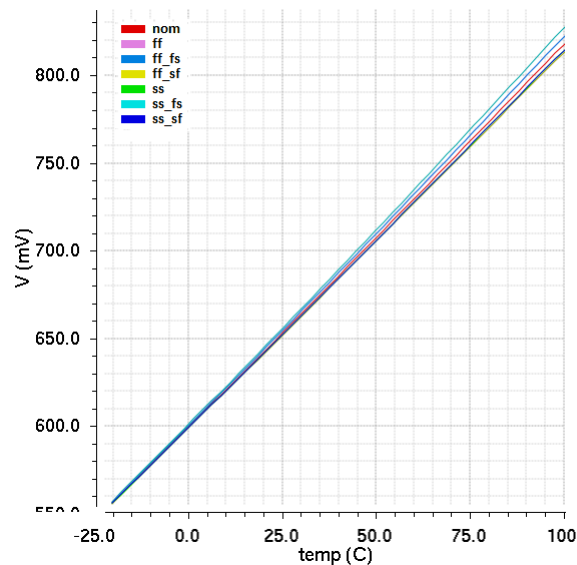
Wyniki symulacji brzegowych dla zależności wyjścia temperaturowego od temperatury przedstawiono na rysunku 2.27.



(a) PTAT_ELT_NMOS



(b) PTAT_ELT_PMOS



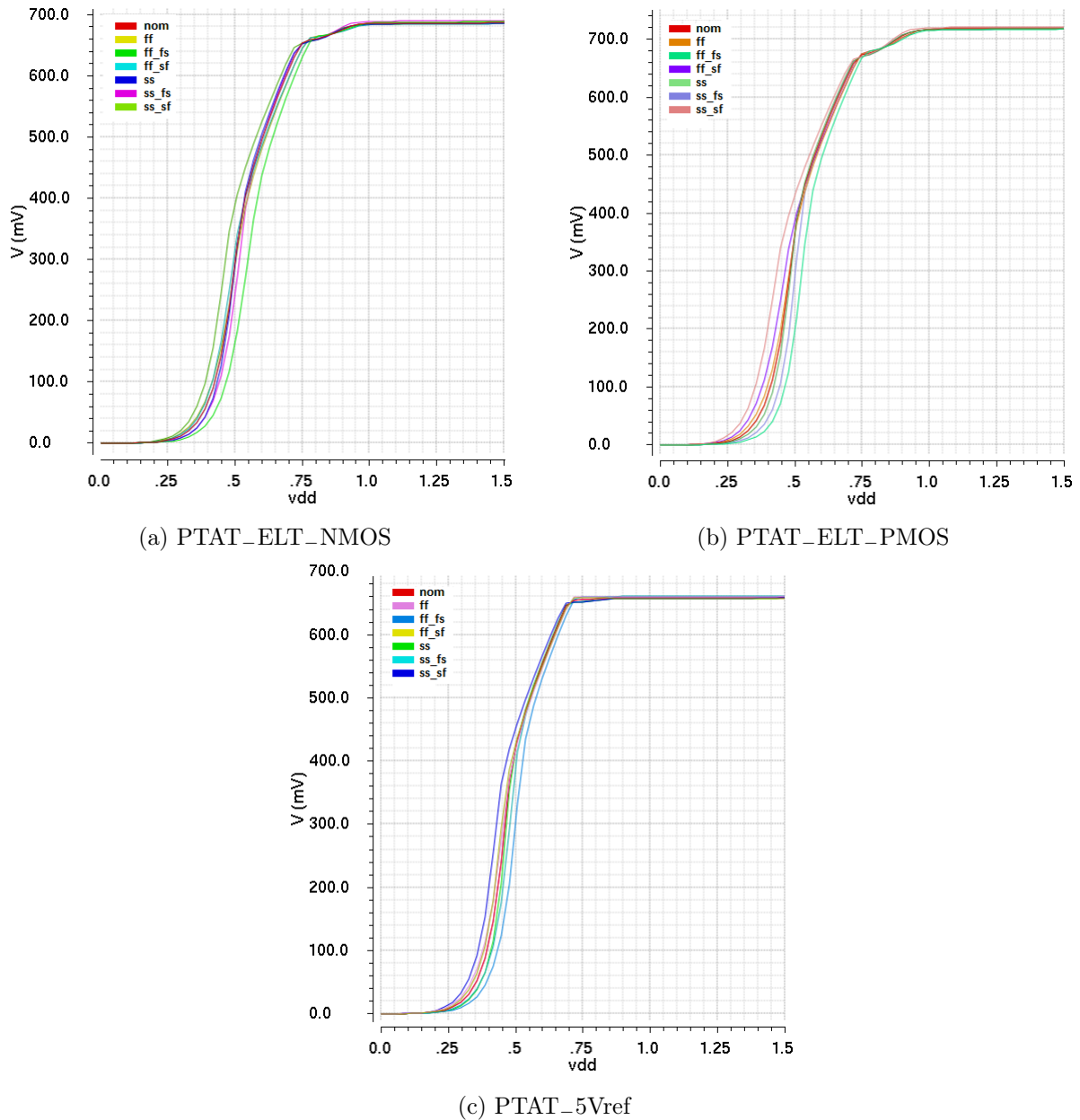
(c) PTAT_5Vref

Rysunek 2.27: Symulacje brzegowe względem temperatury dla wyjścia temperaturowego.

W przypadku układów posiadających dodatkowe wyjście temperaturowe (PTAT_ELT_NMOS, PTAT_ELT_PMOS i PTAT_5Vref) rozrzuty napięcia temperaturowego dla symulacji brzegowych są rzędu $\pm 8 \text{ mV}$ względem nominalnej wartości.

Symulacje brzegowe wyjścia temperaturowego względem napięcia zasilania

Wyniki symulacji brzegowych dla zależności wyjścia temperaturowego od napięcia zasilania przedstawiono na rysunku 2.28.



Rysunek 2.28: Symulacje brzegowe względem napięcia zasilania dla wyjścia temperaturowego.

W przypadku układów posiadających dodatkowe wyjście temperaturowe (PTAT_ELT_NMOS, PTAT_ELT_PMOS i PTAT_5Vref) rozrzuty napięcia temperaturowego dla symulacji brzegowych są rzędu $\pm 2 \text{ mV}$ względem nominalnej wartości.

2.3.9 Pobór mocy źródła referencyjnego

Pobór mocy źródeł referencyjnych był symulowany oddzielnie od wzmacniacza operacyjnego. W tabeli 2.14 zebrano otrzymane wyniki dla wszystkich źródeł, natomiast pobór mocy samego wzmacniacza operacyjnego to $6 \mu W$.

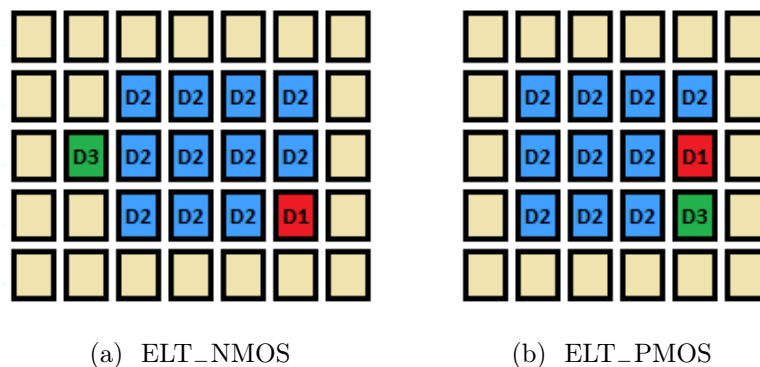
Tabela 2.14: Pobór mocy źródła referencyjnego.

	Pobór mocy [μW]
DT_NMOS	86,76
ELT_NMOS	61,32
PTAT_ELT_NMOS	44,50
PTAT_ELT_PMOS	72,01
PTAT_5Vref	48,47

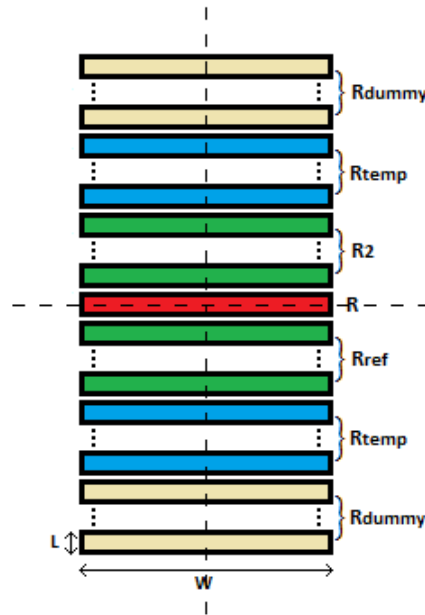
2.4 Projekt masek technologicznych

Na podstawie schematu każdego układu stworzono projekt masek technologicznych tzw. *layout*. Dwa z pięciu layout'ów układów, które wysłano do produkcji, zostały narysowane przez Autorkę i będą szczegółowo opisane w niniejszym rozdziale. Pozostałe trzy projekty masek technologicznych wykonano z pomocą innej osoby, dlatego ich opis zostanie w tej pracy pominięty.

Ponieważ najważniejszymi elementami całego układu są diody oraz istotne jest, aby zachować właściwy stosunek rezystancji, najwięcej uwagi poświęcono na odpowiednie pogrupowanie i rozmieszczenie tych elementów. Stworzono w tym celu matryce zarówno diod jak i rezystancji, które zobrazowane są na rysunkach 2.29 oraz 2.30.



Rysunek 2.29: Schemat matrycy diod.



Rysunek 2.30: Schemat matrycy rezystancji.

Podczas tworzenia matrycy kluczową rolę odgrywało symetryczne rozmieszczenie elementów oraz ich odizolowanie od innych części układu. W tym celu, na brzegach matrycy dołączono dodatkowe „atrapy” (*ang. dummy*). Dzięki temu, z punktu widzenia każdej diody, mamy takie samo otoczenie.

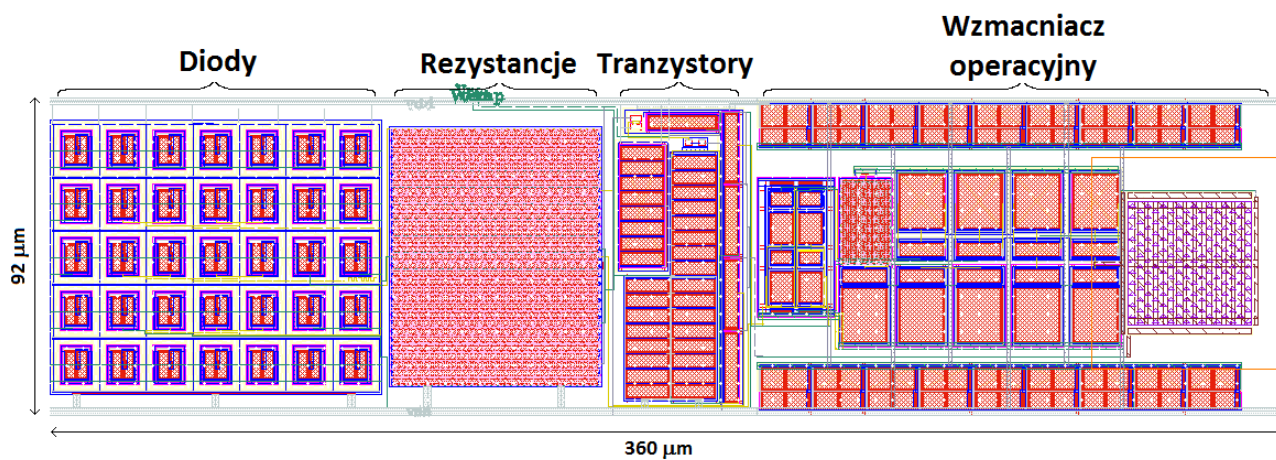
W przypadku rezystancji, symetryczne rozmieszczenie oznaczało nie tylko ich odpowiednie rozłożenie względem siebie i innych elementów, ale także właściwy podział na mniejsze elementy. Dokonano tego tak, aby zachować jednakowe szerokości W i podobne długości L .

Mając gotowe matryce, możliwe było złożenie całego layout’u. Rysunki 2.31 oraz 2.32 przedstawiają projekty masek technologicznych odpowiednio źródła z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_NMOS oraz tego samego źródła z diodami typu ELT_PMOS.

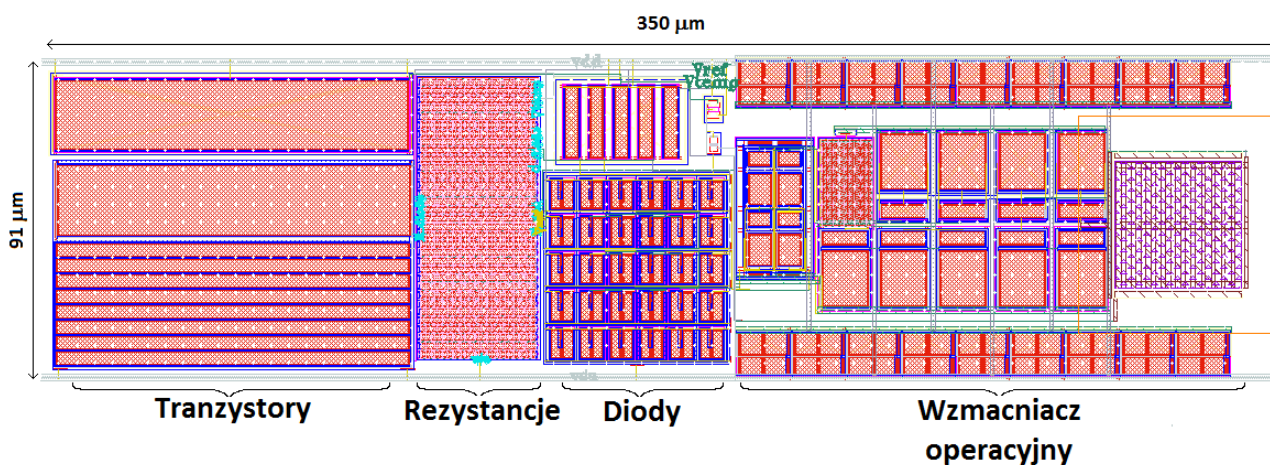
Każdy z layout’ów przeszedł pomyślnie testy Calibre DRC¹ oraz Assurra LVS². Dzięki temu możliwe było wygenerowanie ekstraktu wraz z elementami pasożytniczymi, będącego konwersją layout’u do obwodu elektrycznego. Przy pomocy stworzonego ekstraktu możliwe było wykonanie symulacji post-layout’owych.

¹Calibre DRC (*ang. Design Rule Checking*) - sprawdza zgodność układu z regułami projektowymi.

²Assurra LVS (*ang. Layout versus Schematic*) - sprawdza czy istnieją różnice pomiędzy schematem, a layout’em danego układu.



Rysunek 2.31: Layout źródła referencyjnego z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_NMOS.



Rysunek 2.32: Layout źródła referencyjnego z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_PMOS.

Rozdział 3

Pomiary źródła referencyjnego

Trzecia część niniejszej pracy została poświęcona pomiarom prototypowych układów źródeł referencyjnych i sensorów temperatury. Dzięki temu możliwe było porównanie wyników symulacyjnych z rezultatami otrzymanymi podczas pomiarów wyprodukowanych układów. Ze względu na czasochłonność pomiarów oraz podobieństwo uzyskiwanych wyników zdecydowano, że pomiar każdego z układów scalonych będzie jednokrotny.

3.1 Budowa układu pomiarowego

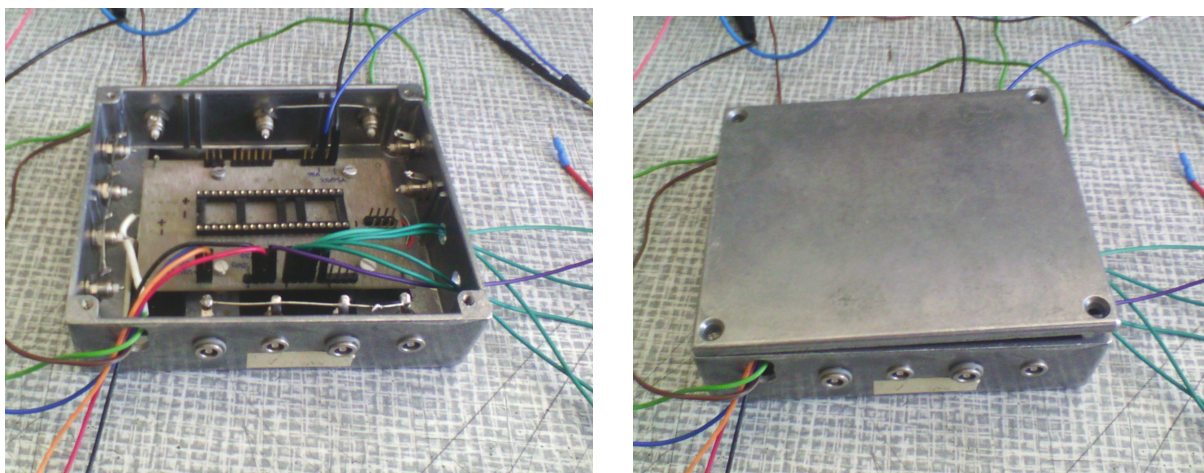
Przedmiotem badań były cztery ASIC'i, po dwa z każdego rodzaju, zawierające wszystkie zaprojektowane układy. Dwa z nich, oznaczone jako ASIC I, posiadały układ z pięcioma wyjściami referencyjnymi PTAT_5Vref, natomiast pozostałe dwa, oznaczone jako ASIC II, zawierały układy DT_NMOS, ELT_NMOS, PTAT_ELTMOS i PTAT_ELTPMOS. Fotografie jednego z badanych układów scalonych, umieszczonego w obudowie CC (*ang. Chip Carrier*), zamieszczono poniżej na rysunku *3.1*.



Rysunek 3.1: Chip carrier z badanym układem scalonym.

Każdy z badanych układów scalonych został umieszczony w aluminiowym pudełku, mającym na celu zapewnienie jednakowej temperatury oraz odizolowanie układu scalonego od

działania środowiska zewnętrznego. Rysunek 3.2 przedstawia fotografię omawianego układu pomiarowego.



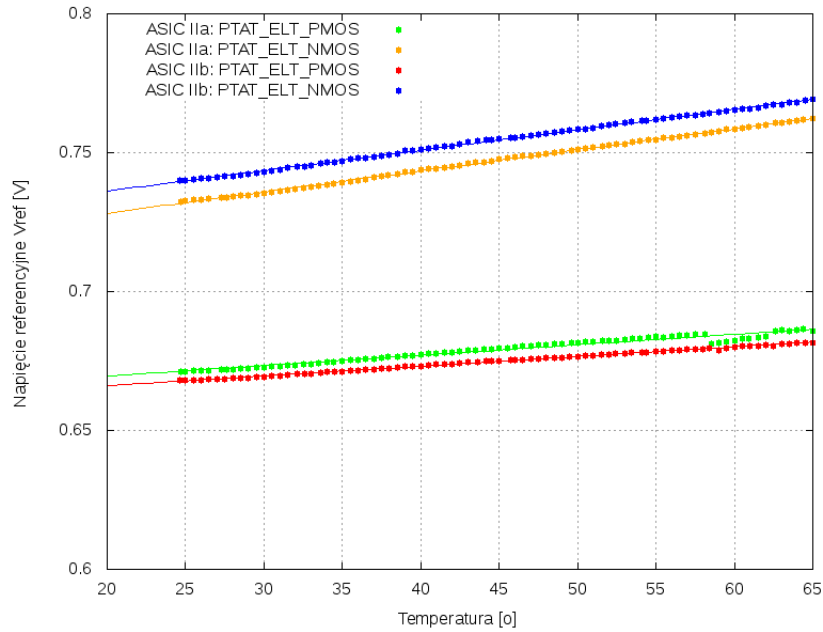
Rysunek 3.2: Fotografia układu pomiarowego.

Podczas wykonywania pomiarów, wpinano badany ASIC w specjalnie zmontowaną płytkę, pod którą znajdował się opornik. To właśnie dzięki niemu możliwe było ogrzewanie układu scalonego. Temperaturę układu zmieniano za pomocą źródła napięcia stałego, które regulowało prąd przepływający przez rezystor. Pomiaru temperatury dokonywano przy pomocy termopary, podłączonej do multimetru. Należy zwrócić uwagę na bardzo przybliżoną dokładność pomiarów, gdyż termopara nie miała dokładnie tej samej temperatury co badane ASIC'i. Pudełko było zamknięte, a wyprowadzone wyjścia pozwoliły na odpowiednie podłączenie obwodu z urządzeniami zewnętrznymi. Układ zasilano przy pomocy źródła napięcia stałego. Wyjścia napięcia referencyjnego oraz temperaturowe mierzonych układów podłączono do multimetrów.

3.2 Pomiarzy źródła referencyjnego

3.2.1 Pomiarzy napięcia referencyjnego względem temperatury

Podczas badania zależności napięcia referencyjnego od temperatury układ został zasilony stałym napięciem 1,2 V. Pomiaru dokonano na przedziale 40°C , zaczynając od temperatury pokojowej. Zakres mierzonych temperatur to około $25^{\circ}\text{C} \div 65^{\circ}\text{C}$, w zależności od temperatury pokojowej, jaka panowała danego dnia w pomieszczeniu. W czasie trwania pomiaru, opornik był stopniowo podgrzewany, a punkty pomiarowe odczytywano co $0,5^{\circ}\text{C}$. Uzyskane wyniki zobrazowano na wykresie 3.3 dla układów scalonych ASIC II oraz wykresach 3.4 i 3.5 dla układów ASIC I. Następnie, uzyskane wartości zebrano w tabelach 3.1 - 3.4.



Rysunek 3.3: Pomiar zależności napięcia referencyjnego od temperatury (układy scalone ASIC IIa i ASIC IIb).

Na rysunku 3.3 zamieszczono jedynie układy PTAT_ELT_NMOS oraz PTAT_ELT_PMOS. Pozostałe dwa - DT_NMOS oraz ELT_NMOS nie działały poprawnie, więc zostały pominięte, aby wykres był bardziej czytelny. Uzyskane wyniki dla wszystkich układów przedstawiono w tabelach 3.1 i 3.2.

W przypadku układów PTAT_ELT_NMOS oraz PTAT_ELT_PMOS otrzymywane wartości odbiegają od symulowanego napięcia referencyjnego $\sim 0,6 V$.

Tabela 3.1: Wartości napięć referencyjnych dla pomiaru względem temperatury (układ scalony ASIC IIa).

	$V_{min}(24, 7^{\circ}C)$ [mV]	$V_{max}(65^{\circ}C)$ [mV]	ΔV [mV]
DT_NMOS	6	16	10
ELT_NMOS	0	0	0
PTAT_ELT_NMOS	732,4	762,4	30
PTAT_ELT_PMOS	671,1	685,6	14,5

$$\Delta V = V_{max} - V_{min}$$

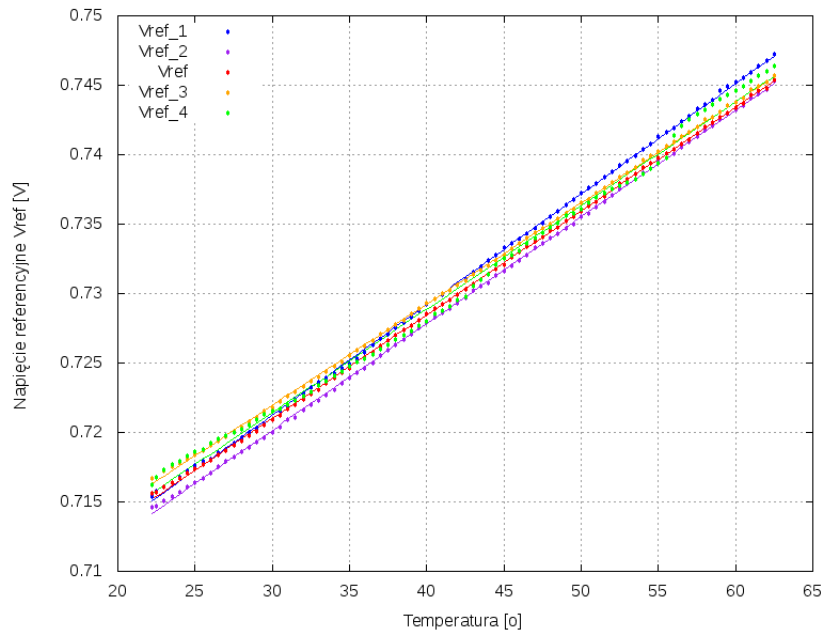
Tabela 3.2: Wartości napięć referencyjnych dla pomiaru względem temperatury (układ scalony ASIC IIB).

	$V_{min}(24, 7^{\circ}C)$ [mV]	$V_{max}(65^{\circ}C)$ [mV]	ΔV [mV]
DT_NMOS	0	0	0
ELT_NMOS	7	28	21
PTAT_ELT_NMOS	739,9	769,1	29,2
PTAT_ELT_PMOS	667,9	681,7	13,8

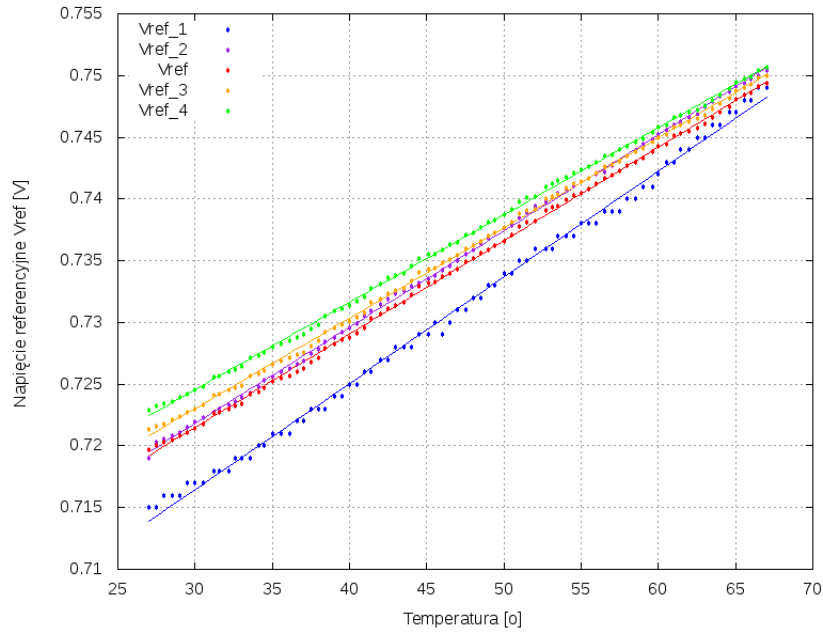
$$\Delta V = V_{max} - V_{min}$$

Uzyskane wartości napięć to około 750 mV dla układu PTAT_ELT_NMOS oraz 670 mV dla układu PTAT_ELT_PMOS. Jest to spore przesunięcie, rzędu 25% oraz 12% względem wartości oczekiwanej - 600 mV . Różnica pomiędzy maksymalną, a minimalną wartością napięcia referencyjnego to około 30 mV dla obwodu PTAT_ELT_NMOS oraz 14 mV dla obwodu PTAT_ELT_PMOS.

Podobne przesunięcie względem wartości 600 mV wykazuje układ z pięcioma wyjściami referencyjnymi, co widać na rysunkach 3.4 i 3.5.



Rysunek 3.4: Pomiar zależności napięcia referencyjnego od temperatury (układ scalony ASIC Ia).



Rysunek 3.5: Pomiar zależności napięcia referencyjnego od temperatury (układ scalony ASIC Ib).

Co ciekawe, układy pochodzące z dwóch układów scalonych ASIC I wykazują pewne różnice między sobą. W przypadku pierwszego obwodu, uzyskane krzywe przecinają się wzajemnie. Natomiast dla drugiego obwodu, otrzymane krzywe bardziej odbiegają od siebie na początku, zaś zbliżają do siebie na końcu.

Tabela 3.3: Wartości napięć referencyjnych dla pomiaru względem temperatury - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ia).

	$V_{min}(22, 2^{\circ}C)$ [mV]	$V_{max}(62, 5^{\circ}C)$ [mV]	ΔV [mV]
V_{ref_1}	715,4	747,2	31,8
V_{ref_2}	714,6	745,3	30,7
V_{ref}	715,6	745,4	29,8
V_{ref_3}	716,7	745,7	29
V_{ref_4}	716,2	746,4	30,2

$$\Delta V = V_{max} - V_{min}$$

Tabela 3.4: Wartości napięć referencyjnych dla pomiaru względem temperatury - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ib).

	$V_{min}(27^{\circ}C)$ [mV]	$V_{max}(67^{\circ}C)$ [mV]	ΔV [mV]
V_{ref_1}	715,0	749,0	34
V_{ref_2}	719,0	750,0	31
V_{ref}	719,7	749,4	29,7
V_{ref_3}	721,3	750,0	28,7
V_{ref_4}	722,9	750,7	27,8

$$\Delta V = V_{max} - V_{min}$$

Uzyskane wartości napięć to około 730 mV . Również jest to spore przesunięcie względem pożądaných 600 mV , rzędu 22%. Różnice między maksymalnymi, a minimalnymi wartościami napięcia referencyjnego to około 30 mV dla obydwu ASIC'ów. W przypadku układu scalonego ASIC Ib można zauważyć tendencję malejącą tej różnicy. Wartości te tak jak w przypadku układów scalonych ASIC II znacznie odbiegają od wyników uzyskiwanych w czasie symulacji.

3.2.2 Pomiary napięcia referencyjnego względem napięcia zasilania

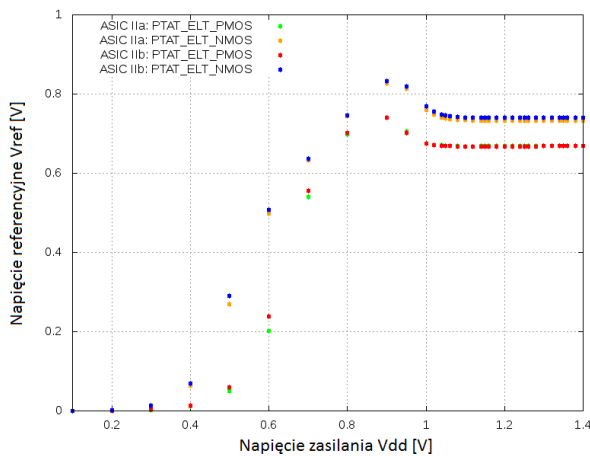
Pomiaru zależności napięcia referencyjnego od napięcia zasilania dokonano na przedziale $0,1\text{ V} \div 1,4\text{ V}$, w temperaturze jaka panowała w danej chwili w pomieszczeniu (około $25^{\circ}C$). Punkty pomiarowe odczytywano początkowo co $0,1\text{ V}$, zaś powyżej 1 V zagęszczono pomiar i odczytywano co $0,01 - 0,02\text{ V}$. Uzyskane wyniki zobrazowano na wykresie **3.6** dla układów ASIC II oraz wykresach **3.7** i **3.8** dla układów ASIC I. Otrzymane wartości zebrano w tabelach **3.5 - 3.8**.

Tabela 3.5: Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania (układ scalony ASIC IIa).

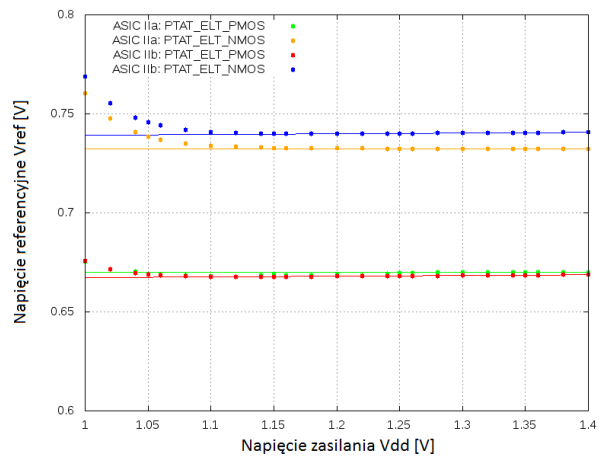
	DTNMOS [mV]	ELT_NMOS [mV]	PTAT_ELT_NMOS [mV]	PTAT_ELT_PMOS [mV]
V_{ref}	0,0	14,0	670,1	732,3
$\Delta V_{ref}(V_{DD})$	-	-	1,7	2,1

Tabela 3.6: Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania (układ scalony ASIC Iib).

	DTNMOS [mV]	ELT_NMOS [mV]	PTAT_ELT_NMOS [mV]	PTAT_ELT_PMOS [mV]
V_{ref}	20,0	0,0	668,7	740,6
$\Delta V_{ref}(V_{DD})$	-	-	0,3	1,0



(a) Pełny zakres

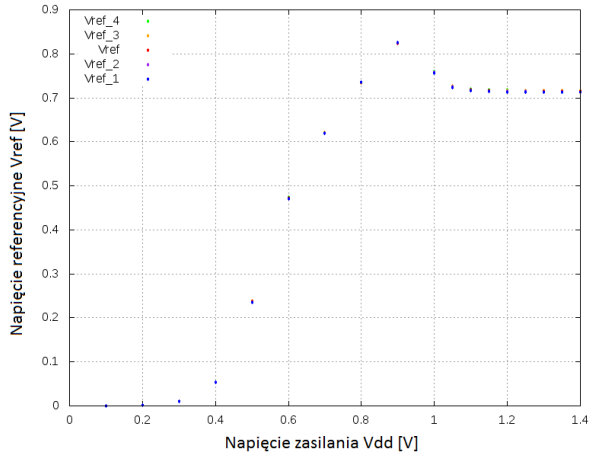


(b) Zakres zawężony

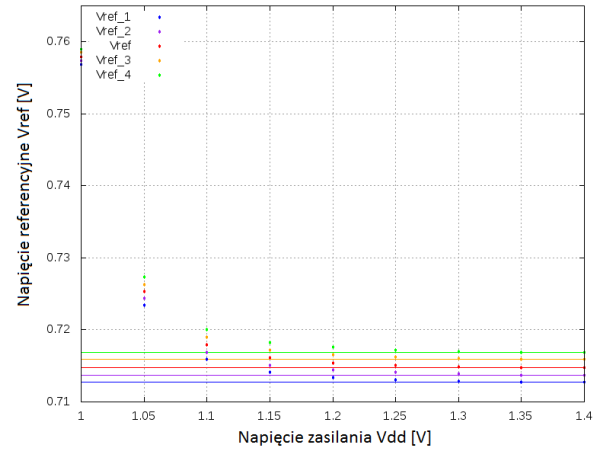
Rysunek 3.6: Pomiar zależności napięcia referencyjnego od napięcia zasilania (układy scalone ASIC Iia i ASIC Iib).

Na rysunku 3.6 również pominięto układy DT_NMOS oraz ELT_NMOS, zamieszczono jedynie układy PTAT_ELT_NMOS oraz PTAT_ELT_PMOS. Wyniki dla pominiętych układów przedstawiono w tabelach 3.5 i 3.6.

Próg, powyżej którego układy PTAT_ELT_NMOS oraz PTAT_ELT_PMOS działają poprawnie to 1,1 V. Różnica napięć referencyjnych dla maksymalnej wartości napięcia zasilania 1,5 V oraz progu to 1,7 mV dla układu ELT_NMOS oraz 2,1 mV dla układu ELT_PMOS w przypadku układu scalonego ASIC Iia, natomiast dla układu ASIC Iib są to wartości 0,3 mV dla układu ELT_NMOS oraz 1,0 mV dla układu ELT_PMOS.

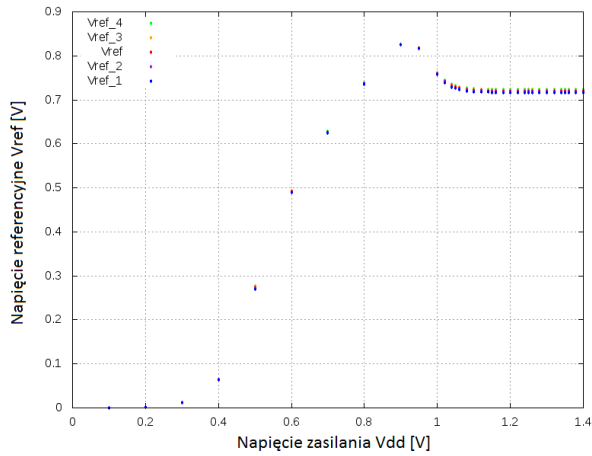


(a) Pełny zakres

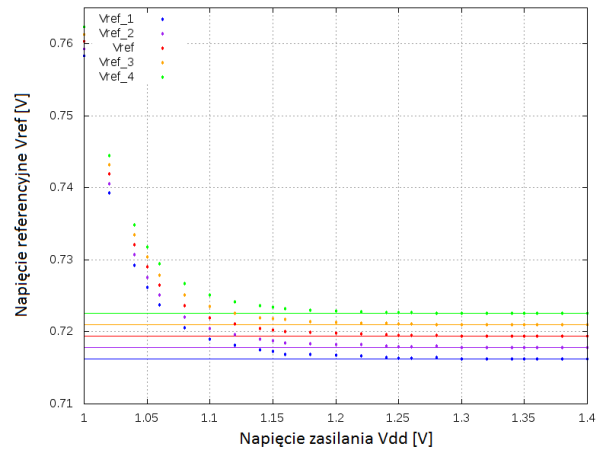


(b) Zakres zawężony

Rysunek 3.7: Pomiar zależności napięcia referencyjnego od napięcia zasilania (układ scalony ASIC Ia).



(a) Pełny zakres



(b) Zakres zawężony

Rysunek 3.8: Pomiar zależności napięcia referencyjnego od napięcia zasilania (układ scalony ASIC Ib).

Tabela 3.7: Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ia).

	V_{ref_1} [mV]	V_{ref_2} [mV]	V_{ref} [mV]	V_{ref_3} [mV]	V_{ref_4} [mV]
V_{ref}	712,7	713,7	714,8	715,9	716,9
$\Delta V_{ref}(V_{DD})$	3,2	3,2	3,1	3,1	3,1

Tabela 3.8: Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ib).

	V_{ref_1} [mV]	V_{ref_2} [mV]	V_{ref} [mV]	V_{ref_3} [mV]	V_{ref_4} [mV]
V_{ref}	716,2	717,8	719,4	721,0	722,6
$\Delta V_{ref}(V_{DD})$	2,8	2,7	2,6	2,5	2,5

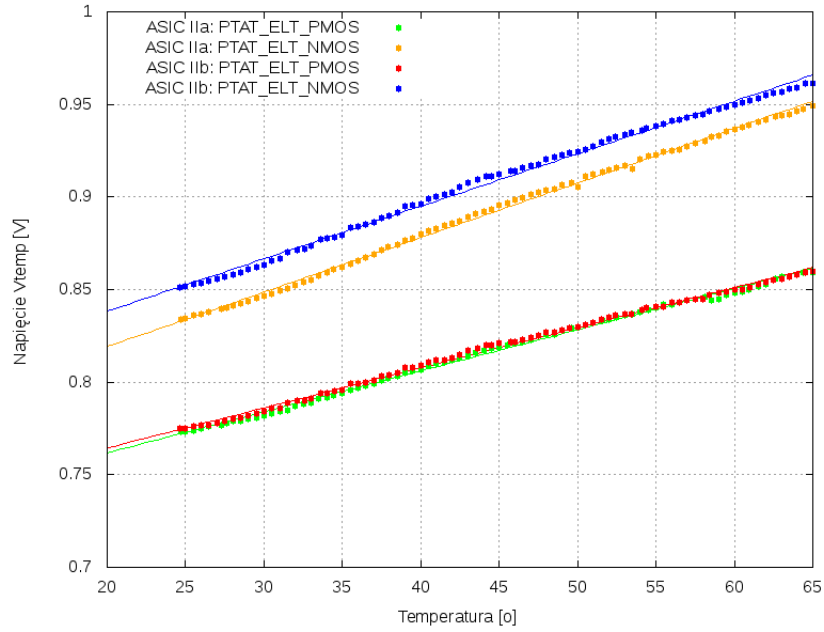
Próg, powyżej którego obydwa układy PTAT_5Vref działają poprawnie to 1,1 V. Różnica napięć referencyjnych dla maksymalnej wartości napięcia zasilania 1,5 V oraz progu to 3,1 mV dla układu scalonego ASIC Ia oraz 2,6 mV dla układu ASIC Ib.

Uzyskane krzywe kształtem są takie, jakich oczekiwano. Jednak w porównaniu do wyników symulacyjnych, również i tu można zauważyć przesunięcie względem pożądaných 600 mV. Układy zaczynają pracować po osiągnięciu napięcia zasilania wynoszącego około 1,1 V. Napięcia referencyjne stabilizują się na wartościach 670 mV i 735 mV dla układów scalonych ASIC II oraz około 714 mV dla układów ASIC I.

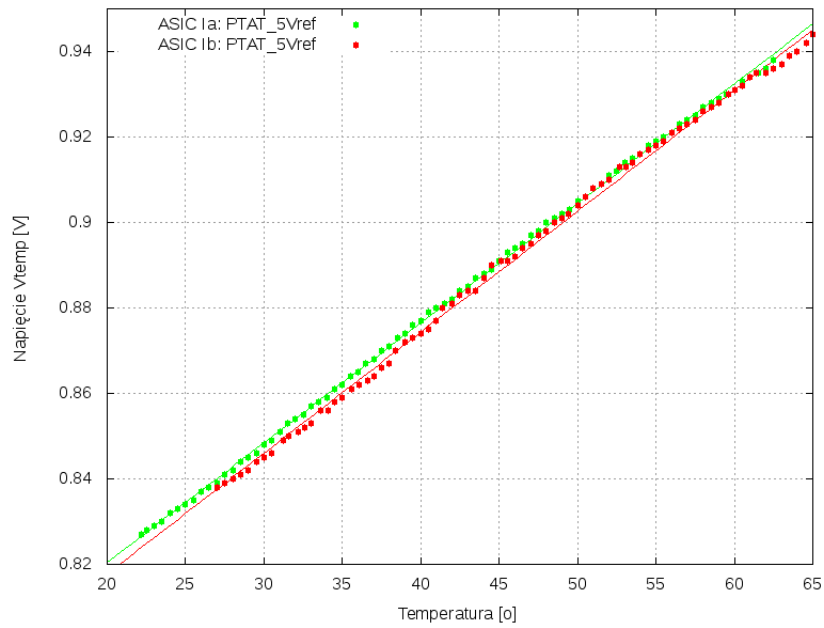
Po przeprowadzeniu pierwszych testów zależności napięcia referencyjnego od temperatury oraz napięcia zasilania zaprojektowanych układów, można jednoznacznie stwierdzić, że wartości te znacznie odbiegają od tych uzyskiwanych w czasie symulacji na etapie projektowania. Technologia wykorzystana do stworzenia projektu jest technologią nową, więc rozbieżności pomiędzy wynikami najprawdopodobniej są spowodowane różnicą między wykorzystywanymi do symulacji modelami, a elementami użytymi do produkcji układu scalonego. Dodatkowo, po raz pierwszy wykorzystano inne struktury diodowe zamiast klasycznego złącza p-n. Chcąc w przyszłości poprawić zależność napięcia referencyjnego od temperatury, należy zmodyfikować wagi układów PTAT oraz CTAT, gdyż jak pokazały testy opisane w następnej sekcji, układ PTAT ma za dużą wagę w stosunku do CTAT.

3.2.3 Pomiary wyjścia temperaturowego względem temperatury

Podobnie jak dla pomiarów napięcia referencyjnego, podczas badania zależności wyjścia temperaturowego od temperatury układ został zasilony stałym napięciem 1,2 V. Pomiaru dokonano również na przedziale 40°C, zaczynając od temperatury pokojowej. Punkty pomiarowe odczytywano co 0,5°C. Uzyskane wyniki zobrazowano na wykresie 3.9 dla układów scalonych ASIC II oraz 3.10 dla układów ASIC I. Następnie, uzyskane wartości zebrano w tabelach 3.9 i 3.10.



Rysunek 3.9: Pomiar zależności wyjścia temperaturowego od temperatury (układy scalone ASCII IIa i ASCII IIb).



Rysunek 3.10: Pomiar zależności wyjścia temperaturowego od temperatury (układy scalone ASCII Ia i ASCII Ib).

Tabela 3.9: Wartości napięć dla pomiaru wyjścia temperaturowego względem temperatury (układy scalone ASIC Ia i ASIC IIa).

V	V_{min} [mV]	V_{max} [mV]	ΔV [mV]	ΔV na 1 °C
PTAT_ELT_NMOS	834 (24,7° C)	949 (65° C)	115	2,854
PTAT_ELT_PMOS	773 (24,7° C)	859 (65° C)	86	2,134
PTAT_5Vref	827 (22,2° C)	938 (62,5° C)	111	2,754

$$\Delta V = V_{max} - V_{min}$$

Tabela 3.10: Wartości napięć dla pomiaru wyjścia temperaturowego względem temperatury (układy scalone ASIC Ib i ASIC IIb).

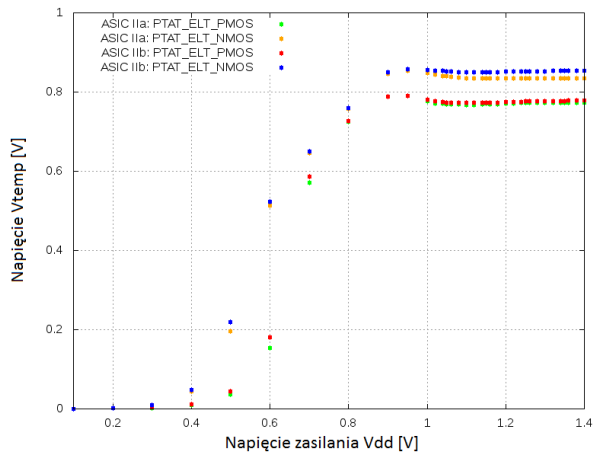
V	V_{min} [mV]	V_{max} [mV]	ΔV [mV]	ΔV na 1 °C
PTAT_ELT_NMOS	851 (24,6° C)	961 (65° C)	110	2,735
PTAT_ELT_PMOS	775 (24,6° C)	860 (65° C)	85	2,104
PTAT_5Vref	838 (27° C)	948 (67° C)	110	2,750

$$\Delta V = V_{max} - V_{min}$$

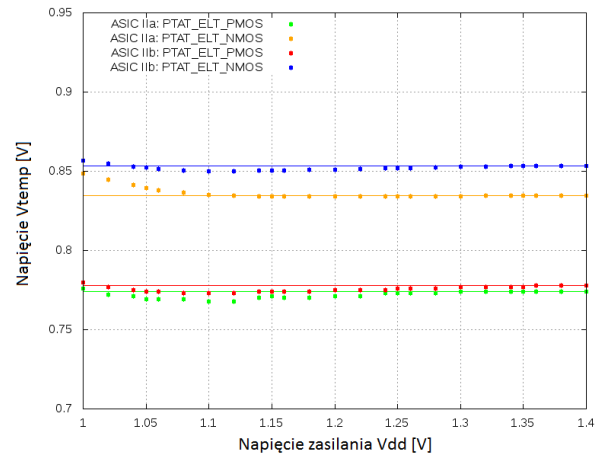
Dla obydwu zestawów ASIC'ów z wyjściami temperaturowymi otrzymano podobne wyniki. Uzyskane różnice wartości napięć to około 110 mV dla układu PTAT_ELT_NMOS, 85 mV dla układu PTAT_ELT_PMOS oraz 110 mV dla układu PTAT_5Vref. Nachylenia temperaturowe wynoszą około 2,1 – 2,8 mV/°C. Dla układów z tranzystorami NMOS nachylenie jest istotnie większe.

3.2.4 Pomiary wyjścia temperaturowego względem napięcia zasilania

Podobnie jak dla pomiarów napięcia referencyjnego, pomiaru zależności wyjścia temperaturowego od napięcia zasilania dokonano na przedziale 0,1 V ÷ 1,4 V, w temperaturze jaka panowała w danej chwili w pomieszczeniu (około 25°C). Punkty pomiarowe odczytywano początkowo co 0,1 V, zaś powyżej 1 V zagęszczono pomiar i odczytywano co 0,01 – 0,02 V. Uzyskane wyniki zobrazowano na wykresie 3.11 dla układów scalonych ASIC II oraz 3.12 dla układów ASIC I. Następnie, uzyskane wartości zebrano w tabelach 3.11 oraz 3.12.

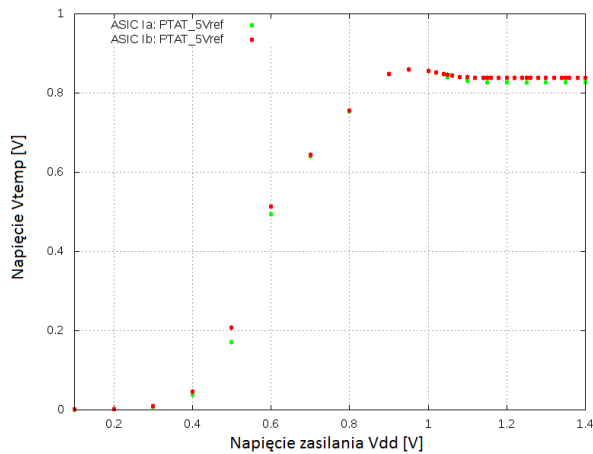


(a) Pełny zakres

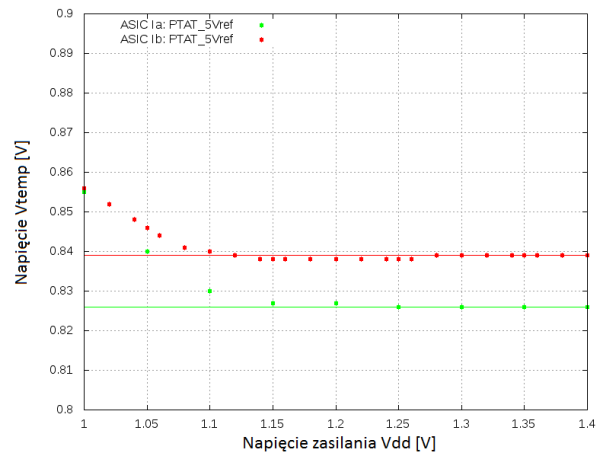


(b) Zakres zawężony

Rysunek 3.11: Pomiar zależności wyjścia temperaturowego od napięcia zasilania (układy scalone ASIC IIa i ASIC IIb).



(a) Pełny zakres



(b) Zakres zawężony

Rysunek 3.12: Pomiar zależności wyjścia temperaturowego od napięcia zasilania (układy scalone ASIC Ia i ASIC Ib).

Tabela 3.11: Wartości napięć dla pomiaru wyjścia temperaturowego względem napięcia zasilania (układy scalone ASIC Ia i ASIC IIa).

	PTAT_ELT_NMOS	PTAT_ELT_PMOS	PTAT_5Vref
V_{ref}	834,0	773,0	826,0
$\Delta V_{ref}(V_{DD})$	0,4	6,0	4,0

Tabela 3.12: Wartości napięć dla pomiaru wyjścia temperaturowego względem napięcia zasilania (układy scalone ASIC Ib i ASIC Iib).

	PTAT_ELT_NMOS	PTAT_ELT_PMOS	PTAT_5Vref
V_{ref}	851,0	777,0	839,0
$\Delta V_{ref}(V_{DD})$	3,4	5,0	1,0

Uzyskane krzywe kształtem są takie, jakich oczekiwano. Jednak w porównaniu do wyników symulacyjnych, również i tu można zauważyć przesunięcie względem pożądaných 600 mV. Układy zaczynają pracować po osiągnięciu napięcia zasilania wynoszącego około 1,1 V. Napięcia referencyjne stabilizują się do wartości około 840 mV i 770 mV dla układów scalonych ASIC II oraz około 830 mV dla układów ASIC I. Otrzymane wartości stałe są wyższe niż symulowane.

3.2.5 Pobór mocy źródła referencyjnego

Pomiary poboru mocy źródeł referencyjnych nie były możliwe do przeprowadzenia, ze względu na małą dokładność urządzeń pomiarowych. Prąd przepływający w układach scalonych był rzędu kilku mA, podczas gdy niepewność multimetru wynosiła 1 mA, dlatego pomiary poboru mocy źródeł referencyjnych zostały pominięte.

Podsumowanie

Cel pracy został osiągnięty, gdyż zaprojektowano, wykonano prototypy, a następnie pierwsze testy pięciu układów źródeł referencyjnych, generujących wyjściowe napięcie odniesienia poniżej 1 V, jak również sensora temperaturowego.

Zaprojektowano układy posiadające zarówno wyjście referencyjne, jak i wyjście temperaturowe. Jeden z układów posiada pięć różnych wyjść referencyjnych, generujących nieco inne sumowanie sygnałów PTAT oraz CTAT. Obwody różnią się od siebie rodzajem użytych diod oraz ilością wyjść.

Wszystkie układy dały pomyślne wyniki symulacyjne. Małym wyjątkiem są układy DT_NMOS i ELT_NMOS, w których przy symulacjach *Monte Carlo* napięcia referencyjnego względem napięcia zasilania pojawiły się niepokojące odskoki od właściwych wartości. Być może dlatego układy te nie działają poprawnie i dają złe rezultaty pomiarowe.

W tabeli 3.13 zestawiono wartości wyników symulacyjnych oraz mierzonych dla napięcia referencyjnego względem temperatury.

Tabela 3.13: Wartości symulacyjne i mierzone napięcia referencyjnego względem temperatury.

Układ	Wartości symulacyjne		Wartości mierzone	
	$V_{ref}(25^{\circ}C)$ [mV]	$\Delta V_{ref}(temp)$ [mV] Zakres: $-20 \div 100^{\circ}C$	$V_{ref}(25^{\circ}C)$ [mV]	$\Delta V_{ref}(temp)$ [mV] Zakres: $25 \div 65^{\circ}C$
DT_NMOS	595,34	0,83	6,00	10,00
ELT_NMOS	603,36	0,55	7,00	21,00
PTAT_ELT_NMOS	596,50	1,75	735,00	30,00
PTAT_ELT_PMOS	600,97	2,04	670,00	14,00
PTAT_5Vref	601,53	0,68	719,00	30,00

$$\Delta V_{ref} = V_{ref}(V_{max}) - V_{ref}(V_{min})$$

Rezultaty pomiarów oraz symulacji względem napięcia zasilania zgromadzono w tabeli 3.14.

Tabela 3.14: Wartości symulacyjne i mierzone napięcia referencyjnego względem napięcia zasilania.

Układ	Wartości symulacyjne			Wartości mierzone		
	V_{DDmin} [V]	$\Delta V_{ref}(V_{DD})$ [mV] Zakres: $V_{DDmin} \div 1,5V$	V_{ref} [mV]	V_{DDmin} [V]	$\Delta V_{ref}(V_{DD})$ [mV] Zakres: $V_{DDmin} \div 1,4V$	V_{ref} [mV]
DT_NMOS	1,2	1,2	595,0	-	-	-
ELT_NMOS	1,0	2,1	602,5	-	-	-
PTAT_ELT_NMOS	0,9	1,6	596,5	1,1	1,9	669,4
PTAT_ELT_PMOS	1,0	0,9	601,0	1,1	0,7	736,5
PTAT_5Vref	0,9	0,6	601,5	1,1	2,9	717,1

$$\Delta V_{ref} = V_{ref}(V_{max}) - V_{ref}(V_{min})$$

$$V_{ref} - \text{dla } V_{DD} = 1,2V$$

Po przeprowadzeniu pierwszych testów zależności napięcia referencyjnego od temperatury oraz napięcia zasilania zaprojektowanych układów, można jednoznacznie stwierdzić, że wartości te znacznie odbiegają od tych uzyskiwanych w czasie symulacji na etapie projektowania. Technologia wykorzystana do stworzenia projektu jest technologią nową, więc rozbieżności pomiędzy wynikami najprawdopodobniej są spowodowane różnicą między wykorzystywanymi do symulacji modelami, a elementami użytymi do produkcji układu scalonego. Dodatkowo, po raz pierwszy wykorzystano inne struktury diodowe zamiast klasycznego złącza p-n. Chcąc w przyszłości poprawić zależność napięcia referencyjnego od temperatury, należy próbować zmodyfikować wagi układów PTAT oraz CTAT, gdyż jak pokazały testy, układ PTAT ma za dużą wagę w stosunku do CTAT.

Wyniki symulacyjne oraz pomiarowe dla wyjść temperaturowych zgromadzone w tabelach 3.15 oraz 3.16.

Tabela 3.15: Wartości symulacyjne i mierzone wyjścia temperaturowego względem temperatury.

Układ	Wartości symulacyjne		Wartości mierzone	
	$\Delta V(\text{temp})$ [mv] Zakres: $-20 \div 100^\circ C$	ΔV na $1^\circ C$	$\Delta V(\text{temp})$ [mV] Zakres: $25 \div 65^\circ C$	ΔV na $1^\circ C$
PTAT_ELT_NMOS	274,52	2,29	110,00	2,80
PTAT_ELT_PMOS	277,78	2,31	85,00	2,10
PTAT_5Vref	263,19	2,19	110,00	2,75

$$\Delta V = V_{max} - V_{min}$$

Tabela 3.16: Wartości symulacyjne i mierzone wyjścia temperaturowego względem napięcia zasilania.

Układ	Wartości symulacyjne			Wartości mierzone		
	V_{DDmin} [V]	$\Delta V(V_{DD})$ [mV] Zakres: $V_{DDmin} \div 1,5V$	V [mV]	V_{DDmin} [V]	$\Delta V(V_{DD})$ [mV] Zakres: $V_{DDmin} \div 1,4V$	V [mV]
PTAT_ELT_NMOS	0,9	1,3	685,0	1,1	1,9	842,5
PTAT_ELT_PMOS	1,0	0,7	715,0	1,1	5,5	775,0
PTAT_5Vref	0,9	0,7	657,0	1,1	2,5	832,5

$$\Delta V = V(V_{max}) - V(V_{min})$$

V - dla $V_{DD} = 1,2V$

Testy zależności wyjścia temperaturowego względem temperatury oraz napięcia zasilania, również wykazały rozbieżności między otrzymanymi wynikami, a symulacjami. Pomimo przesunięcia, uzyskiwane charakterystyki wykazują pożądaną zależność liniową. Wartości testowe nachylenia krzywych zależności wyjścia temperaturowego względem temperatury wynoszą około 2,1 – 2,8, więc można stwierdzić, że proporcjonalność układu PTAT została osiągnięta.

Zaprojektowane źródła napięcia referencyjnego posiadają bardzo dobre wyniki symulacyjne, ale mimo tego nie działają tak dobrze po procesie produkcji. Posiadają znaczne przesunięcie napięcia względem symulowanej wartości. Niemniej jednak udało się zrealizować założony na początku pracy cel, czyli zaprojektować, wykonać prototypy, a następnie pierwsze testy układów źródła referencyjnego i sensora temperatury w głęboko submikronowej technologii *CMOS 130 nm*. Wyniki tych pomiarów posłużą przy projekcie drugiej wersji układu.

Bibliografia

- [1] Banba, H., et al.: *A CMOS Bandgap Reference Circuit with Sub-1-V operation*, IEEE Journal of Solid-State Circuits, vol. 34, May 1999, pp. 670 - 674.
- [2] J. Baker, H. Li, D. Boyce: *CMOS Circuit Design, Layout, and Simulation - 3rd ed.*, IEEE Press 1997, ch.25.2, pp. 477-479, 637-642.
- [3] B. Razavi: *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001, pp. 377 - 404.
- [4] Fayomi, Ch. J. B., Wirth, G. I., Achigui, H. F., Matsuzawa, A.: *Sub 1 V CMOS bandgap reference design techniques: a survey*, Analog Integrated Circuits and Signal Processing, vol. 62, 2010, pp. 141 - 157.
- [5] V.Gromov, A.J. Annema, R. Kluit, J.L. Visscher and P. Timmer: *A Radiation Hard Bandgap Reference Circuit in a Standard 0.13 μ m CMOS Technology*, IEEE Transaction on Nuclear Science, Vol. 54, No.6 December 2007.
- [6] T. Vergine, S. Michelis, M. De Matteis and A. Baschiroto: *A 65 nm CMOS Technology Radiation-Hard Bandgap Reference Circuit*, Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph.D.Research in. July 2014.
- [7] Neuteboom, H., Kup, B. M. J., Janssens, M.: *A DSP-based hearing instrument IC*, IEEE Journal of Solid-State Circuits, vol. 32, 1997, pp. 1790 - 1806.
- [8] Leung, K. N., Mok, P. K. T.: *A sub 1-V 15-ppm/oC CMOS bandgap voltage reference without requiring low threshold voltage device*, IEEE Journal of Solid-State Circuits, vol. 37, 2002, pp. 526 - 530.
- [9] Chi-Wah Kok and Wing-Shan Tam: *CMOS Voltage References - An Analytical and Practical Perspective*, First Edition, John Wiley & Sons Singapore Pte. Ltd., 2013 , pp. 71 - 81.

Spis rysunków

<i>1.1</i>	a) symbol diody b) tranzystor bipolarny npn w konfiguracji diody.	18
<i>1.2</i>	Sensor temperatury.	21
<i>1.3</i>	Źródło napięcia referencyjnego - schemat ideowy.	22
<i>1.4</i>	Schemat klasycznego źródła referencyjnego.	23
<i>1.5</i>	Układ napięcia odniesienia, który zaproponował Banba [1].	25
<i>1.6</i>	Układ napięcia odniesienia wraz z wyjściem temperaturowym.	26
<i>1.7</i>	Klasyczna dioda - złącze p-n [5].	28
<i>1.8</i>	Schemat masek technologicznych tranzystorów MOS: typowego oraz w geometrii zamkniętej bramki.	29
<i>1.9</i>	Charakterystyka prądowo - napięciowa konwencjonalnej diody oraz struktury DT_MOS [5].	30
<i>1.10</i>	Struktury diodowe - schematy.	31
<i>1.11</i>	Maski technologiczne diod ELT_MOS.	31
<i>1.12</i>	Maski technologiczne diod DT_MOS.	31
<i>2.1</i>	Schemat układu napięcia odniesienia wraz z obwodem startowym.	34
<i>2.2</i>	Schemat układu napięcia odniesienia z wyjściem referencyjnym oraz temperaturowym.	36
<i>2.3</i>	Schemat układu napięcia odniesienia z pięcioma wyjściami referencyjnymi oraz wyjściem temperaturowym.	38
<i>2.4</i>	Zależność napięcia referencyjnego od temperatury - układ DT_NMOS.	39
<i>2.5</i>	Zależność napięcia referencyjnego od temperatury - układ ELT_NMOS.	40
<i>2.6</i>	Zależność napięcia referencyjnego od temperatury - układ PTAT_ELT_NMOS.	40
<i>2.7</i>	Zależność napięcia referencyjnego od temperatury - układ PTAT_ELT_PMOS.	40
<i>2.8</i>	Zależność napięcia referencyjnego od temperatury - układ PTAT_5Vref.	41
<i>2.9</i>	Zależność napięcia referencyjnego od temperatury - wszystkie układy.	42
<i>2.10</i>	Zależność napięcia referencyjnego od napięcia zasilania - wszystkie układy.	43
<i>2.11</i>	Zależność napięcia referencyjnego od napięcia zasilania - wszystkie układy (zawężony zakres).	43

2.12	Zależność wyjścia temperaturowego od temperatury - układy PTAT.	44
2.13	Zależność wyjścia temperaturowego od napięcia zasilania - układy PTAT.	45
2.14	PSRR dla wyjść referencyjnych.	46
2.15	PSRR dla wyjść temperaturowych.	47
2.16	Wykresy zależności wzmocnienia w otwartej pętli od częstotliwości dla wszystkich układów.	49
2.17	Symulacje <i>Monte Carlo</i> napięcia referencyjnego względem temperatury.	51
2.18	Symulacje <i>Monte Carlo</i> napięcia referencyjnego względem temperatury dla układu z pięcioma wyjściami referencyjnymi.	52
2.19	Symulacje <i>Monte Carlo</i> napięcia referencyjnego względem napięcia zasilania.	53
2.20	Symulacje <i>Monte Carlo</i> napięcia referencyjnego względem napięcia zasilania dla układu z pięcioma wyjściami referencyjnymi.	54
2.21	Symulacje <i>Monte Carlo</i> względem temperatury dla wyjścia temperaturowego.	55
2.22	Symulacje <i>Monte Carlo</i> względem napięcia zasilania dla wyjścia temperaturowego.	56
2.23	Symulacje brzegowe napięcia referencyjnego względem temperatury.	58
2.24	Symulacje brzegowe napięcia referencyjnego względem temperatury dla układu z pięcioma wyjściami referencyjnymi.	59
2.25	Symulacje brzegowe napięcia referencyjnego względem napięcia zasilania.	60
2.26	Symulacje brzegowe napięcia referencyjnego względem napięcia zasilania dla układu z pięcioma wyjściami referencyjnymi.	61
2.27	Symulacje brzegowe względem temperatury dla wyjścia temperaturowego.	62
2.28	Symulacje brzegowe względem napięcia zasilania dla wyjścia temperaturowego.	63
2.29	Schemat matrycy diod.	64
2.30	Schemat matrycy rezystancji.	65
2.31	Layout źródła referencyjnego z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_NMOS.	66
2.32	Layout źródła referencyjnego z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_PMOS.	66
3.1	Chip carrier z badanym układem scalonym.	67
3.2	Fotografia układu pomiarowego.	68
3.3	Pomiar zależności napięcia referencyjnego od temperatury (układy scalone ASIC IIa i ASIC IIb).	69
3.4	Pomiar zależności napięcia referencyjnego od temperatury (układ scalony ASIC Ia).	70
3.5	Pomiar zależności napięcia referencyjnego od temperatury (układ scalony ASIC Ib).	71
3.6	Pomiar zależności napięcia referencyjnego od napięcia zasilania (układy scalone ASIC IIa i ASIC IIb).	73

3.7 Pomiar zależności napięcia referencyjnego od napięcia zasilania (układ scalony ASIC Ia).	74
3.8 Pomiar zależności napięcia referencyjnego od napięcia zasilania (układ scalony ASIC Ib).	74
3.9 Pomiar zależności wyjścia temperaturowego od temperatury (układy scalone ASCI IIa i ASCI IIb).	76
3.10 Pomiar zależności wyjścia temperaturowego od temperatury (układy scalone ASCI Ia i ASCI Ib).	76
3.11 Pomiar zależności wyjścia temperaturowego od napięcia zasilania (układy scalone ASIC IIa i ASIC IIb).	78
3.12 Pomiar zależności wyjścia temperaturowego od napięcia zasilania (układy scalone ASIC Ia i ASIC Ib).	78

Spis tablic

2.1	Rozmiary elementów układu z wyjściem referencyjnym oraz diodami typu DT_NMOS.	35
2.2	Rozmiary elementów układu z wyjściem referencyjnym oraz diodami typu ELT_NMOS.	35
2.3	Rozmiary elementów układu z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_NMOS.	37
2.4	Rozmiary elementów układu z wyjściem referencyjnym i temperaturowym oraz diodami typu ELT_PMOS.	37
2.5	Rozmiary elementów układu z pięcioma wyjściami referencyjnymi i wyjściem temperaturowym oraz diodami typu ELT_NMOS.	38
2.6	Wartości napięć referencyjnych dla symulacji względem temperatury	41
2.7	Wartości napięć referencyjnych dla symulacji względem temperatury - układ z pięcioma wyjściami referencyjnymi.	42
2.8	Wartości napięć referencyjnych dla symulacji względem napięcia zasilania.	44
2.9	Wartości napięć dla symulacji wyjścia temperaturowego względem temperatury.	45
2.10	Wartości napięć dla symulacji wyjścia temperaturowego względem napięcia zasilania.	46
2.11	Wartości z symulacji PSRR dla wyjść referencyjnych.	47
2.12	Wartości z symulacji PSRR dla wyjść temperaturowych.	48
2.13	Wartości z symulacji stb dla wszystkich układów.	48
2.14	Pobór mocy źródła referencyjnego.	64
3.1	Wartości napięć referencyjnych dla pomiaru względem temperatury (układ scalony ASIC IIa).	69
3.2	Wartości napięć referencyjnych dla pomiaru względem temperatury (układ scalony ASIC IIb).	70
3.3	Wartości napięć referencyjnych dla pomiaru względem temperatury - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ia).	71
3.4	Wartości napięć referencyjnych dla pomiaru względem temperatury - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ib).	72

3.5 Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania (układ scalony ASIC IIa).	72
3.6 Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania (układ scalony ASIC IIb).	73
3.7 Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ia).	74
3.8 Wartości napięć referencyjnych dla pomiaru względem napięcia zasilania - układ z pięcioma wyjściami referencyjnymi (układ scalony ASIC Ib).	75
3.9 Wartości napięć dla pomiaru wyjścia temperaturowego względem temperatury (układy scalone ASIC Ia i ASIC IIa).	77
3.10 Wartości napięć dla pomiaru wyjścia temperaturowego względem temperatury (układy scalone ASIC Ib i ASIC IIb).	77
3.11 Wartości napięć dla pomiaru wyjścia temperaturowego względem napięcia zasilania (układy scalone ASIC Ia i ASIC IIa).	78
3.12 Wartości napięć dla pomiaru wyjścia temperaturowego względem napięcia zasilania (układy scalone ASIC Ib i ASIC IIb).	79
3.13 Wartości symulacyjne i mierzone napięcia referencyjnego względem temperatury.	81
3.14 Wartości symulacyjne i mierzone napięcia referencyjnego względem napięcia zasilania.	82
3.15 Wartości symulacyjne i mierzone wyjścia temperaturowego względem temperatury.	83
3.16 Wartości symulacyjne i mierzone wyjścia temperaturowego względem napięcia zasilania.	83