

AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Wydział Fizyki i Informatyki Stosowanej

PRACA MAGISTERSKA

Marika Kuczyńska

kierunek studiów: fizyka techniczna

Projektowanie interfejsu do szybkiej transmisji danych w submikronowych technologiach CMOS

Opiekun: prof. dr hab. Marek Idzik

Kraków, czerwiec 2014

Oświadczam, świadomy(-a) odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracą dyplomową wykonałem(-am) osobiście i samodzielnie i nie korzystałem(-am) ze źródeł, innych niż wymienione w pracy.

.....

(czytelny podpis)

Kraków, 16 czerwca 2014

**Tematyka pracy magisterskiej i praktyki dyplomowej Mariki Kuczyńskiej,
studentki V roku studiów kierunku fizyka techniczna**

Temat pracy magisterskiej: **Projektowanie interfejsu do szybkiej transmisji danych w submikronowych technologiach CMOS**

Opiekun pracy: prof. dr hab. Marek Idzik
Recenzenci pracy: dr inż. Tomasz Fiutowski
Miejsce praktyki dyplomowej: DESY Zeuthen, Niemcy

Program pracy magisterskiej i praktyki dyplomowej

1. Omówienie realizacji pracy magisterskiej z opiekunem.
2. Zebranie i opracowanie literatury dotyczącej tematu pracy.
3. Praktyka dyplomowa:
 - zapoznanie się z ideą szybkiej transmisji danych,
 - wstępny projekt układu i jego symulacje.
 - sporządzenie raportu z praktyki.
4. Kontynuacja projektów związanych z tematem pracy magisterskiej.
5. Zebranie i opracowanie wyników obliczeń i symulacji układu.
6. Analiza wyników symulacji, ich omówienie i zatwierdzenie przez opiekuna.
7. Opracowanie redakcyjne pracy.

Termin oddania w dziekanacie: 22 czerwca 2014

.....
(podpis kierownika katedry)

.....
(podpis opiekuna)

RECENZJA 1

RECENZJA 2

*Niniejszym chciałbym podziękować promotorowi
prof. dr. hab. Markowi Idzikowi,
za cierpliwość, poświęcony czas i ciągłą
motywację do pisania pracy.*

*Pragnę również szczególnie podziękować Panu
mgr inż. Jakubowi Moroniowi,
za wykazanie ogromu dobrej woli i cierpliwości.
Bez jego życzliwej pomocy stworzenie pracy
magisterskiej byłoby znacznie trudniejsze.*

Spis treści

Spis treści	13
Wstęp	15
1 Teoretyczne aspekty transmisji danych	19
1.1 Standardy interfejsów do różnicowej transmisji danych	19
1.1.1 Standard LVDS	20
1.1.2 Standard PECL	21
1.1.3 Standard CML	22
1.1.4 Zestawienie interfejsów	23
1.2 Wybrane submikronowe technologie CMOS	24
1.3 Elementy architektury bufora CML	25
1.3.1 Tranzystor polowy nMOS	25
1.3.2 Para różnicowa	29
1.3.3 Lustro prądowe	31
1.4 Bufor CML	33
1.4.1 Procedura projektowania	33
1.5 Łańcuch buforów CML	38
1.6 Metody zwiększania szybkości interfejsu	40
1.6.1 Dodatnie sprzężenie pojemnościowe	40
1.6.2 Degeneracja pojemnościowa	43
1.6.3 Zastosowanie indukcyjności	44
2 Projekt układu nadajnika CML w technologii IBM 130 nm.	47
2.1 Architektura interfejsu do szybkiej transmisji danych	48

2.2	Pierwszy stopień łańcucha buforów	54
2.2.1	Schemat i parametry bufora	54
2.2.2	Symulacja Monte Carlo	58
2.2.3	Symulacje Brzegowe (Corners)	59
2.3	Kolejne stopnie łańcucha buforów CML (2-5)	62
2.3.1	Schemat i parametry buforów	62
2.3.2	Symulacja Monte Carlo	70
2.3.3	Symulacje Brzegowe	72
2.4	Ostatni stopień układu - nadajnik	74
2.4.1	Schemat i parametry nadajnika	75
2.4.2	Symulacja Monte Carlo	78
2.4.3	Symulacje Brzegowe	79
2.5	Symulacje końcowe	80
2.5.1	Sygnal wyjściowy układu	80
2.5.2	Symulacja Monte Carlo	82
2.5.3	Symulacje Brzegowe	83
2.6	Zachowanie układu dla różnych częstotliwości	84
2.7	Podsumowanie projektu w technologii IBM 130 nm	84
3	Projekt układu nadajnika CML w technologii AMS 350 nm.	87
3.1	Architektura łańcucha buforów i nadajnika CML	87
3.1.1	Schemat i parametry układu	87
3.1.2	Schemat i parametry poszczególnych stopni układu	88
3.2	Symulacje poszczególnych stopni	92
3.2.1	Symulacja Monte Carlo	94
3.2.2	Zachowanie układu dla różnych częstotliwości	95
3.3	Podsumowanie projektu w technologii AMS 350 nm	95
4	Projekt układu nadajnika CML w technologii TSMC 130 nm.	97
4.1	Architektura łańcucha buforów i nadajnika CML	97
4.1.1	Schemat i parametry układu	97
4.1.2	Schemat i parametry poszczególnych stopni układu	98
4.1.3	Symulacje dla poszczególnych stopni	101
4.1.4	Zachowanie układu dla różnych częstotliwości	105

4.1.5 Podsumowanie projektu w technologii TSMC 130 nm	108
Podsumowanie	109
Bibliografia	113
Spis rysunków	118
Spis tablic	120

Wstęp

Zaawansowane technologie CMOS (*ang. Complementary Metal - Oxide Semiconductor*) są obecnie jedną z najprężniej rozwijających się dziedzin nauki, będącą często również motorem rozwoju w innych dziedzinach. Jednak wyjście naprzeciw wymaganiom stawianym przez eksperymenty fizyki wysokich energii czy obrazowanie medyczne, wymaga nowatorskich i kreatywnych rozwiązań technologicznych. Przy rosnącej złożoności i wymaganej precyzji we współczesnych i przyszłych eksperymentach fizyki cząstek, oczekiwania związane z szybkością nadawania i odczytu danych rosną proporcjonalnie do zwiększającej się wielokanałowości układów odczytu detektorów w tych eksperymentach.

Celem pracy magisterskiej było zaprojektowanie dedykowanego interfejsu do szybkiej transmisji danych w głęboko submikronowej technologii CMOS 130 nm do szybkiego odczytu detektorów w eksperymentach fizyki cząstek. Punktem wyjścia do stworzenia tej pracy była potrzeba przekazywania informacji z elektroniki odczytu do zewnętrznych odbiorników z jak najwyższymi częstotliwościami. Obecnie to zadanie jest mocno utrudnione, gdyż istniejące dedykowane układy są zwykle w stanie pracować z maksymalnymi częstotliwościami rzędu kilkuset MHz. Zaprojektowany w ramach pracy układ byłby w stanie zwiększyć tę częstotliwość – pracować przy częstotliwościach kilku GHz, co byłoby bardzo przydatne dla różnych trwających obecnie oraz przyszłych eksperymentów fizyki cząstek i innych zastosowań.

Realizacja takiego układu jest możliwa m.in. dzięki nowatorskiemu podejściu wykorzystania indukcyjności w submikronowych układach scalonych. Do tej pory było to utrudnione, ponieważ miniaturyzacja cewek była nieporównywalnie wolna w stosunku do zmniejszania się rozmiarów tranzystorów, czy rezystorów. Jednak w obecnych zaawansowanych technologiach, takich jak CMOS 130 nm są odpowiednie modele symulujące cewki. Istnieją również publikacje potwierdzające pozytywny wpływ cewek na szybkość działania układu. Te dwa argumenty były inspiracją do wyjścia naprzeciw wymaganiom stawianym przez eksperymenty

fizyki cząstek i zaprojektowania nadajnika potrafiącego transmitować dane z częstotliwością kilku GHz .

Czynnikiem, który czyni ten projekt wyjątkowo atrakcyjnym, jest również wybór technologii. Obecnie wszystkie układy elektroniczne dążą do miniaturyzacji. Technologia CMOS 130 nm jest obecnie najbardziej obiecującą technologią do projektowania dedykowanych układów scalonych ASIC (*ang. Application Specific Integrated Circuit*) w eksperymentach fizyki cząstek, dlatego też została wybrana jako technologia wiodąca dla modernizacji eksperymentów takich jak np. LHC (*ang. Large Hadron Collider*) w CERN (*fr. Organisation Européenne pour la Recherche Nucléaire*). Wybór ten został wymuszony przez takie jej właściwości jak: dużą szybkość, odporność na uszkodzenia radiacyjne, niski pobór mocy oraz niski poziom szumów, co doskonale współgra z wymaganiami, jakie są nakładane na dedykowane układy scalone projektowane dla elektroniki odczytu detektorów w eksperymentach fizyki cząstek.

W rozdziale pierwszym przedstawione i porównane zostały trzy architektury interfejsów do różnicowej transmisji danych. Po ich analizie został wyłoniony standard najbardziej odpowiedni dla projektu, czyli CML (*ang. current mode logic*). Następnie opisane zostały podstawowe aspekty technologii w których został zaprojektowany prototyp układu: AMS 350 nm , IBM 130 nm oraz TSCM 130 nm . Po zapoznaniu ze standardami oraz technologiami przedstawione i dokładnie opisane zostały elementy architektury na których bazuje bufor CML - główny podzespół projektowanego interfejsu, a następnie sam bufor. W ostatniej części pierwszego rozdziału opisane zostały zależności jakie łączą ze sobą kolejne stopnie układu.

Rozdział drugi jest już w pełni poświęcony projektowaniu układu w technologii IBM 130 nm . Historycznie jest to drugi w kolejności zaprojektowany przez autorkę układ, lecz z uwagi na to, że jemu zostało poświęcone najwięcej uwagi, został opisany najdokładniej. Na początku zostały opisane komponenty wykorzystane do zaprojektowania interfejsu oraz jego nadrzędna struktura. Następnie zagłębiono się w architektury poszczególnych stopni układu - buforów CML. Przedstawiono parametry i rezultaty symulacji jakie uzyskano na wyjściu poszczególnych stopni oraz całego układu w technologii IBM 130 nm .

Rozdział trzeci skupia się na projekcie w technologii AMS 350 nm . Interfejs ten powstał jako pierwszy. Niestety możliwości jakie oferowała technologia, a zwłaszcza brak w biblio-

tekach rzeczywistych modeli induktancji, nie były wystarczające na potrzeby projektu. Na tej podstawie podjęto decyzję o przejściu do nowocześniejszej technologii - IBM 130 *nm*. W rozdziale tym przedstawiona jest architektura kolejnych buforów oraz pokazane są symulacje jakim poddany został układ, w celu sprawdzenia jego poprawności. Rozdział ten nie jest już jednak tak drobiazgowy jak rozdział drugi, gdyż wiele aspektów jest analogicznych do technologii IBM 130 *nm*. Parametry układu oraz symulacje zostały zebrane w tabelach i przedstawione w bardziej skrócony sposób.

Rozdział czwarty, podobnie jak i dwa poprzednie, opisuje budowę i pracę nadajnika CML, ale zaprojektowanego w technologii TSCM 130 *nm*. Zmiana technologii z IBM na TSMC nastąpiła pod koniec tworzenia pracy magisterskiej i była konsekwencją decyzji podjętych przez różne grupy współpracujące z CERN. Na początku rozdziału przedstawiona została blokowa struktura układu, a następnie opisano kolejne stopnie interfejsu oraz wyjście całego układu.

Rozdział 1

Teoretyczne aspekty transmisji danych

1.1 Standardy interfejsów do różnicowej transmisji danych

Wraz z rozwojem technologii i zwiększeniem szybkości transmisji danych, wymagania nakładane na interfejsy cyfrowe znacznie wzrosły. Aktualnie bardzo naciska się na to, aby osiągały one swoją najwyższą wydajność: jak najniższy pobór mocy, wysoką odporność na zakłócenia oraz działanie przy bardzo dużych częstotliwościach, nawet rzędu wielu GHz .

Trzy obecnie najczęściej obecnie wykorzystywane standardy to:

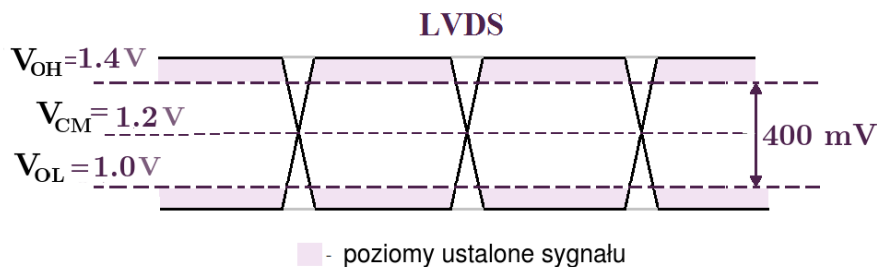
- **PECL** (*ang. positive-referenced emitter-coupled logic*),
- **LVDS** (*ang. low-voltage differential signals*),
- **CML** (*ang. current mode logic*).

Powyższe interfejsy różnią się od siebie amplitudą napięcia różnicowego, poborem mocy oraz prędkościami do jakich są przystosowane. Mimo to standardy mają dość podobne do siebie architektury, które bazują na strukturze pary różnicowej. Odbiegają one od siebie jednak takimi parametrami jak wartość wykorzystywanego prądu, czy realizacja terminacji. Wymienione standardy zostały dokładnie opisane w kolejnych podrozdziałach [1].

1.1.1 Standard LVDS

Interfejs LVDS posiada kilka zalet, które czynią go bardzo atrakcyjnym. Przede wszystkim jest to niskie zużycie mocy, które jest osiągane dzięki pracy układu przy niskiej różnicy napięć.

Aby zapewnić odpowiednią amplitudę sygnału różnicowego tj. około 350 mV (czasami 400 mV) przy $100\ \Omega$ terminacji, prąd wyjściowy nadajnika LVDS musi wynosić 3.5 mA . Ten wymóg w bardzo dużym stopniu decyduje o niskim poborze mocy. Amplituda napięcia, dla którego odbiornik jest w stanie poprawnie odczytać stan logiczny układu jest już na poziomie 50 mV . Ta czułość obowiązuje dla całego zakresu, w którym może się znaleźć napięcie wspólne $[0.2\text{V} - 2.2\text{V}]$, co pozwala zachować dużą odporność na szумы oraz zakłócenia, a także pozwala na przesunięcie poziomu wspólnego pomiędzy nadajnikiem i odbiornikiem.



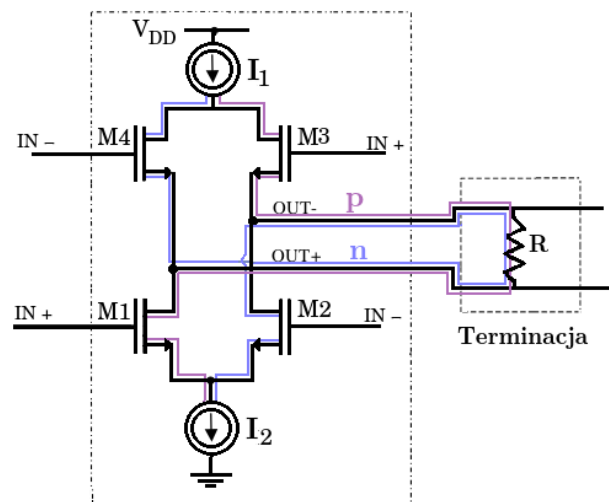
Rysunek 1.1: Napięcie wspólne i poziomy logicznie interfejsu LVDS

Rysunek 1.1 pokazuje sygnał różnicowy jaki odpowiada standardowi LVDS oraz przykładowe poziomy odpowiadające logicznej jedynce V_{OH} oraz zeru V_{OL} . Kolorem fioletowym zaznaczony został obszar, w którym sygnał różnicowy przekracza wymaganą dla standardu amplitudę. W dalszej części pracy będzie on nazywany poziomem ustalonym sygnału.

Struktura układu LVDS jest dostosowana do niskich mocy i względnie dużych (maksymalnie 3 GHz) szybkości. Typowa architektura nadajnika dla tego standardu pokazana jest na rysunku 1.2. Nadajnik składa się z czterech tranzystorów nMOS oraz dwóch identycznych źródeł prądowych ($I_1 = I_2$). Poziomy logiczne realizowane są poprzez wymuszenie przepływu prądu przez tranzystory pary różnicowej w różnych kierunkach, co skutkuje odwrotnym spadkiem napięcia na rezystorze terminującym. Gdy transmitowana jest jedynka logiczna, to zwarte są tranzystory M3 oraz M1. Prąd płynie ze źródła prądowego I_1 przez tranzystor M3 i przewód p pary różnicowej, a następnie przez rezystor R w odbiorniku i dalej przewodem n przez tranzystor M1 do masy. Spadek napięcia na rezystorze terminującym

jest wtedy dodatni. Zero logiczne transmitowane jest gdy zwarte są tranzystory M4 oraz M2. Prąd płynie wtedy w drugiej gałęzi, a spadek napięcia na rezystancji terminującej jest ujemny [2].

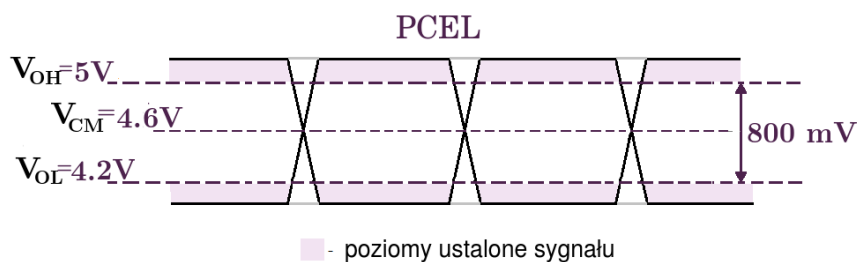
Układ nadajnika i odbiornika jest połączony ze sobą jedynie poprzez przewód transmisyjny. Oznacza to że przy wejściu odbiornika należy dodatkowo umieścić rezystancję terminującą, która będzie zapobiegać niedopasowaniom oraz odbiciom sygnału, które mogą się pojawić zwłaszcza przy wysokich częstotliwościach.



Rysunek 1.2: Nadajnik interfejsu LVDS

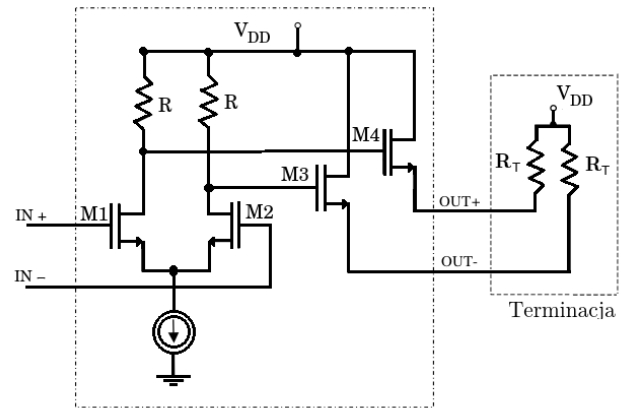
1.1.2 Standard PECL

PECL wywodzi się z interfejsu ECL (*ang. emitter coupled logic*). Różni się jednak od niego tym, że używa dodatniego (zamiast ujemnego) źródła zasilania $+5V$. Względnie niska różnica sygnałów PECL umożliwia wykorzystanie tego interfejsu do szybkiej transmisji danych. Standard ten jest dostosowany do przesyłania informacji zarówno w bardzo niskich jak i wysokich częstotliwościach. Jednak kosztem tej uniwersalności jest bardzo duże zużycie mocy. Wynika ono głównie z dużej wartości napięcia wspólnego (aż $4.6V$) oraz wysokiego napięcia zasilania. Amplituda sygnału różnicowego znajduje się w przedziale $700mV - 800mV$ (rysunek 1.3).



Rysunek 1.3: Napięcie wspólne i poziomy logicznie interfejsu PECL

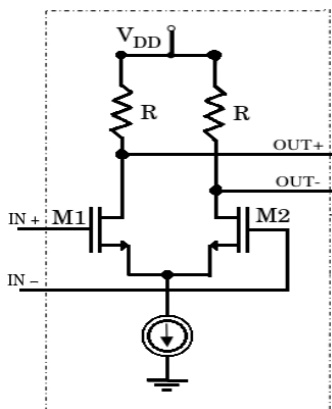
Architektura nadajnika PECL przedstawiona jest na rysunku 1.4. Układ zbudowany jest z pary różnicowej, która steruje dwoma tranzystorami w układzie wspólnego drenu. Wyjściowe tranzystory powinny pracować w regionie aktywnym normalnym z ciągle płynącym prądem stałym. Zwiększa to szybkość przełączania się tranzystorów ze stanu odcięcia do stanu przewodzenia i na odwrót. Na gałęziach drenu pary różnicowej znajdują się dwa rezystory podciągające podpięte do napięcia zasilania.



Rysunek 1.4: Nadajnik interfejsu PECL

Oprócz bardzo dużego zużycia mocy, dużą wadą tego standardu jest jego bardzo niska rezystancja wyjściowa (4 - 5 Ω). Wyjście tego układu znajduje się bezpośrednio na źródłach tranzystorów M3 i M4, których rezystancja wyjściowa w tej konfiguracji jest bardzo mała. Powoduje to że po podłączeniu układu do linii transmisyjnej będą pojawiać się niedopasowania sygnału. Aby uniknąć tego problemu, podobnie jak w nadajniku LVDS, należy dodatkowo zaterminować wyjście nadajnika umieszczając na gałęziach wyjściowych rezystory R_T odpowiadające impedancji linii długiej [3].

1.1.3 Standard CML

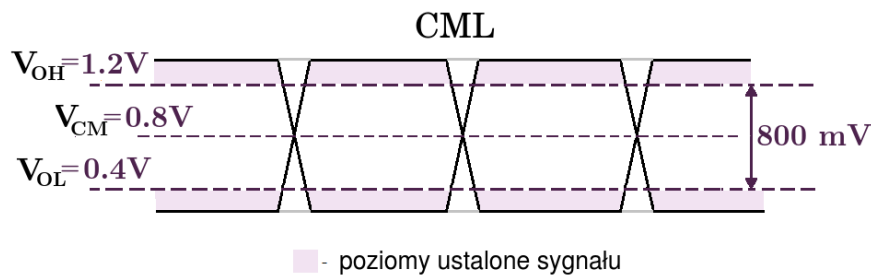


Rysunek 1.5: Nadajnik interfejsu CML

Standard CML jest jednym z najprostszych konstrukcyjnie interfejsów, ponieważ nadajnik oraz odbiornik są od razu dopasowane do impedancji linii transmisyjnej i nie potrzebują dodatkowych terminacji, tak jak w przypadku standardu PECEL czy LVDS. Dopasowanie impedancji nadajnika do linii długiej jest realizowane poprzez umieszczenie rezystorów obciążających na gałęziach drenu tranzystorów pary różnicowej. Rezystory te mają wartość równą impedancji linii transmisyjnej. Schemat nadajnika CML zaprezentowany jest na rysunku 1.5. Ponadto sygnał zapewniany przez CML jest również względnie mały, a także posiada niską wartość napięcia wspólnego, co redukuje zużycie

mocy w układzie. Interfejs CML może pracować nawet przy częstotliwościach rzędu 10 GHz , co czyni go znacznie szybszym niż standard LVDS [4].

Różnica sygnału jest zapewniona dzięki przełączaniu prądu do poszczególnych gałęzi przez tranzystory pary różnicowej w układzie wspólnego źródła. Różnica poziomów sygnałów dla interfejsu CML wynosi od 800 mV . Poziomy logiczne oraz napięcie wspólne standardu pokazane są na rysunku. Budowa nadajnika CML zostanie dokładniej omówiona w rozdziale 1.3 *Elementy architektury bufora CML*.



Rysunek 1.6: Napięcie wspólne i poziomy logicznie interfejsu CML

1.1.4 Zestawienie interfejsów

Podsumowując przedstawione standardy różnicowej transmisji danych, w tabeli 1.1 zostały zebrane wartości charakterystyczne dla każdego z interfejsów [3].

Tabela 1.1: Porównanie parametrów interfejsu LVDS, CML i PECL

Standard	Max. prędkość	napięcie różnicowe	zużycie prądu
LVDS	3.125 GHz	350 mV	niskie
CML	$10+\text{ GHz}$	800 mV	średnie
PECL	$10+\text{ GHz}$	800 mV	wysokie

Z powyższej tabeli widać, że standard LVDS ma najmniejszy pobór mocy z trzech zaprezentowanych interfejsów, ale także jest on najwolniejszy. PECL może działać w szerokim zakresie częstotliwości, przez to jednak zużywa bardzo dużo mocy. Kompromisem dla wymagań ograniczenia mocy i osiągnięcia jak największych szybkości jest standard CML. Osiąga on większe prędkości niż LVDS, ponadto ma znacznie mniejszy pobór mocy niż PECL. W zależności od tego co chcemy osiągnąć w projektowanym układzie, tzn. czy zależy nam

na jego prędkości, czy też ważniejsze jest niskie zużycie mocy, należy się zdecydować na jeden z powyższych interfejsów.

Ponieważ założeniem tytułowego interfejsu jest transmisja danych powyżej 3 GHz oraz jak największe zminimalizowanie zużycia mocy układu, standard CML wydaje się do tego zadania najbardziej odpowiedni.

1.2 Wybrane submikronowe technologie CMOS

Submikronowa technologia CMOS (*ang. Complementary MOS*) jest techniką wytwarzania układów scalonych, składających się m. in. z tranzystorów nMOS i pMOS o długościach kanału rzędu dziesiątek i setek nm.

Tytułowy układ nadajnika CML został zaprojektowany w trzech submikronowych technologiach:

- AMS 350 nm
- IBM 130 nm
- TSMC 130 nm

Wymiar przy każdej z nazw oznacza minimalną długość kanału tranzystora jaka jest dostępna dla danej technologii.

Chronologicznie pierwszy układ powstał w technologii AMS 350 nm, z uwagi na fakt że ta technologia była najlepiej znana autorce pracy. Jednak na etapie poszerzania pasma układu okazało się że ta technologia nie posiada odpowiednich modeli indukcyjności, kluczowych dla całego projektu. Stało się to główną przyczyną zmiany technologii na IBM 130 nm, która posiadała wszystkie wymagane modele. Układ został więc ponownie opracowany w nowej technologii. Przeprowadzone zostały wszystkie niezbędne symulacje oraz analizy. Jednak w ostatnim etapie pracy, ze względu na spodziewane zakończenie wsparcia przez producenta technologii IBM 130 nm, została podjęta decyzja o zmianie technologii projektowanego interfejsu na TSMC 130 nm.

Technologia CMOS 130 nm (zarówno IBM jak i TSMC) jest obecnie najbardziej obiecującą technologią do projektowania dedykowanych układów scalonych ASIC w eksperymentach fizyki cząstek, dlatego też została wybrana jako technologia wiodąca dla modernizacji eksperymentów na LHC. Wykorzystując tą samą technologię podczas projektowania interfejsu istnieje możliwość jego aplikacji podczas modernizacji eksperymentu LHCb (Large Hadron Collider beauty), czy w detektorze świetlności w przyszłych zderzaczach liniowych.

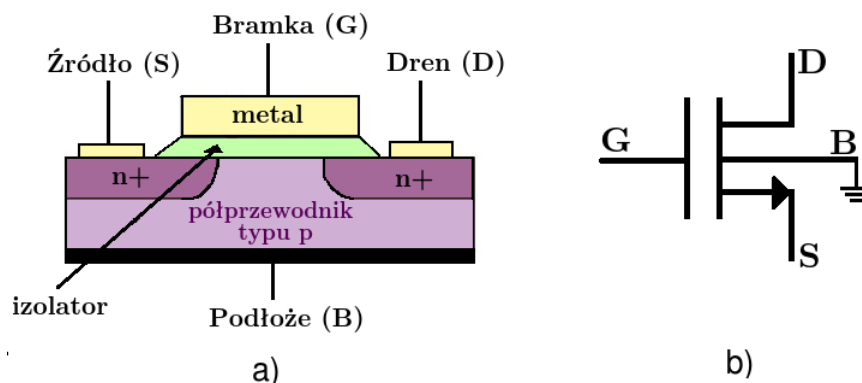
Jest to możliwe dzięki uczestnictwu grupy z WFiS AGH w projekcie nad układem elektroniki odczytu do eksperymentu LHCb, a także pracy nad detektorami do zderzaczy liniowych.

1.3 Elementy architektury bufora CML

1.3.1 Tranzystor polowy nMOS

Wykonany projekt opiera się na submikronowej technologii CMOS, której głównym elementem są tranzystory MOFSET (*ang. Metal-Oxide Semiconductor Field-Effect Transistor*). Charakteryzuje je bramka, która jest odizolowana od kanału cienką warstwą izolatora, najczęściej dwutlenku krzemu.

Budowa tranzystora nMOS

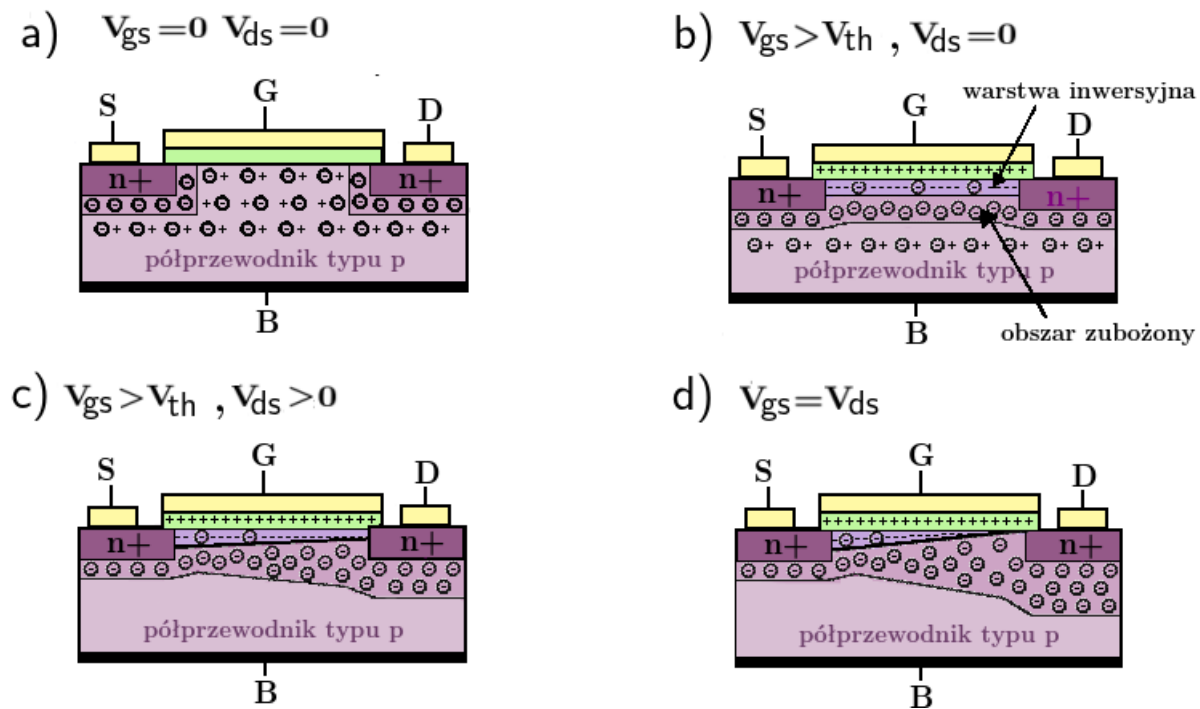


Rysunek 1.7: Tranzystor nMOS: **a)** przekrój tranzystora **b)** symbol graficzny tranzystora

Na rysunku **1.7** pokazana została schematyczna budowa tranzystora MOSFET z kanałem typu n. W podłożu tranzystora, które w rzeczywistości jest półprzewodnikiem typu p, tworzone są dwa obszary o przeciwnym do podłoża typie przewodnictwa. W przypadku tranzystora nMOS są to obszary silnie domieszkowane donorami (oznaczone jako n+). Odpowiadają one obszarom drenu **D** (*ang. drain*) oraz źródła **S** (*ang. source*) tranzystora, do których doprowadzone są kontakty. Powierzchnia podłoża pomiędzy drenem a źródłem pokryta jest cienką warstwą dielektryka, na którą napyłona jest warstwa metalu tworząc bramkę **G** (*ang. gate*) tranzystora.

Zasada działania

Działanie tranzystora polowego polega na sterowaniu przepływem prądu przez jego kanał za pomocą pola elektrycznego wytwarzanego przez różnice potencjałów pomiędzy bramką, a źródłem V_{gs} [5].



Rysunek 1.8: Zasada działania tranzystora nMOSFET

Na rysunku **1.8a** przedstawiona jest sytuacja kiedy polaryzacja drenu i bramki jest zerowa, tzn. napięcie dren-źródło (V_{ds}) oraz bramka-źródło (V_{gs}) są równe zero. Oznacza to że pomiędzy drenem a źródłem brak jest kanału przewodzącego prąd. Jeżeli zacniemy polaryzować bramkę, tzn. zwiększać napięcie V_{gs} , to po przekroczeniu pewnej jego wartości, zwanej napięciem progowym (V_{th}), otrzymamy sytuację przedstawioną na rysunku **1.8b**. Jeśli napięcie V_{gs} jest mniejsze niż napięcie progowe, tranzystor znajduje się w tak zwanym zakresie odcięcia. Dodatni ładunek spolaryzowanej bramki indukuje pod jej powierzchnią ładunek przestrzenny, składający się z dużej liczby elektronów swobodnych o dużej koncentracji powierzchniowej - jest to tzw. warstwa inwersyjna. Polaryzacja powoduje również powstanie głębiej położonej warstwy ładunku przestrzennego jonów akceptorowych. W warstwie inwersyjnej powstaje w ten sposób połączenie elektryczne (kanał) pomiędzy drenem a źródłem. Prąd jaki się płynie przez to połączenie można opisać wzorem:

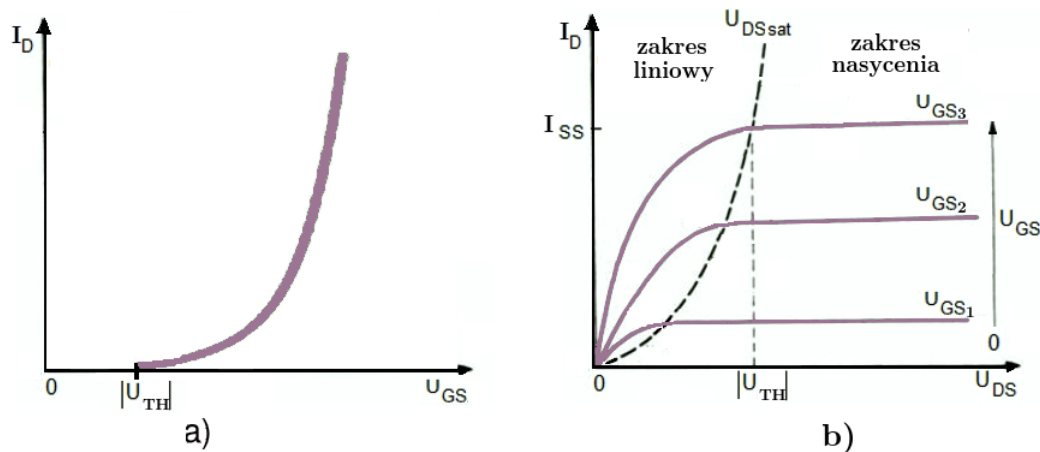
$$I_D = \mu C_{ox} \frac{W}{L} \cdot \left[(V_{gs} - V_{th}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (1.1)$$

Prąd ten zmienia rozkład potencjału wzdłuż powstałego kanału, na skutek czego im bliżej drenu, tym różnica potencjałów pomiędzy bramką i podłożem jest mniejsza, a kanał staje się płytszy **1.8c**.

Jeśli w dalszym ciągu zwiększane będzie napięcie V_{ds} , w pewnym momencie zostanie przekroczony kolejny punkt graniczny związany z przekroczeniem napięcia nasycenia ($V_{ds\ sat}$). Jest to równoważne ze zrównaniem się napięcia V_{ds} z napięciem V_{gs} , kiedy powstały kanał całkowicie znika w pobliżu drenu, a prąd ulega nasyceniu. Sytuacja ta przedstawiona jest na rysunku **1.8d**. Dalszy wzrost napięcia V_{ds} będzie powodował tylko nieznaczne zmiany prądu I_D . Tranzystor będzie się znajdował w zakresie nasycenia (pentodowym). Wartość prądu w kanale będzie natomiast opisana przez wzór

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} \cdot (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (1.2)$$

gdzie: $\lambda = \frac{dI_D}{dV_{ds}}$ to czynnik odpowiadający za nieznaczny wzrost prądu drenu w zakresie nasycenia.

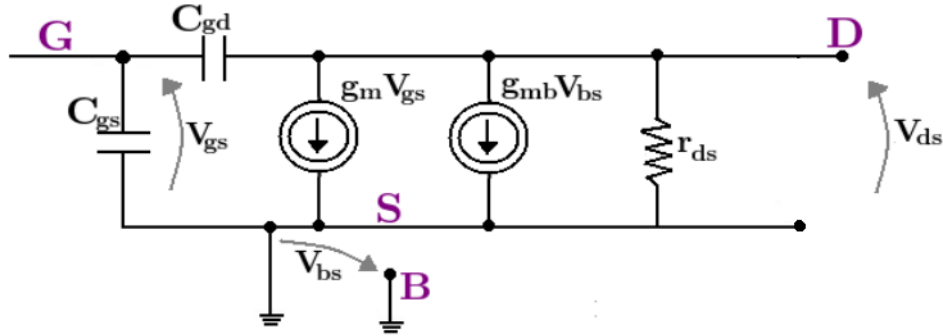


Rysunek 1.9: Podstawowe charakterystyki: **a)** przejściowa **b)** wyjściowa

Rysunek **1.9** przedstawia charakterystykę przejściową (rys.**1.9 a**) oraz charakterystykę wyjściową (rys.**1.9b**) tranzystora nMOS. Obszar charakterystyki wyjściowej podzielony jest na dwie części: obszar liniowy i aktywny normalny (nasycenia). W zakresie liniowym tranzystor zachowuje się jak rezystor półprzewodnikowy.

Model małosygnalowy

Modele małosygnalowe opisują właściwości elementu dla sygnałów zmiennych o małej amplitudzie [5][6].



Rysunek 1.10: Model małosygnalowy tranzystora MOSFET

Najważniejsze parametry modelu małosygnalowego pokazanego na rysunku **1.10** to:

Transkonduktancja

$$g_m = \frac{\partial I_D}{\partial V_{gs}}, \quad V_{ds} = \text{const.} \quad (1.3)$$

$$g_m = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (1.4)$$

Rezystancja wyjściowa

$$r_{ds} = \frac{\partial V_{ds}}{\partial I_D}, \quad V_{gs} = \text{const.} \quad (1.5)$$

$$r_{ds} \approx \frac{1}{\lambda I_D} \quad (1.6)$$

Pojemności: wejściowa C_{gs} i zwrotna C_{gd} .

W tranzystorach z izolowaną bramką, znajdujących się w zakresie liniowym, pojemności C_{gs} i C_{gd} wynikają głównie z faktu gromadzenia ładunku w obszarze kanału pod elektrodą bramki. Dlatego w tym zakresie pojemności C_{gs} i C_{gd} są sobie równe i wynoszą:

$$C_{gs} = C_{gd} = \frac{1}{2} C_{ox} W L \quad (1.7)$$

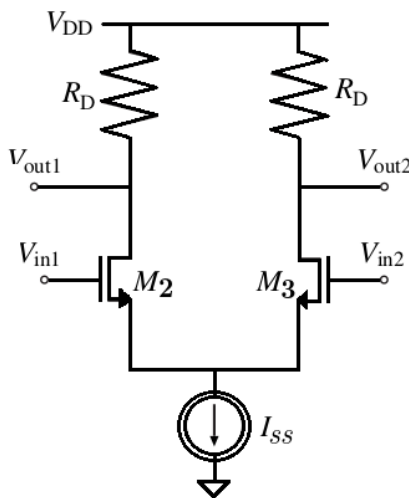
W obszarze aktywnym normalnym, dren zostaje odcięty od kanału, więc tylko pojemność C_{gs} jest pojemnością fizyczną. Pojemność C_{gd} staje się wyłącznie pojemnością pasożytniczą,

wynikającą z częściowego przekrywania się elektrody bramki z obszarem źródła.

$$C_{gd} = 0 \quad , \quad C_{gs} = \frac{2}{3}C_{ox}WL \quad (1.8)$$

1.3.2 Para różnicowa

Para różnicowa, nazywana częściej wzmacniaczem różnicowym, służy do wzmacniania sygnałów różnicowych w określonym paśmie częstotliwości, a także do tłumienia szkodliwych sygnałów wspólnych.



Rysunek 1.11: Para różnicowa

Budowa

Para różnicowa jest układem dwuwejściowym, w którym głównymi elementami są dwa tranzystory posiadające wspólny obwód źródłowy. Należy mieć na uwadze, aby zarówno typy tranzystorów, jak też ich wymiary były identyczne. Ma to na celu zapewnienie symetrii charakterystyk w zakresie liniowym oraz duże wzmocnienie. Schemat pary różnicowej pokazany jest na rysunku 1.11.

Głównym zadaniem wzmacniacza różnicowego jest wytworzenie na wyjściu napięcia różnicowego, którego wartość będzie proporcjonalna do różnicy napięć pomiędzy jego wejściami. W projektowanym układzie wykorzystywana jest para różnicowa sterowana dwoma źródłami generującymi sygnał prostokątny. Źródła te są dołączone do bramek obu tranzystorów - wejść układu (V_{in1} , V_{in2}). Wyjście układu (V_{out1} , V_{out2}) jest również symetryczne i brane jest z gałęzi drenów tranzystorów.

Zasada działania

Wzmacniacz różnicowy jest układem symetrycznym, tj. tranzystory są identyczne i rezystory mają identyczną rezystancję R_D . Układ jest polaryzowany prądem I_{SS} wymuszonym przez idealne źródło prądowe. Dla $V_{in1} = V_{in2}$ prąd ten dzieli się po połowie między obie gałęzie pary różnicowej. Spadek napięcia na obu rezystorach jest jednakowy, a różnicowe napięcie wyjściowe jest równe zero. Jeśli jednak pojawi się pewna różnica napięć wejściowych:

$$V_{in\ diff} = V_{in1} - V_{in2} \quad (1.9)$$

to powstaje różnica prądów drenu tranzystorów, spadki napięć na rezystorach są różne i pojawia się różne od zera różnicowe napięcie na wyjściu:

$$V_{out\ diff} = V_{out1} - V_{out2} \quad (1.10)$$

Parametry pary różnicowej:

Wyprowadzenie poszczególnych parametrów można znaleźć w większości książek do elektroniki, dlatego zostało ono pominięte i przypomniane zostały wyłącznie końcowe wzory [7].

- **wzmocnienie różnicowe K_{diff} :**

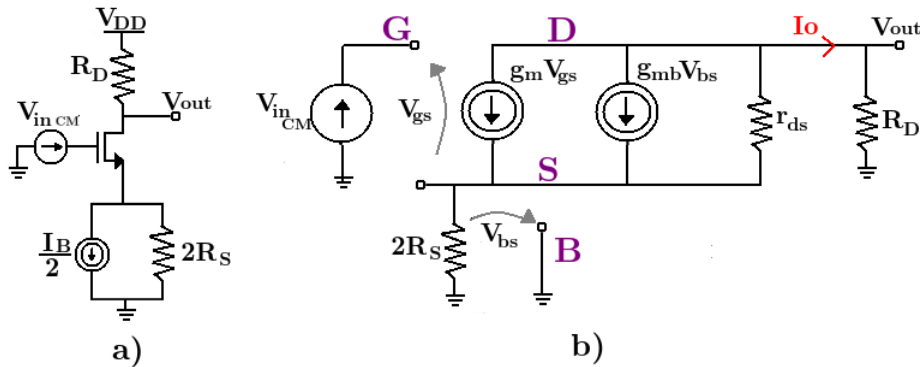
Wzmocnienie różnicowe wyraża stosunek napięcia różnicowego na wyjściu do napięcia różnicowego na wejściu układu:

$$K_{diff} = \frac{V_{out\ diff}}{V_{in\ diff}} \quad (1.11)$$

$$K_{diff} = -g_m \cdot r_{ds} || R_D \quad (1.12)$$

- **wzmocnienie wspólne K_{CM} :**

Rysunek 1.12 przedstawia połowę układu pary różnicowej (rys. 1.12a) oraz jej model małosygnalowy (rys. 1.12b), na podstawie którego wyznaczona się wzmocnienie wspólne (sumacyjne) wzmacniacza.



Rysunek 1.12: Para różnicowa: a) połowa układu, b) model małosygnalowy połowy pary

$$K_{CM} = \frac{V_{out\ CM}}{V_{in\ CM}} = \frac{-g_m r_{ds} || R_D}{1 + \frac{2R_S}{r_{ds} + R_D} [1 + (g_m + g_{mb}) r_{ds}]} \quad (1.13)$$

co w przybliżeniu ($(g_m + g_{mb}) r_{ds} \gg 1$) można zapisać jako:

$$K_{CM} \approx \frac{-g_m r_{ds} || R_D}{2R_S (g_m + g_{mb}) \frac{r_{ds}}{r_{ds} + R_D}} \quad (1.14)$$

- **współczynnik tłumienia sygnału wspólnego CMRR:**

Miarą jakości wzmacniacza różnicowego jest stosunek wzmocnienia sygnału różnicowego do sygnału wspólnego. Jest to tzw. współczynnik tłumienia sygnału wspólnego (*ang. Common mode rejection ratio*). Wyznaczony został na podstawie równań 1.12 oraz 1.14.

$$CMRR = \frac{K_{diff}}{K_{CM}} \approx 2R_S(g_m + g_{mb}) \frac{r_{ds}}{r_{ds} + R_D} \quad (1.15)$$

- **rezystancja wejściowa różnicowa $r_{in\ diff}$:**

$$r_{in\ diff} \approx \infty \quad (1.16)$$

- **rezystancja wejściowa wspólna $r_{in\ CM}$:**

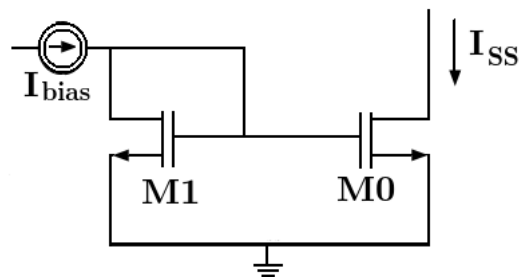
$$r_{in\ CM} \approx \infty \quad (1.17)$$

- **rezystancja wyjściowa r_{out} :**

$$r_{out} = R_D \parallel r_{ds} \quad (1.18)$$

1.3.3 Lustro prądowe

Lustro prądowe składa się z dwóch tranzystorów połączonych ze sobą bramkami. Tranzystor M1 jest w połączeniu diodowym. Aby zapewnić równość prądu drenu na obu tranzystorach, bardzo ważne jest aby miały one identyczne parametry oraz wzmocnienie. Źródła tranzystorów typu nMOS są spięte do masy, a na ich bramki doprowadzone jest to samo napięcie. Oznacza to że napięcie bramka-źródło w obu tranzystorach jest identyczne [8].



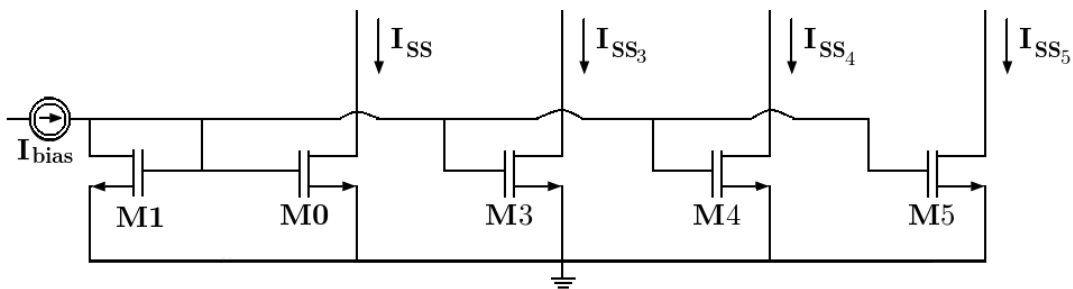
Rysunek 1.13: Schemat lustra prądowego

$$V_{gs1} = V_{gs0} \quad (1.19)$$

Implikuje to taki sam prąd na drenach tranzystorów o ile znajdują się one w zakresie nasycenia, tzn. jeśli do drenu tranzystora M1 podepniemy źródło prądowe o wartości I_{bias} , to przez dren tranzystora M0 przepływa dokładnie taki sam prąd. W praktycznych realizacjach natężenie powielanego prądu nie jest dokładnie równe prądowi odniesienia, gdyż napięcia V_{ds1} i V_{ds0} nie są sobie dokładnie równe.

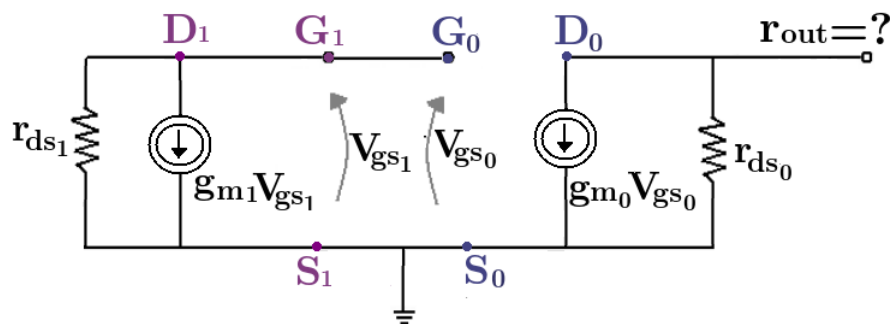
Dużą zaletą lustra prądowego jest możliwość zasilenia wielu układów przy użyciu jednego tylko źródła prądowego, będącego referencją dla lustra prądowego (rys. 1.14). Ponadto na podstawie prądu odniesienia można uzyskać dowolną wartość prądu na gałęzi drenu tranzystora M0, zmieniając szerokość jego kanału. Prąd drenu tranzystora M0, oznaczony na rysunku jako I_{SS} , można bowiem opisać zależnością:

$$I_{SS} = I_{bias} \cdot \frac{W_{M0}}{W_{M1}} \quad \text{przy} \quad L_0 = L_1 \quad (1.20)$$



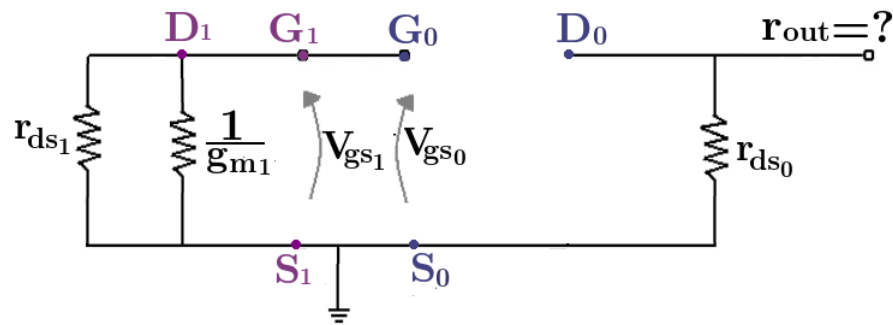
Rysunek 1.14: Przykład zastosowania lustra prądowego do wygenerowania kilku różnych prądów.

Wszystkie źródła prądowe powinny charakteryzować się dużą rezystancją wewnętrzną. Aby wyznaczyć rezystancję lustra prądowego należy przeanalizować jego model małosygnałowy (rys. 1.15):



Rysunek 1.15: Model małosygnałowy lustra prądowego

Upraszczając rys. 1.15 poprzez uwzględnienie faktu, że źródło jest sterowane napięciem jakie odkłada się na nim samym, co umożliwia zastąpienie źródła prądu stałego jego rezystancją wewnętrzną $\frac{1}{g_{m1}}$, otrzymano model małosygnałowy przedstawiony na rysunku 1.16.



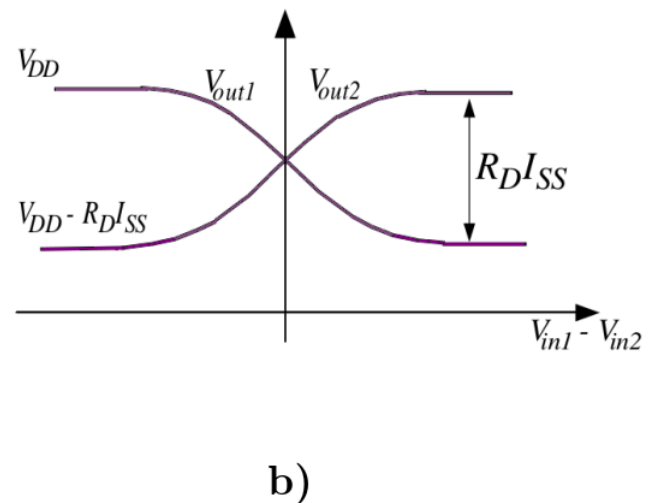
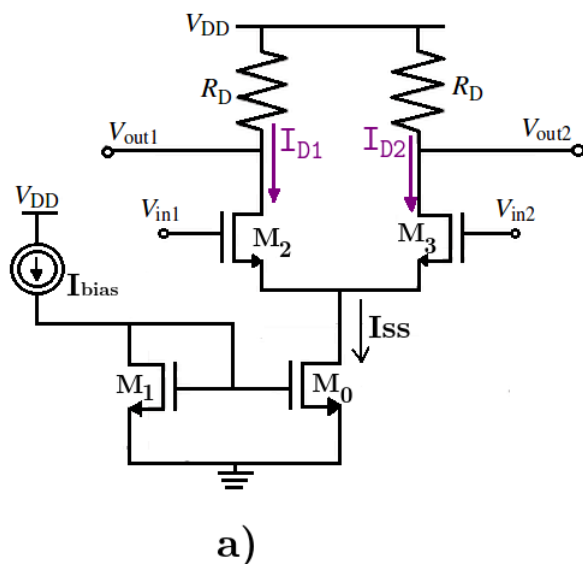
Rysunek 1.16: Uproszczony model małosygnalowy lustra prądowego

Z powyższego rysunku od razu widać, że rezystancja wyjściowa lustra prądowego jest równa rezystancji dren-źródło r_{ds} tranzystora M0.

$$r_{out} = r_{ds0} \quad (1.21)$$

1.4 Bufor CML

1.4.1 Procedura projektowania



Rysunek 1.17: Bufor CML **a)** Schemat podstawowego bufora CML, **b)** Charakterystyka wyjściowa bufora CML

Na rysunku 1.17a przedstawiony jest podstawowy schemat bufora CML z lustrem prądowym. Bazuje on na architekturze pary różnicowej opisaną w poprzednim rozdziale.

Należy jednak pamiętać, że tranzystory M2 i M3 są kluczami, które się włączają lub odłączają, tak że prąd za każdym razem płynie tylko przez jedną gałąź układu. Głównymi komponentami bufora są: dwa rezystory podciągające tzn. podłączone do napięcia zasilania, dwa tranzystory typu nMOS o sprzężonych źródłach oraz źródło prądowe, które w tym przypadku jest zastąpione lustrem prądowym.

Tranzystory kontrolują przepływ prądu w każdej z dwóch gałęzi pary różnicowej zgodnie z różnicowym napięciem wejściowym. Bufor CML może działać przy wysokich częstotliwościach, ponieważ w jego budowie nie jest wykorzystywany żaden tranzystor typu pMOS. Nośnikami prądu w pMOS'ach są dziury, które poruszają się około dwa razy wolniej niż elektrony, co czyni te tranzystory znacznie wolniejszymi niż nMOSy. Ponieważ układ ma działać przy częstotliwościach rzędu kilku GHz, architektura bufora bazuje wyłącznie na tranzystorach typu nMOS.

O ile napięcie wejściowe może się zmieniać od 0 do V_{DD} , każde z napięć na wyjściu różnicowym zmienia się w zakresie od $V_{DD} - R_D I_{SS}$ do V_{DD} gdzie R_D jest wartością rezystora obciążającego, a I_{SS} jest prądem dostarczonym do układu pary różnicowej. Wynika z tego, że napięcie różnicowe zmienia się w zakresie $[-R_D I_{SS}; R_D I_{SS}]$. Charakterystyka wyjściowa bufora CML pokazana jest na rysunku **1.17b**. Jeśli każdej z wartości granicznych napięcia wyjściowego różnicowego przypiszemy logiczne 0 i 1, bufor CML może transmitować sygnał cyfrowy.

Aby poprawnie zaprojektować bufor CML bardzo ważne jest właściwe dobranie parametrów wszystkich tranzystorów. Dzięki temu układ będzie mógł osiągnąć maksymalną wydajność. Na początku należy zadbać o to, by tranzystor M0, znajdujący się w lustrach prądowych, zawsze pracował w zakresie nasycenia. Aby spełnić ten warunek, napięcie V_{ds0} w lustrze prądowym (tranzystor M0) musi być wyższe niż różnica napięć V_{gs0} i V_{th0} , co utrzyma tranzystor M0 w odpowiednim punkcie pracy.

$$V_{ds0} > V_{gs0} - V_{th0} \quad (1.22)$$

Napięcie V_{ds0} będzie spełniać powyższy warunek, jeśli napięcie $V_{in\ CM}$ na wejściu tranzystorów M1 i M2 będzie się znajdować w dokładnie określonym przedziale. Minimalna wartość sygnału wspólnego na wejściu, $V_{in\ CM}$ jest osiągana gdy tranzystor M0 lustra prądowego zaczyna pracować w obszarze nasycenia. Wartość maksymalna natomiast jest zdefiniowana

tak, aby tranzystory M2 i M3 znajdowały się w stanie przewodzenia lub odcięcia [11].

$$V_{gs_2} + (V_{gs_0} + V_{th_K}) \leq V_{CM,in} \leq \min[V_{DD} - R_D \frac{I_{SS}}{2} + V_{th_K}, V_{DD}] \quad (1.23)$$

gdzie za K w indeksie dolnym napięcia progowego można przyjąć 2 lub 3, co odpowiada numerom tranzystorów M2 i M3.

Przypominając, zmiana napięcia wspólnego na bramkach tranzystorów powoduje zmiany prądu, za czym idą zmiany transkonduktancji oraz zmiana poziomu wspólnego na wyjściu. Zmniejszenie transkonduktancji implikuje zmniejszenie wzmocnienia małosygnałowego oraz zmniejszenie sygnału różnicowego na wyjściu układu, co jest bardzo niepożądanym efektem. Dlatego właśnie $V_{CM,in}$ powinno być wystarczająco wysokie, aby utrzymać napięcie V_{ds_0} w lustrze prądowym wyższe niż różnica napięć V_{gs_0} i V_{th_0} .

Następnym krokiem podczas projektowania jest właściwe wyznaczenie wartości rezystorów, tranzystorów pary różnicowej oraz wielkości tranzystorów w lustrze prądowym.

Wartość rezystancji obciążającej R_D jest tak dobrana, aby była dopasowana do impedancji linii transmisyjnej. Oznacza to, że jeśli wyjście układu będzie podłączone do linii długiej o impedancji 50Ω , to każdy z rezystorów bufora również powinien mieć wartość 50Ω . Dzięki takiemu doborowi wartości uniknąć można niepożądanych odbić sygnału.

Z rysunku **1.17** widać wyraźnie że maksymalne różnicowe napięcie wyjściowe V_{diff} jest funkcją rezystancji obciążającej R_D i prądu zasilającego I_{SS} :

$$V_{diff} = I_{SS} \cdot R_D \quad (1.24)$$

Przyjmując wyznaczoną wcześniej wartość rezystancji oraz zakładając że V_{diff} , zgodne ze standardem CML wynosi $800 mV$, można wyznaczyć prąd polaryzujący parę różnicową. Rozmiary tranzystorów w lustrze prądowym są dobrane na podstawie znajomości prądu I_{SS} jaki muszą wygenerować, aby dany stopień łańcucha buforów osiągał odpowiednie różnicowe napięcie wyjściowe. Szerokość kanału tranzystora M0 musi być odpowiednio większa niż w tranzystorze M1, aby zapewnić wystarczającą wartość prądu. W celu wyznaczenia szerokości kanału tranzystora M0 posłużono się wzorem 1.20. Natomiast parametry tranzystora M1 zostały dobrane na podstawie symulacji.

Aby wyznaczyć szerokość kanału tranzystorów M2 i M3, zbadać zakres w jakim może się znaleźć różnicowe napięcie wejściowe [9].

Zdefiniujmy różnicowe napięcie wejściowe jako:

$$V_{in\ diff} = V_{in1} - V_{in2} \quad (1.25)$$

oraz różnicę prądów w gałęziach drenów pary różnicowej jako:

$$\Delta I = I_{D2} - I_{D3} \quad (1.26)$$

Prąd I_{SS} , zgodnie z pierwszym prawem Kirchhoffa, jest równy sumie I_{D2} i I_{D3} . Prądy drenu można opisać za pomocą wzoru 1.2, w momencie gdy obydwie tranzystory M2 i M3 są w zakresie nasycenia:

$$I_{D2} = \frac{1}{2} \mu C_{ox} \frac{W_2}{L_2} (V_{in1} - V_S - V_{th2})^2 \quad (1.27)$$

$$I_{D3} = \frac{1}{2} \mu C_{ox} \frac{W_3}{L_3} (V_{in2} - V_S - V_{th3})^2 \quad (1.28)$$

gdzie V_S jest napięciem na źródłach tranzystorów M2 i M3.

Ponadto zakładamy że $L_2 = L_3 = L$ oraz $W_2 = W_3 = W$, a także, $V_{th2} = V_{th3} = V_{th}$. Wtedy powyższe równania można przekształcić tak, aby zapisać je jako:

$$V_{GS2} = V_{in1} - V_S = \sqrt{\frac{2I_{D2}}{\mu C_{ox} \frac{W}{L}}} + V_{th} \quad (1.29)$$

$$V_{GS3} = V_{in2} - V_S = \sqrt{\frac{2I_{D3}}{\mu C_{ox} \frac{W}{L}}} + V_{th} \quad (1.30)$$

Wyznaczamy teraz $V_{in\ diff}$ podstawiając do wzoru 1.25 równanie 1.29 i 1.30:

$$V_{in\ diff} = V_{in1} - V_{in2} = V_{GS2} - V_S - V_{GS3} + V_S = V_{GS2} - V_{GS3} \quad (1.31)$$

$$V_{in\ diff} = \sqrt{\frac{2I_{D2}}{\mu C_{ox} \frac{W}{L}}} - \sqrt{\frac{2I_{D3}}{\mu C_{ox} \frac{W}{L}}} \quad (1.32)$$

po podniesieniu do kwadratu:

$$V_{in\ diff}^2 = \frac{2}{\mu C_{ox} \frac{W}{L}} \left(I_{SS} - 2\sqrt{I_{D2}I_{D3}} \right) \quad (1.33)$$

następnie podstawiając pod I_{D2} i I_{D3} równania 1.27 i 1.28 oraz uwzględniając 1.26 można otrzymać:

$$\Delta I^2 = I_{SS}^2 - \left(\frac{1}{2} \mu C_{ox} \frac{W}{L} V_{in\ diff}^2 - I_{SS} \right)^2 \quad (1.34)$$

co po spierwiastkowaniu daje wyrażenie na różnice prądów ΔI :

$$\Delta I = \frac{1}{2} \mu C_{ox} \frac{W}{L} V_{in\ diff} \sqrt{\frac{4I_{SS}}{\mu_n C_{ox} \frac{W}{L}} - v_{inn\ diff}^2} \quad (1.35)$$

Równanie 1.35 odnosi się do różnicy prądów w gałęziach drenu pary różnicowej w funkcji różnicowego napięcia wejściowego. Wzrost $V_{in\ diff}$ można więc przetłumaczyć na zmianę stosunku prądów drenów pary różnicowej. Osiągnięcie jednej z granic napięcia wejściowego $V_{in\ diff\ max}$ będzie miało miejsce kiedy prąd będzie przepływał tylko przez jedną gałąź ($\Delta I = I_{SS}$):

$$V_{in\ diff\ max} = \sqrt{\frac{2I_{SS}}{\mu C_{ox} \frac{W}{L}}} \quad (1.36)$$

Znając maksymalny zakres w jakim może się znajdować różnicowe napięcie wejściowe, możemy wyznaczyć szerokość kanału tranzystorów M2 i M3.

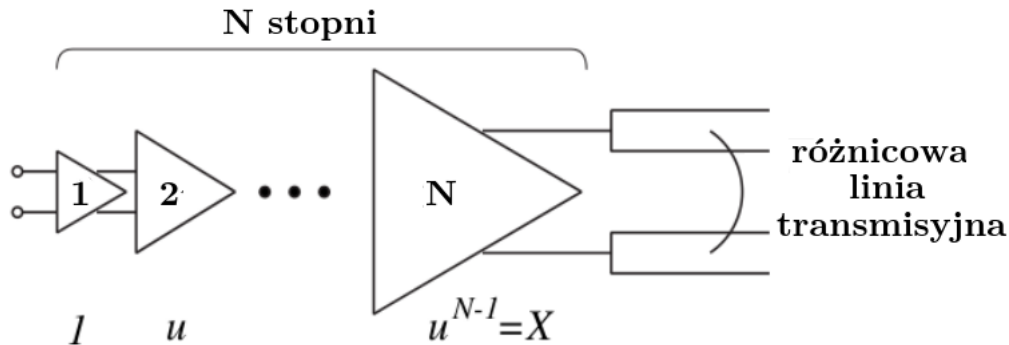
$$W \geq \frac{2I_{SS}L}{\mu C_{ox} V_{(in\ diff\ max)}^2} \quad (1.37)$$

Ostatni stopień łańcucha buforów CML jest podłączony do linii transmisyjnej, w której strata sygnału nie jest bez znaczenia. Dlatego dolna granica napięcia wyjściowego $V_{out\ diff}$ jest większa niż minimalne napięcie wejściowe odbiornika. Uwzględniając tłumienie w linii transmisyjnej, napięcie wyjściowe jest wyrażone wzorem:

$$V_{out\ diff} \geq \frac{\Delta V_{(in\ receiver\ diff)\ min}}{\exp(-\xi l)} \quad (1.38)$$

gdzie ξ i l są odpowiednio stałą tłumienia i długością linii transmisyjnej [10] [11][12].

1.5 Łańcuch buforów CML



Rysunek 1.18: Schemat stożkowego nadajnika CML

Na rysunku **1.18** pokazany jest stożkowy nadajnik CML. Symbol N odpowiada liczbie wszystkich stopni nadajnika, natomiast u czynnikiowi skalującemu wielkości tranzystorów, rezystorów oraz prądu. Parametr X jest proporcją pomiędzy pierwszym a ostatnim stopniem bufora, natomiast n oznacza kolejny (n -ty) stopień układu.

Aby mieć pewność, że sygnał jest przesyłany poprawnie, a tranzystory przełączają się w odpowiednich momentach, równania przedstawione w poprzednim rozdziale można zaadoptować również dla całego łańcucha.

W łańcuchu buforów CML jeden bufor jest źródłem sygnału dla kolejnego. Oznacza to, że wyjście pierwszego stopnia jest podłączone do wejścia kolejnego, itd. Aby zapewnić poprawne przełączanie się tranzystorów, napięcie różnicowe wyjściowe n -tego stopnia musi przekroczyć wartość $V_{in\ diff\ max}$ następnego ($n+1$) stopnia. Można to zapisać za pomocą równania:

$$R_{D(n)} I_{SS(n)} \geq \sqrt{\frac{2I_{SS(n+1)}}{\mu C_{ox} \left(\frac{W}{L}\right)_{(n+1)}}} \quad (1.39)$$

W celu zagwarantowania możliwości pracy przy dużych częstotliwościach, tranzystory nMOS pary różnicowej muszą się bardzo szybko przełączać. Aby spełnić to kryterium, napięcie wspólne na wejściu musi należeć do przedziału określonego równaniem 1.23, a ponadto musi być spełniona zależność:

$$V_{in(n)\ diff} - V_{thK(n)} \leq V_{out\ diff(n)} \leq V_{DD} \quad (1.40)$$

gdzie $K(n)$ znowu jest numerem odpowiednim tranzystorom pary różnicowej w n -tym stopniu. Równanie 1.40 wyznacza maksymalny dopuszczalny poziom napięcia różnicowego dla kolejnych stopni:

$$V_{out\ diff} = R_{D(n)}I_{SS(n)} \leq V_{th_{K(n)}} \quad (1.41)$$

Wartość rezystancji R_D ostatniego stopnia - nadajnika jest zdeterminowana na podstawie impedancji linii długiej, która jest podpięta do wyjścia układu. Prąd jaki musi wygenerować lustro prądowe można wyznaczyć z prawa Ohma, przyjmując napięcie odpowiednie dla sygnału w standardzie CML i ustaloną wcześniej wartość R_{D_N} . Jedynym parametrem który pozostał do wyznaczenia jest szerokość kanału tranzystorów pary różnicowej. W tym celu można posłużyć się charakterystyką sygnału wspólnego.

$$V_{in\ CM(n)} - V_{GS(n)} - V_{th_{K(n)}} = \sqrt{\frac{I_{SS(n)}}{\mu C_{ox} \left(\frac{W}{L}\right)_{(n)}}} \geq V_{in\ CM(n)} - V_{SS} - 2V_{th_{K(n)}} \quad (1.42)$$

gdzie: V_{SS} to napięcie na bramkach tranzystorów w lustrze prądowym.

Jeśli założy się, że napięcie wspólne na wejściu znajduje się w przedziale opisanym równaniem 1.23, wtedy prąd z lustra prądowego jest po równo dzielony pomiędzy dwie gałęzie układu. W takiej sytuacji można wyliczyć maksymalną wartość szerokości kanałów tranzystorów M2 i M3:

$$V_{DD} - R_D \frac{I_{SS}}{2} - V_{SS} - 2V_{th_{K(n)}} = \sqrt{\frac{I_{SS(n)}}{\mu_{(n)} C_{ox} \left(\frac{W}{L}\right)_{(n)}}} \quad (1.43)$$

$$\left(\frac{W}{L}\right)_{(n)} = \frac{I_{SS(n)}}{\mu_{(n)} C_{ox} \cdot (V_{DD} - R_D \frac{I_{SS}}{2} - V_{SS} - 2V_{th_{K(n)}})^2} \quad (1.44)$$

gdzie $R_D I_{SS}$ jest stałym dla standardu CML napięciem różnicowym i wynosi $800\ mV$.

Jeśli znane są wartości parametrów ostatniego stopnia łańcucha, można bez przeszkód wyznaczyć poprzednie stopnie za pomocą współczynnika skalującego u . Zależność pomiędzy poszczególnymi stopniami można opisać prostymi równaniami:

$$R_{D(n+1)} = \frac{R_{D(n)}}{u} \quad (1.45)$$

$$W_{(n+1)} = uW_{(n)} \quad (1.46)$$

$$I_{SS(n+1)} = uI_{SS(n)} \quad (1.47)$$

Szerokość bramki tranzystorów i prąd rosną proporcjonalnie do współczynnika skalującego, natomiast wielkość rezystorów jest odwrotnie do niego proporcjonalna.

Liczba stopni bufora staje się optymalna gdy spełnione jest równanie:

$$N \approx \ln(u^{N-1}) \quad (1.48)$$

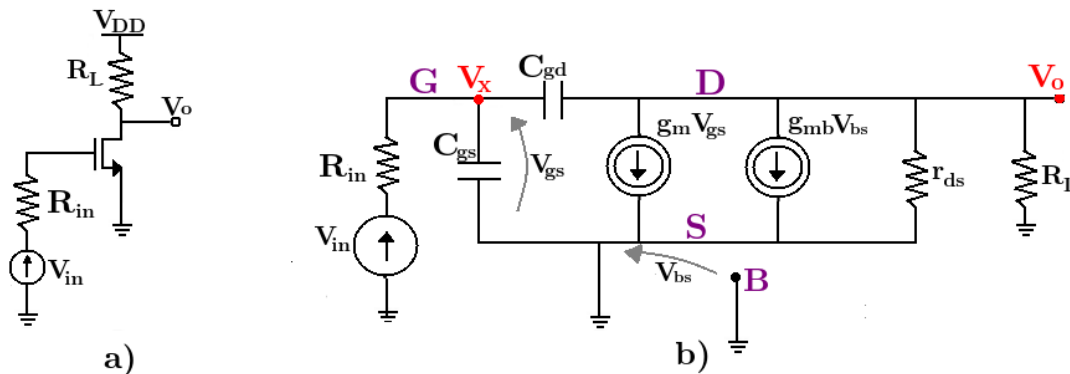
Innymi słowy, optymalnym współczynnikiem skalującym jest stała Napier'a e [10][11][12].

1.6 Metody zwiększania szybkości interfejsu

1.6.1 Dodatnie sprzężenie pojemnościowe

Efekt Millera

W pewnych układach - np. we wzmacniaczu o wspólnym źródle - pasmo przenoszenia jest znacznie mniejsze niż wynikałoby to z możliwości samego. Przyczyną tego jest z oddziaływania pasożytniczej pojemności dren - bramka C_{gd} z rezystancją źródła sygnału r_{in} . Aby przybliżyć wpływ efektu Millera na działanie układu, można rozważyć model małosygnałowy wzmacniacza w konfiguracji wspólnego źródła.



Rysunek 1.19: Wzmacniacz w konfiguracji wspólnego źródła a) schemat wielkosygnałowy, b) model małosygnałowy.

Aby otrzymać wzór na funkcję przenoszenia należy skorzystać z metody potencjałów węzłowych:

$$\begin{bmatrix} sC_{gs} + sC_{gd} + \frac{1}{R_{in}} & -sC_{gd} \\ -sC_{gd} & sC_{gd} + \frac{1}{r_{ds}||R_L} \end{bmatrix} \cdot \begin{bmatrix} V_X \\ V_O \end{bmatrix} = \begin{bmatrix} \frac{V_{in}}{R_{in}} \\ -g_m V_{gs} - g_{mb} V_{bs} \end{bmatrix} \quad (1.49)$$

z rysunku **1.19b** widać że $V_{bs} = 0$ więc:

$$\begin{bmatrix} sC_{gs} + sC_{gd} + \frac{1}{R_{in}} & -sC_{gd} \\ -sC_{gd} & sC_{gd} + \frac{1}{r_{ds}||R_L} \end{bmatrix} \cdot \begin{bmatrix} V_X \\ V_O \end{bmatrix} = \begin{bmatrix} \frac{V_{in}}{R_{in}} \\ -g_m V_{gs} \end{bmatrix} \quad (1.50)$$

ponieważ $V_{gs} = V_X$, przenosimy $g_m V_{gs}$ na drugą stronę układu:

$$\begin{bmatrix} sC_{gs} + sC_{gd} + \frac{1}{R_{in}} & -sC_{gd} \\ -sC_{gd} + g_m & sC_{gd} + \frac{1}{r_{ds}||R_L} \end{bmatrix} \cdot \begin{bmatrix} V_X \\ V_O \end{bmatrix} = \begin{bmatrix} \frac{V_{in}}{R_{in}} \\ 0 \end{bmatrix} \quad (1.51)$$

Na podstawie powyższej macierzy można napisać równanie na V_O :

$$V_O = \frac{-\frac{V_{in}}{R_{in}}(g_m - sC_{gd})}{(sC_{gs} + sC_{gd} + \frac{1}{R_{in}})(sC_{gd} + \frac{1}{r_{ds}||R_L}) + sC_{gd}(g_m - sC_{gd})} \quad (1.52)$$

a następnie przekształcić ją tak, by móc wyznaczyć wzmocnienie napięciowe:

$$K_V = \frac{V_O}{V_{in}} = -\frac{(g_m - sC_{gd}) \cdot r_{ds}||R_L}{R_{in}[s^2 C_{gs} C_{gd} \cdot r_{ds}||R_L + s(C_{gd} g_m \cdot r_{ds}||R_L + C_{gs} + C_{gd} + C_{gd} \cdot r_{ds}||R_L)] + 1} \quad (1.53)$$

Funkcja przenoszenia składa się z zera i dwóch biegunów. W stosunku do położenia biegunów zero jest nieistotne dla rozważań. Układ dwóch biegunów można za to zapisać symbolicznie jako:

$$\left(\frac{s}{p_1} + 1\right)\left(\frac{s}{p_2} + 1\right) = \frac{s^2}{p_1 p_2} + s\left(\frac{1}{p_1} + \frac{1}{p_2}\right) + 1 \quad (1.54)$$

gdzie p_1 i p_2 to kolejne bieguny. Ponieważ $p_2 \gg p_1$, co oznacza to że bieguny są znacznie od siebie oddalone, dlatego równanie 1.54 przechodzi w:

$$\frac{s^2}{p_1 p_2} + \frac{s}{p_1} + 1 \quad (1.55)$$

porównując równanie 1.55 z mianownikiem równania 1.53 otrzymujemy:

$$p_1 = \frac{1}{R_{in}[C_{gs} + C_{gd}(1 + g_m \cdot r_{ds} || R_L) + C_{gd} \cdot r_{ds} || R_L]} \quad (1.56)$$

gdzie:

$$C_{gd}(1 + g_m \cdot r_{ds} || R_L) = C_M \quad - \text{pojemność Millerowska} \quad (1.57)$$

Dodatnie sprzężenie pojemnościowe

Jednym ze sposobów zwiększenia pasma przenoszenia jest zmniejszenie pojemności wejściowej. Można to zrobić poprzez zasymulowanie ujemnej pojemności Millera [13]. Przedstawia to rysunek 1.20.

Dodatnie sprzężenie pojemnościowe realizuje się poprzez umieszczenie kondensatora C_m pomiędzy bramką tranzystora M1 (wejściem V_{in1} układu), a drenem tranzystora M2 (wyjściem V_{out2} układu). Wejścia układu są w przeciwnych fazach, co można zapisać jako:

$$V_{in1} = -V_{in2} \quad (1.58)$$

Napięcie na wyjściu V_{out2} można natomiast wyrazić worem:

$$V_{out2} = -K_v V_{in2} \quad (1.59)$$

podstawiając 1.58 do 1.59 otrzymujemy:

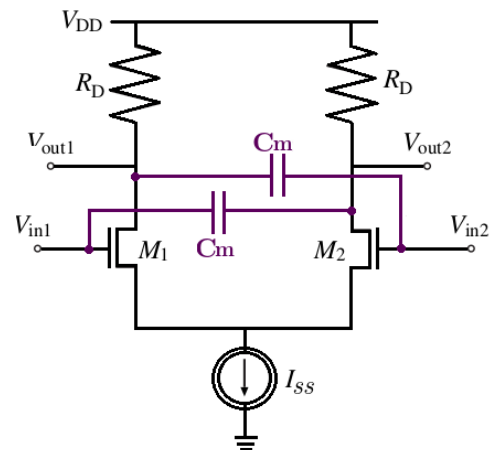
$$V_{out2} = -K_v(-V_{in1}) = K_v V_{in1} \quad (1.60)$$

co daje dodatnie wzmocnienie napięciowe układu.

Efektywną pojemność Millerowską C_M bufora wyraża wzór:

$$C_M = (1 - K_v)C_m \quad (1.61)$$

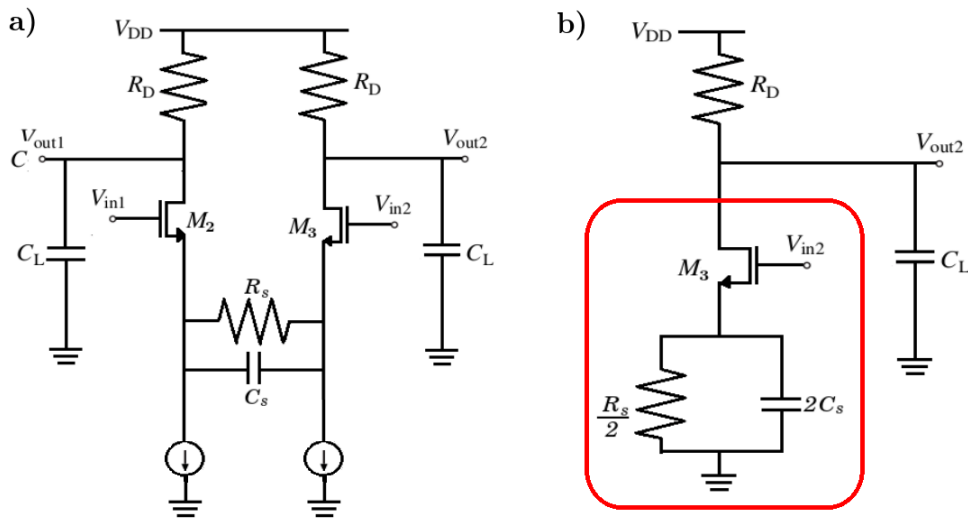
Jeśli wzmocnienie układu jest większe niż jeden, to pojemność C_M zaczyna przybierać ujemne wartości. Efektem tego jest kompensacja pojemności Millerowskiej wynikającej z pojemności pasożytniczej C_{gd} tranzystorów M2 i M3 przez pojemność Millerowską symulowaną przez dodanie do układu pojemności C_m (rys. 1.20).



Rysunek 1.20: Bufor CML z ujemnym sprzężeniem pojemnościowym.

1.6.2 Degeneracja pojemnościowa

Kolejną metodą zwiększenia pasma jest zdegenerowanie tranzystorów pary różnicowej, tak aby transkonduktancja całego obwodu G_m wzrastała przy wysokich częstotliwościach [13]. Realizuje się to poprzez wstawienie pomiędzy źródła tranzystorów pary różnicowej rezystora oraz pojemności (rys. 1.21 a).



Rysunek 1.21: Para różnicowa z degeneracją pojemnościową

Używając symetrycznej połowy obwodu (rysunek 1.21 b) można zapisać transkonduktancję zaznaczonego na rysunku 1.21 b obszaru układu jako:

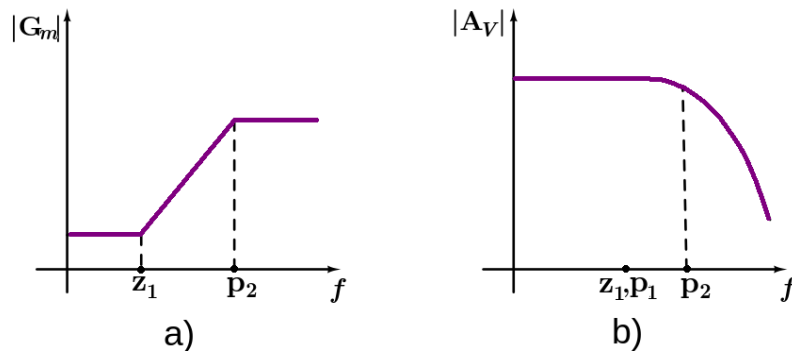
$$G_m = \frac{g_m(s(R_S C_s) + 1)}{s(R_S C_s) + 1 + g_m \frac{R_S}{2}} \quad (1.62)$$

gdzie g_m jest transkonduktancją tranzystora M_3 .

Z powyższego równania widać, że G_m zawiera zero z_1 i biegun p_2 o częstotliwościach:

$$z_1 = \frac{1}{R_S C_s} \quad p_2 = \frac{1 + g_m \frac{R_S}{2}}{R_S C_s} \quad (1.63)$$

W konfiguracji podstawowej, bez degradacji pojemnościowej, biegun funkcji przeniesienia A_v całego układu wynosiłby $p_1 = \frac{1}{R_D C_L}$. Po zmodyfikowaniu układu, jeśli z_1 transkonduktancji G_m skasuje biegun p_1 starej funkcji przeniesienia (A_v), to zakres pasma przewodzenia może być rozszerzony do bieguna p_2 . Jednakże ten wzrost przepustowości wzmacniacza uzyskany jest kosztem proporcjonalnego zmniejszenia wzmocnienia napięcia stałego.



Rysunek 1.22: Charakterystyki amplitudowo-częstotliwościowe

Na rysunku **1.22** przedstawiono zachowanie transkonduktancji G_M (rys. **1.22a**) oraz wzmocnienia A_v całego układu (rys. **1.22b**) w funkcji częstotliwości. Widać, że jeśli przesuniemy z_1 delikatnie w lewą stronę, czyli niższych częstotliwości, zwiększając C_s , pasmo przenoszenia osiągnie szybciej maksymalną wartość. Należy jednak pamiętać, że C_s nie może być za duże, ponieważ otrzymane maksymalne wzmocnienie może zniekształcić odpowiedź częstotliwościową kilkustopniowego wzmacniacza.

1.6.3 Zastosowanie indukcyjności

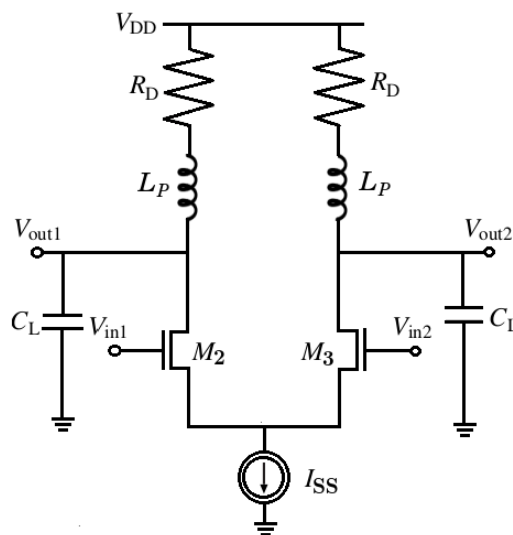
Podjęciem innowacyjnym, które czyni ten projekt ciekawym i nowatorskim, jest wykorzystanie cewek, które do niedawna nie były stosowane w projektowaniu submikronowych układów scalonych, ze względu na swoje duże rozmiary. Miniaturyzacja takich elementów jak tranzystory, rezystory, czy kondensatory przebiegała nieporównywalnie szybciej od procesu miniaturyzacji cewki. Rozwój technologii przyczynił się jednak do powstania możliwości wykorzystania tych elementów w celu poprawienia kondycji układu, nie wpływając znacząco na jego rozmiary[14].

W podstawowej konfiguracji bufra CML, kiedy cały prąd jest przełączony do jednej z gałęzi układu, przepływa on przez rezystor R_D oraz służy do rozładowania pewnej wyjściowej pojemności pasożytniczej C_L . Szybkość ładowania i rozładowywania decyduje o szybkości działania układu, ponieważ napięcie na jednej z jej okładek jest również napięciem wyjściowym układu. Dlatego właśnie szybkość osiągania odpowiednich poziomów zależy od szybkości rozładowania kondensatora do wartości $V_{DD} - I_{SS}R_D$. W następnym kroku, kiedy ten sam tranzystor będzie odcięty, nie przepłynie przez niego prąd, zaś napięcie na wyjściu V_{out1} będzie musiało wzrosnąć od wartości $V_{DD} - I_{SS}R_D$ do V_{DD} . Czyli kondensator C_L

będzie się musiał do tej wartości naładować jedynie poprzez rezystor R_D . Z tych rozważań można wywnioskować, że szerokość pasma przenoszenia sygnału jest ograniczona przez pasożytniczą pojemność C_L pojawiającą się zazwyczaj na wyjściu układu. Dla typowej pary różnicowej, w której uwzględniona jest dodatkowa pojemność pasożytnicza, biegun w funkcji przenoszenia dany jest równaniem:

$$p_0 = \frac{1}{R_D \cdot C_L} \quad (1.64)$$

Metoda (z ang. *“Inductive peak technique”*) polega na połączeniu szeregowo cewki z rezystorem

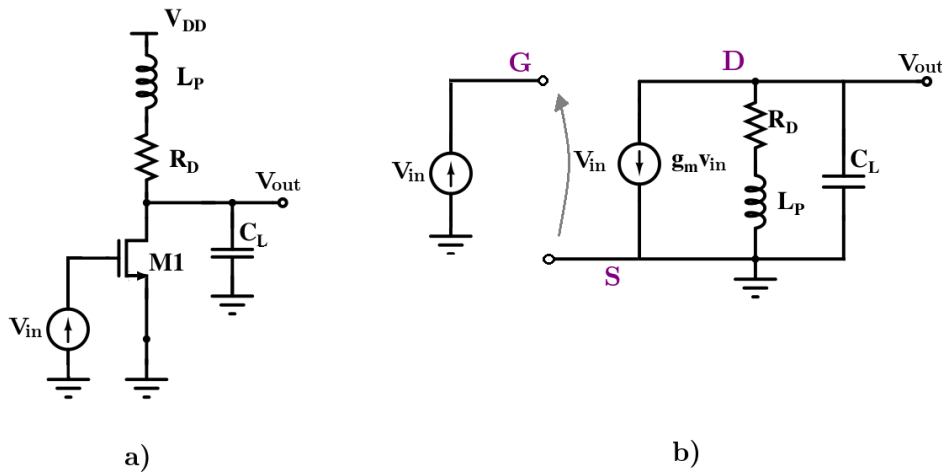


Rysunek 1.23: Para różnicowa z dodaną cewką

(rys. 1.23) i dzięki temu przesunięciu bieguna funkcji przenoszenia dalej w stronę wysokich częstotliwości [13].

Naturą cewki jest to, że zawsze próbuje zapobiec zmianom prądu. Jeśli przez gałąź przestanie płynąć prąd, cewka chcąc zapobiec całkowitej zmianie prądu doprowadzi ładunek do pojemności wyjściowej C_L . Prowadzi to do zwiększenia szybkości zmiany napięcia na wyjściu. Innymi słowy jeśli umieści się cewkę na gałęzi wyjściowej układu, będzie można zmniejszyć efekty pochodzące od pojemności obciążającej C_L i dzięki temu zwiększyć pasmo przenoszenia sygnału oraz zredukować czasy narastania i opadania sygnału.

Impedancję zastępczą układu RLC pokazanego na rysunku 1.24b, można w uproszczeniu zapisać jako:



Rysunek 1.24: Bufor z dodatkową impedancją: **a)** połowa obwodu ulepszonego bufora **b)** model małosygnałowy połowy ulepszonego bufora

$$Z(s) = (sL_p + R_D) \parallel \frac{1}{sC_L} = \frac{R_D[s\frac{L_p}{R_D} + 1]}{s^2L_pC_L + sR_DC_L + 1} \quad (1.65)$$

Widać że powyższe równanie posiada zero i dwa bieguny. Wzmocnienie układu z definicji wyraża się wzorem:

$$A = \frac{V_{out}(s)}{V_{in}(s)} = -g_m Z(s) = -g_m \frac{R_D[s\frac{L_p}{R_D} + 1]}{s^2L_pC_L + sR_DC_L + 1} \quad (1.66)$$

Tak więc zero znajdujące się w wyrażeniu na wzmocnienie (wzór 1.66) może być wykorzystane do zwiększenia pasma przenoszenia wzmacniacza.

Wartość indukcyjności w kolejnych stopniach układu, podobnie jak rezystory powinna być mniejsza u razy niż w poprzednim stopniu.

$$L_n = u \cdot L_{n+1} \quad (1.67)$$

Natomiast dla pojedynczego bufora można ją również wyznaczyć ze wzoru [11]:

$$L_{n-1} = \frac{R_{Dn}^2 C_{Ln}}{1 + \sqrt{2}} \quad (1.68)$$

W pracy optymalne wartości indukcyjności dla poszczególnych stopni zostały wyznaczone metodą doświadczalną, za pomocą licznych symulacji. Wynikało to z faktu, że zbyt dużo elementów modelu cewki w danej technologii zmieniało jej wpływ na przebieg sygnałów.

Rozdział 2

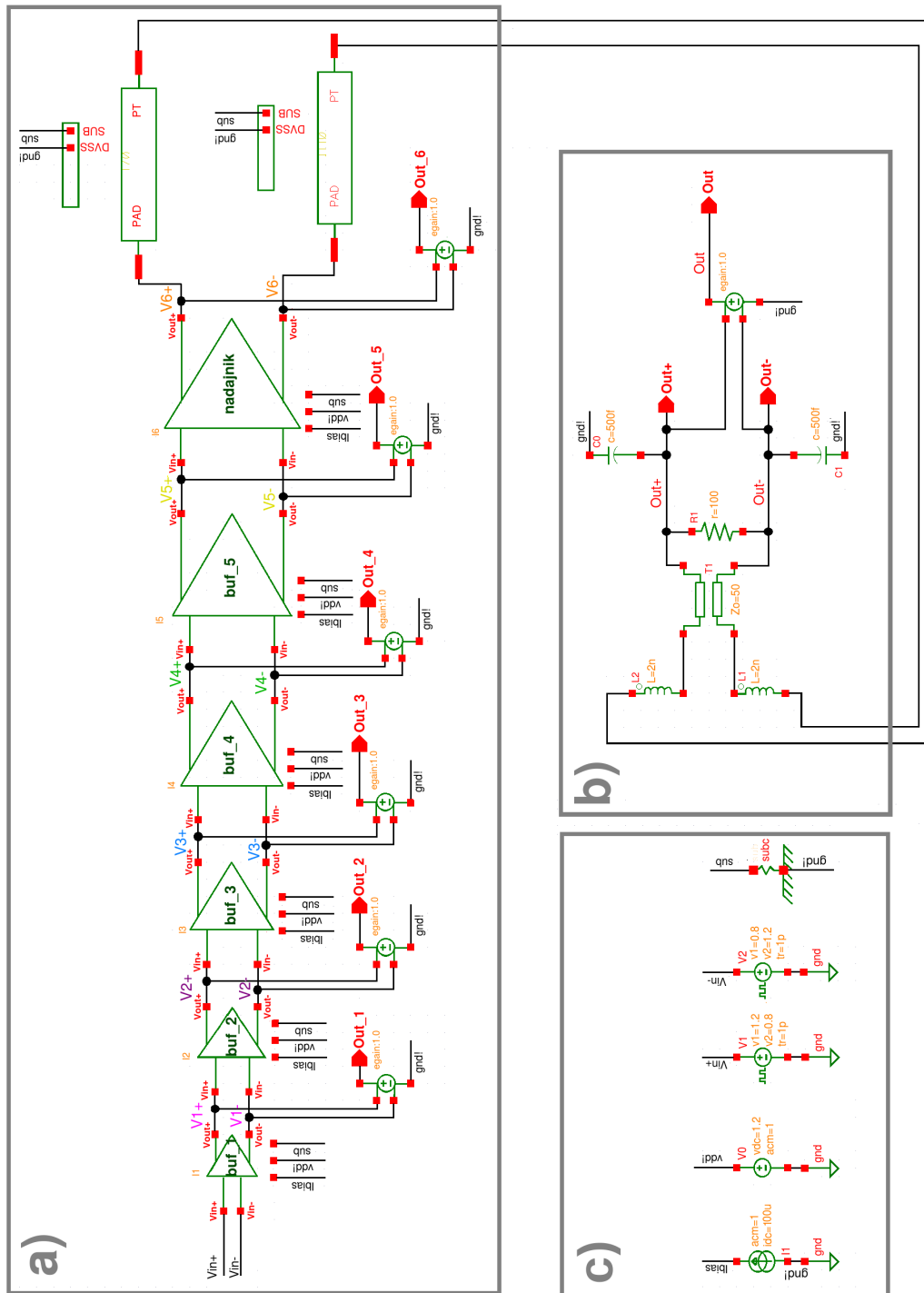
Projekt układu nadajnika CML w technologii IBM 130 *nm*.

Historycznie interfejs do szybkiej transmisji danych w technologii IBM 130 *nm* został stworzony jako drugi. Jednak z uwagi na fakt, że najwięcej czasu zostało poświęcone na projektowanie i symulacje układu w tej właśnie technologii została ona opisana najdokładniej. W pozostałych technologiach algorytm tworzenia układu wyglądał analogicznie, z niewielkimi jednak różnicami, które zostaną przedstawione w rozdziale trzecim i czwartym.

Do projektu interfejsu zostały wykorzystane narzędzia CAD (*ang. Computer Aided Design*) przeznaczone do projektowania układów scalonych. Środowiskiem, w którym został zaprojektowany układ był CADENCE. Wydział Fizyki i Informatyki Stosowanej (WFiIS) AGH dysponuje wieloma licencjami umożliwiającymi korzystanie z tego środowiska.

Projektowanie schematu elektrycznego interfejsu było procesem iteracyjnym - trwało do momentu, w którym symulacje, takie jak m.in. symulacje Monte Carlo oraz symulacja brzegowa (*ang. Corner Analysis*), sprawdzająca zachowanie się elementów układu w skrajnych warunkach pracy, przeprowadzone na zaprojektowanym układzie, spełniały wszystkie początkowe założenia. Do symulacji wykorzystywane były zaawansowane narzędzia Cadence m.in. Virtuoso Spectre Circuit Simulator, który zapewnia szybką, dokładną symulację na trudnym poziomie analogowym wysokich częstotliwości (RF) i obwodów sygnałów mieszanych.

2.1 Architektura interfejsu do szybkiej transmisji danych



Rysunek 2.1: Schemat układu interfejsu do szybkiej transmisji danych w technologii IBM 130 nm **a)** łańcuch buforów CML z nadajnikiem oraz padami wyjściowymi, **b)** elementy symulujące odbiornik CML oraz dodatkowe obciążenia układu, **c)** elementy zasilające układ.

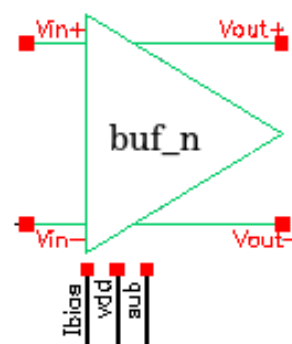
Zaprojektowany w ramach pracy magisterskiej układ został przedstawiony na rysunku 2.1. Składa się on z trzech głównych części:

1. właściwego układu, czyli interfejsu do szybkiej transmisji danych (rys. 2.1a),
2. impedancji symulującej odbiornik CML i dodatkowych obciążeń układu (rys. 2.1b),
3. elementów zasilających układ (rys. 2.1c).

W skład właściwego układu wchodzi: łańcuch sześciu buforów CML, w tym nadajnik oraz pady wyjściowe. Elementy obciążające znajdujące się w drugiej części układu to: cewki, linia długa oraz pojemności. Każdy z komponentów układu zostanie dokładnie omówiony w dalszej części tego rozdziału.

Bufory CML

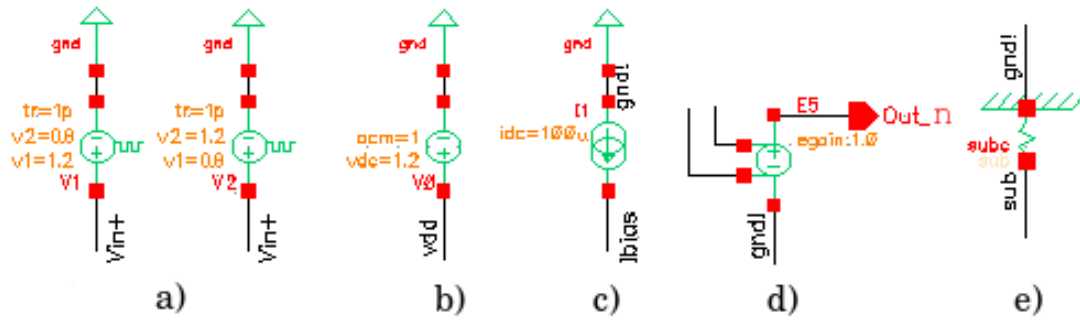
Łańcuch buforów CML składa się z pięciu połączonych ze sobą kaskadowo buforów oraz nadajnika znajdującego się w ostatnim stopniu łańcucha (tzw. szósty stopień). Bufory CML na schemacie 2.1 oznaczone zostały trójkątnymi symbolami przedstawionymi na rysunku 2.2. Symbol n w nazwie elementu oznacza stopień bufora w łańcuchu. Dokładna architektura każdego z sześciu buforów zostanie dokładnie omówiona w kolejnych rozdziałach.



Rysunek 2.2: Symbol n-tego bufora układu

Elementy zasilające układ

Na pierwszy stopień łańcucha podawany jest różnicowy sygnał zegarowy o okresie T i połówkowym wypełnieniu, pochodzący ze źródeł $V1$ i $V2$, oznaczonych symbolem pokazanym na rysunku 2.3a. $V1$ jest podłączone do dodatniego wejścia pierwszego stopnia układu, natomiast $V2$ do ujemnego. Jeśli w danym momencie sygnał na $V1$ wynosi 1.2 V to $V2$ będzie równe 0.8 V i na odwrót. Należy również zaznaczyć, że napięcie wykorzystywane do wyznaczenia punktów pracy układu (tzw. symulacja stałoprądowa DC) na jednym ze źródeł jest ustawione na 1.2 V , natomiast na drugim wynosi 0.8 V . Takie ustawienie źródeł ma na celu pokazać parametry tranzystorów, gdy jeden z nich jest w stanie przewodzenia, a drugi odcięcia.



Rysunek 2.3: Symbole elementów zasilających wykorzystanych w układzie: **a)** źródła zmiennego napięcia (generatory sygnału zegarowego), **b)** źródło napięciowe, **c)** źródło prądowe, **d)** wyjście różnicowe, **e)** symbol podłoża.

Do każdego z buforów musi być dostarczane napięcie zasilania (1.2 V) ze źródła napięciowego pokazanego na rysunku 2.3b. Ponadto do każdego stopnia układu musi być dostarczony prąd o wartości 100 μA , który jest referencją dla lustra prądowego. Symbol źródła prądowego przedstawiony jest na rysunku 2.3c.

Rysunek 2.3d pokazuje element, który odejmuje od siebie dwa sygnały podane mu zaciski wejściowe i na wyjściu (pin Out_n) pokazuje ich sygnał różnicowy.

W technologii IBM 130 nm podłoże jest wysoko rezystywne, dlatego wszystkie elementy leżące bezpośrednio w podłożu nie mogą być podłączone prosto do masy. Aby uniknąć tego problemu należy użyć elementu pośredniego “subc” przedstawionego na rysunku 2.3e. Fizycznie “subc” można traktować jako rezystor, przez który dany element połączony jest masą imitując wysoko rezystywne podłoże technologii.

Parametry każdego ze źródeł zestawione zostały w tabeli 2.1:

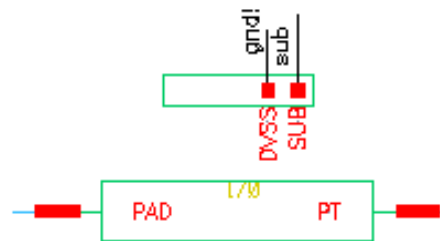
Tabela 2.1: Zestawienie parametrów źródeł napięciowych i prądowych w układzie

Źródło zmienne napięcia	V_1	V_2	V_{dc}	Okres
V1	0.8 V	1.2 V	1.2 V	T
V2	1.2 V	0.8 V	0.81 V	T
Źródło napięciowe	V dc	Źródło prądowe	Prąd	
V0	1.2 V	I1	100 μA	

Okres zmian napięcia (T) w elementach V1 i V2 został przyjęty jako 250 ps, co odpowiada 4 GHz i dla takiej wartości zostanie przedstawiona cała analiza. Zakres okresu, czy częstotliwości przy jakich układ działa poprawnie zostanie rozważony w rozdziale “2.6 Zachowanie układu dla różnych częstotliwości”.

Pady wyjściowe

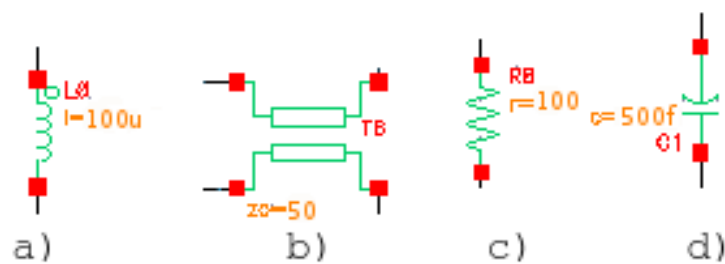
Pady wyjściowe służą do połączenia układu ze światem zewnętrznym.



Rysunek 2.4: Pad wyjściowy układu

Są to elementy, do których przybondowane zostaną połączenia pozwalające na podpięcie układu do linii transmisyjnej, która będzie łączyć interfejs z odbiornikiem. Pady pokazane na rysunku 2.4 są przykładem standardowych padów jakie stosuje się w tego typu układach. Charakteryzują się dużą pojemnością - rzędu 500 fF.

Zewnętrzne elementy obciążające układ



Rysunek 2.5: Zewnętrzne elementy obciążające układ: **a)** induktancja, **b)** linia transmisyjna, **c)** rezystancja terminująca, **d)** pojemność.

Aby poprawnie przesymulować działanie układu należy przesłać wygenerowany przez nadajnik sygnał do układu odbiornika i tam zbadać parametry odebranego sygnału. Dlatego oprócz właściwego interfejsu na końcowym schemacie układu muszą znaleźć się również elementy odpowiadające za straty sygnału jakie będą się pojawiać podczas rzeczywistej

transmisji. W tym celu pomiędzy wyjściem interfejsu a miejscem badania sygnału końcowego należy uwzględnić wszystkie pasożytnicze elementy (rys. 2.1b) takie jak indukcyjności, niechciane pojemności oraz straty sygnału jakie się pojawiają w trakcie transmisji przez linię długą.

Indukcyjność

Dwie cewki o wartości 2 nH każda mają symbolizować niechciane indukcyjności jakie mogą się pojawić podczas łączenia padów z liniami przesyłowymi w wyniku bondowania. Umieszczone są na każdej z gałęzi, zaraz za padami, a tuż przed linią transmisyjną. Ich symbol pokazany jest na rysunku 2.5a.

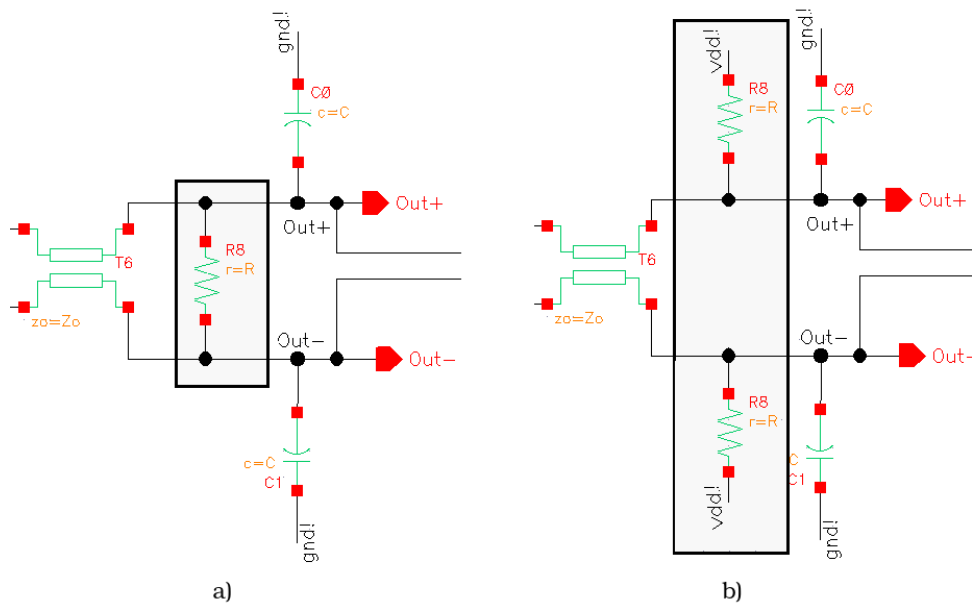
Linia transmisyjna

Przedstawiona jest na rysunku 2.5b. Umieszczona zaraz za indukcyjnością ma za zadanie wpłynąć na kształt sygnału w dokładnie taki sposób jak prawdziwe przewody transmisyjne. W celu dobrania jej parametrów posłużono się specyfikacją rzeczywistych przewodów koncentrycznych [15].

Impedancja charakterystyczna linii transmisyjnej musi być dopasowana do impedancji nadajnika, aby uniknąć odbić sygnału. W projekcie założono, że do interfejsu będzie podłączona linia długa o impedancji $50\ \Omega$. Aby zapewnić dopasowanie, na gałęziach drenu nadajnika rezystory podciągające również powinny mieć rezystancję $50\ \Omega$ każdy. Dodatkowo w parametrach elementu uwzględniono stratność rezystancji na jednostkę długości w linii długiej ($20\ \frac{\Omega}{\text{km}}$), aby lepiej zasymulować jej działanie. Na czas symulacji długość linii długiej została ustalona na 0.5 m . Jednak otrzymane wyniki pokazują że ten parametr można znaleźć w zakresie od kilku milimetrów do kilku metrów nie wpływając znacznie na zachowanie układu.

Rezystancja terminująca

Ponieważ tematem pracy jest projektowanie interfejsu do nadawania, a nie odbierania, szybkiej transmisji danych, należało stworzyć prosty układ symulujący odbiornik. Jako taki układ wykorzystana została rezystancja terminująca (rysunek 2.5c). Można ją zaimplementować na dwa sposoby pokazane na rysunku 2.6.



Rysunek 2.6: Metody podpięcia rezystancji terminującej a) Rezystancja podłączona równolegle pomiędzy przewodami, b) Rezystancja podłączona osobno do każdego z przewodów.

W przypadku konfiguracji przedstawionej na rysunku **2.6a**, wartość rezystancji powinna wynosić $100\ \Omega$ aby była dopasowana do impedancji linii długiej. W przypadku osobnego podpięcia rezystancji (rys. **2.6b**) wartość każdej z rezystancji powinna wynosić po $50\ \Omega$, wtedy zachowane jest dopasowanie do linii transmisyjnej. Oby dwie konfiguracje zostały przetestowane i każda z nich działa poprawnie. W układzie zdecydowano się na użycie konfiguracji równoległej, ze względu na położenie poziomów napięć jakie można na niej obserwować.

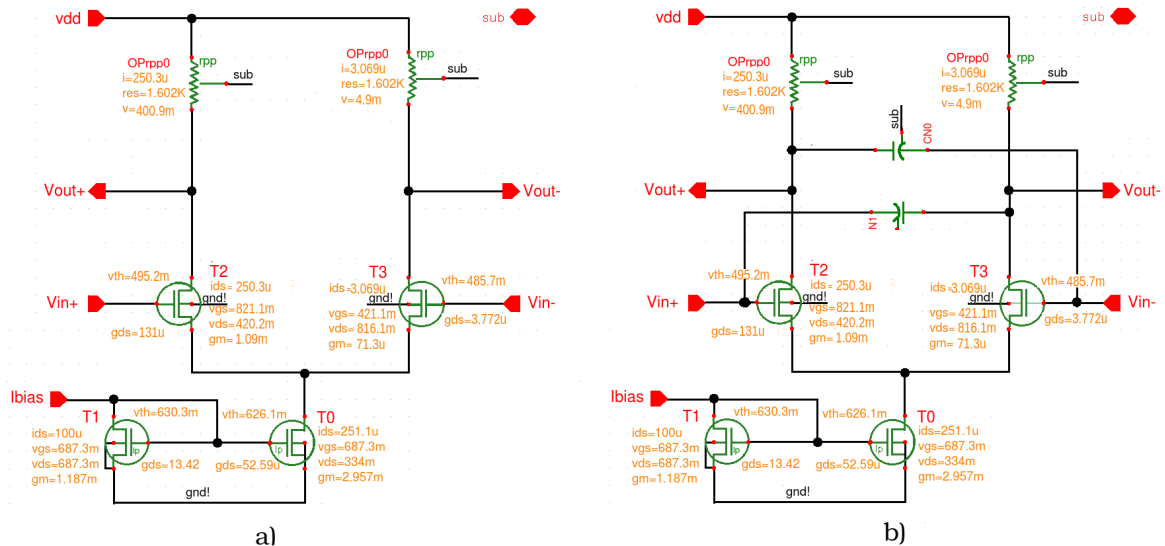
Pojemność

Najbardziej wpływającą na sygnał składową padów jest właśnie pojemność. Właśnie dlatego umieszczenie kondensatorów równoległe z rezystancją terminującą może imitować pady wejściowe układu odbiornika. Kondensatory zostały oznaczone symbolem **2.5d**, każdy z nich ma pojemność $500\ fF$, co w przybliżeniu odpowiada pojemności rzeczywistych padów.

2.2 Pierwszy stopień łańcucha buforów

2.2.1 Schemat i parametry bufora

Na rysunku 2.7 zostały przedstawione dwie konfiguracje pierwszego stopnia układu: podstawowa i zoptymalizowana. Konfiguracja podstawowa widoczna po lewej stronie jest w pełni zgodna ze schematem bufora opisanego w rozdziale “1.4 Bufor CML” oraz “1.5 Łańcuch Buforów CML”, a więc jej parametry muszą spełniać wszystkie przedstawione we wspomnianych rozdziałach równania.



Rysunek 2.7: Architektura pierwszego stopnia łańcucha buforów CML: a) Konfiguracja podstawowa b) Konfiguracja z dodatnim sprzężeniem pojemnościowym.

Punkty pracy na schematach buforów przedstawionych na rysunku 2.7 odpowiadają sytuacji, gdy tranzystor T3 jest odcięty, natomiast cały prąd płynie poprzez T2.

Jednym z zadań projektu było osiągnięcie napięcia różnicowego 800 mV . Aby spełnić ten warunek na każdej z gałęzi powinno odkładać się napięcie o wartości 400 mV . Ponadto aby zachować zgodność z równaniem 1.45 oraz wiedząc że w ostatnim, szóstym stopniu rezystory mają po $50\ \Omega$, łatwo policzyć że w pierwszym stopniu rezystancja na każdej z gałęzi powinna wynosić $1.6\text{ k}\Omega$.

Znając napięcie i opór oraz korzystając z prawa Ohma ($U = I \cdot R$) wyznaczony został prąd jaki musi zostać wygenerowany przez lustro prądowe: $250\ \mu\text{A}$. Jeśli prąd referencyjny

dla lustra prądowego ma wartość $100 \mu A$, to z własności lustra prądowego, na podstawie równania (1.20) wiadomo, że szerokość kanału tranzystora T0 musi być 2.5 razy większa niż tranzystora T1.

Na podstawie symulacji wielu lusterek prądowych o różnych parametrach tranzystora odniesienia (T1) wywnioskowano, że minimalna długość kanału dla której lustro będzie działać poprawnie, wynosi około 400 nm . W projekcie dla bezpieczeństwa przyjęto 450 nm . Szerokość kanału tranzystora T1 wyznaczona została doświadczalnie, tak aby osiągnąć jak największą różnicę pomiędzy napięciem V_{ds} a V_{dsat} i tym samym zapewnić tranzystorom dobre punkty pracy. Wynosi ona $20 \mu m$. Zatem skoro tranzystor T0 musi być 2.5 razy aby zagwarantować pożądaną wartość prądu, szerokość kanału tego tranzystora powinna wynosić $50 \mu m$.

Parametry tranzystorów pary różnicowej zostały wyznaczone w podobny sposób. Dla długości kanału przyjęto najmniejszą oferowaną przez technologię wartość - 130 nm . Szerokość kanału musiała więc spełniać równanie (1.37), czyli nie mogła być mniejsza niż 317 nm . Jednak przyjmując tę minimalną wartość, tranzystor M0 wypadł by z zakresu nasycenia oraz zaburzone zostały by poziomy początkowe sygnału wejściowego. Dlatego również drogą doświadczalną, w wyniku symulacji, jako najbardziej optymalną wartość przyjęto $2 \mu m$.

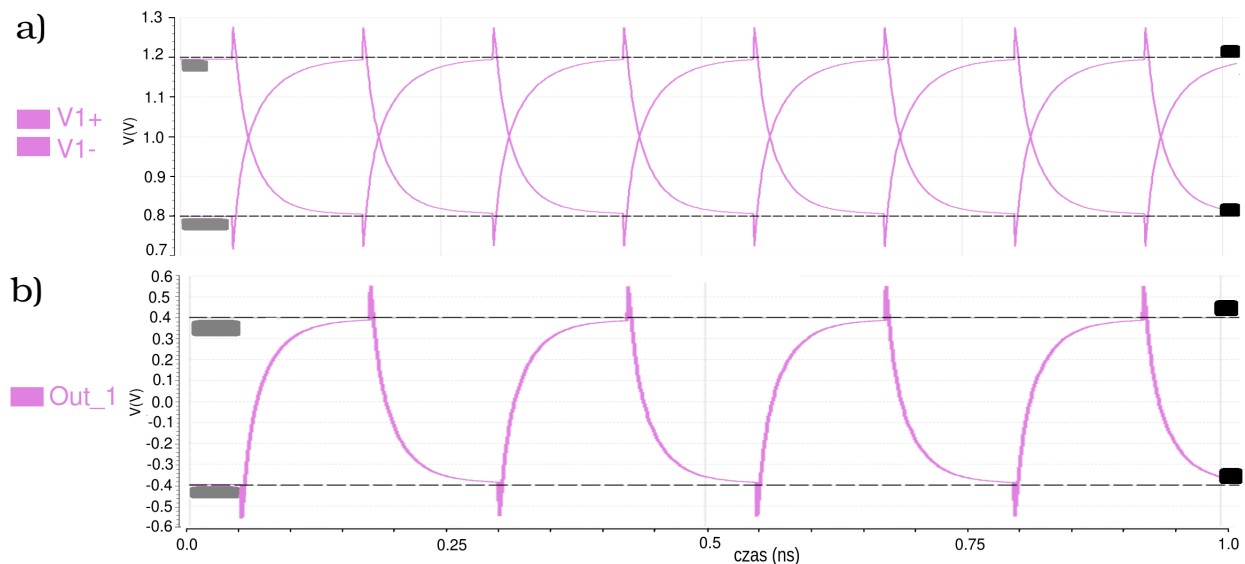
Wszystkie parametry elementów wykorzystanych w pierwszym stopniu łańcucha zostały zebrane w tabeli 2.2. Przedstawiona została sytuacja z rysunku 2.7 gdzie cały prąd przepływa przez tranzystor T2, natomiast T3 jest odcięty, zgodnie z warunkami symulacji stałoprądowej postawionymi wcześniej.

Tabela 2.2: Zestawienie parametrów elementów architektury pierwszego stopnia w łańcuchu buforów CML.

tranzystor	W	L	V_{ds}	V_{dsat}	V_{gs}	V_{th}	gm
T2	$2 \mu m$	130 nm	420.2 mV	201.3 mV	821.1 mV	495.2 mV	1.09 mS
T3	$2 \mu m$	130 nm	816.1 mV	48.6 mV	421.1 mV	485.7 mV	$71.3 \mu S$
T1	$20 \mu m$	450 nm	687.3 mV	112.1 mV	687.3 mV	630.3 mV	1.18 mS
T0	$50 \mu m$	450 nm	334.0 mV	115.0 mV	687.3 mV	626.1 mV	2.96 mS
	R	$1.6 \text{ k}\Omega$	I_d	$251.1 \mu A$	C	0.5 pF	

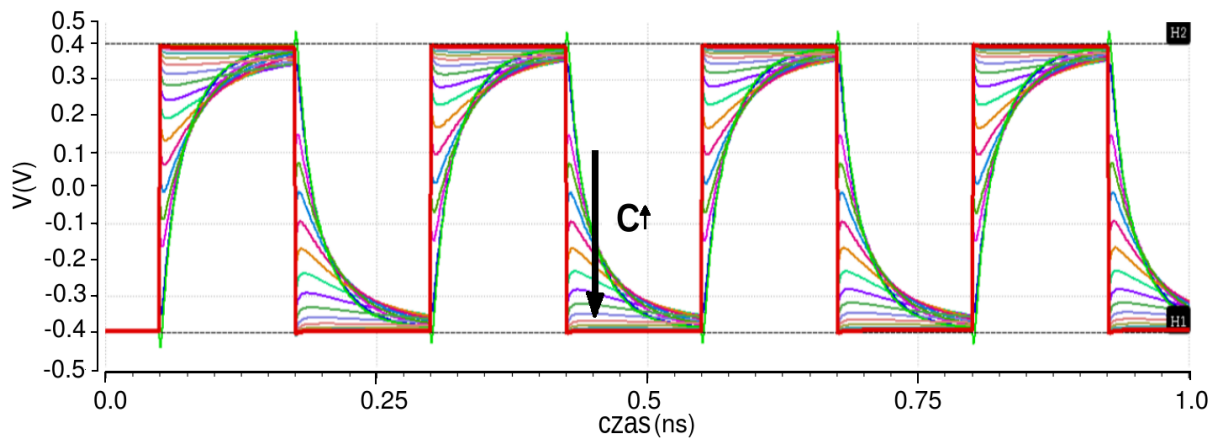
Na podstawie powyższej tabeli można zauważyć, że prąd I_d jest większy niż wyliczone teoretycznie $250 \mu A$. Powodem tego jest korzystanie z elementów rzeczywistych, tzn. uwzględniających dodatkowe obciążenia każdego elementu. Odchylenie od wartości teoretycznej wynikające z tych samych przyczyn, widoczne jest również w kolejnych stopniach układu.

Przyjmując podane w tabeli 2.2 parametry tranzystorów oraz rezystora (bez indukcyjności), na zaciskach V_{out+} oraz V_{out-} (oznaczonych na wykresie jako $V1+$ oraz $V1-$), dla częstotliwości równej $4 GHz$, otrzymano przebiegi pokazane na rysunku 2.8. Są to sygnały otrzymane dla podstawowej konfiguracji pierwszego stopnia układu. Widoczne są na nich niepożądane skoki napięcia, a także zmniejszone pasmo przenoszenia sygnału.



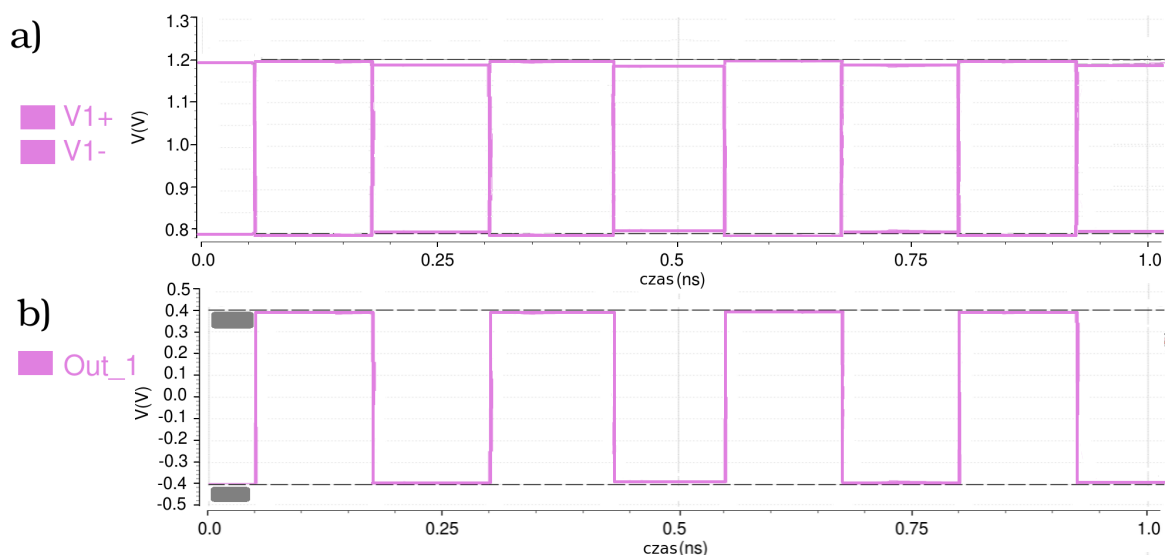
Rysunek 2.8: Przebiegi sygnału na wyjściu pierwszego stopnia łańcucha buforów układu w podstawowej konfiguracji: **a)** Sygnał widoczny na gałęziach $V1+$ oraz $V1-$ **b)** Sygnał różnicowy Out_1

Aby poprawić jakość sygnału zastosowano dodatnie sprzężenie pojemnościowe opisane dokładniej w rozdziale "1.6.1 Dodatnie sprzężenie pojemnościowe". W tym celu połączono wejście układu z komplementarnym wyjściem umieszczając pomiędzy nimi kondensatory (rysunek 2.7b) Wartość kondensatorów CN0 i CN1 została dobrana podczas symulacji parametrycznej przedstawionej na rysunku 2.9.



Rysunek 2.9: Sygnał różnicowy na wyjściu pierwszego stopnia dla różnych wartości kondensatorów C_{N0} i C_{N1}

Dla zakresu wartości pojemności od 0 do 1 pF przeprowadzono 20 symulacji, pokazujących wygląd przebiegu sygnału w zależności od wartości dodatniego sprzężenia zwrotnego. Odpowiedni kolor sygnału na wykresie 2.9 odpowiada przebiegowi z użyciem kondensatorów o jednej z wartości pojemności z badanego przedziału. Im większa wartość zastosowanej pojemności tym bardziej charakter sygnału przypominał przebieg prostokątny. Przebiegi sygnału dla wyjścia pierwszego stopnia z zastosowanym kondensatorem o wartości 0.5 pF w dodatnim sprzężeniu zwrotnym przedstawia rysunek 2.10:



Rysunek 2.10: Przebiegi sygnału na wyjściu pierwszego stopnia łańcuch buforów układu w konfiguracji z dodatnim sprzężeniem pojemnościowym **a)** Sygnał widoczny na zaciskach V_{out+} ($V1+$) oraz V_{out-} ($V1-$), **b)** Sygnał różnicowy.

Zastosowanie dodatkowej pojemności, zgodnie z przewidywaniami, znacznie poprawiło jakość sygnału niwelując niechciane skoki napięcia oraz znacznie poszerzając pasmo przenoszenia sygnału.

2.2.2 Symulacja Monte Carlo

Symulacja Monte Carlo jest stosowana do modelowania matematycznych procesów zbyt złożonych, aby można było przewidzieć ich wyniki za pomocą podejścia analitycznego. Istotną rolę w metodzie Monte Carlo odgrywa przypadkowy wybór wielkości charakteryzujących proces. W czasie produkcji układów scalonych i elementów półprzewodnikowych zawsze pojawiają się pewne niedokładności. Wynikają one z rozrzutów wartości elementów wyprodukowanych na waflu krzemowym, w stosunku do ich wartości nominalnych. Rozbieżność ta jest spowodowana różnym stopniem domieszkowania oraz czystości wafla krzemowego, na którym wyprodukowany jest układ.

W przypadku symulacji tytułowego układu, dla elementów takich jak rezystancje, pojemności, indukcyjności, czy szerokość i długość kanału tranzystorów, należy uwzględnić pewien rozrzut wokół nominalnej wartości (*ang. mismatch*) w trakcie produkcji układu. Symulacja Monte Carlo przy każdym przebiegu uwzględnia różne wartości z pewnego zakresu w którym mogą się znaleźć wartości nominalne.

Po uzyskaniu satysfakcjonującego kształtu sygnału na wyjściu pierwszego bufora przeprowadzono symulację Monte Carlo polegającą na wykonaniu 200 symulacji przebiegu sygnału w celu upewnienia się, że układ za każdym razem działa poprawnie. Wyniki zostały przedstawione na rysunku 2.11 i w tabeli 2.3.

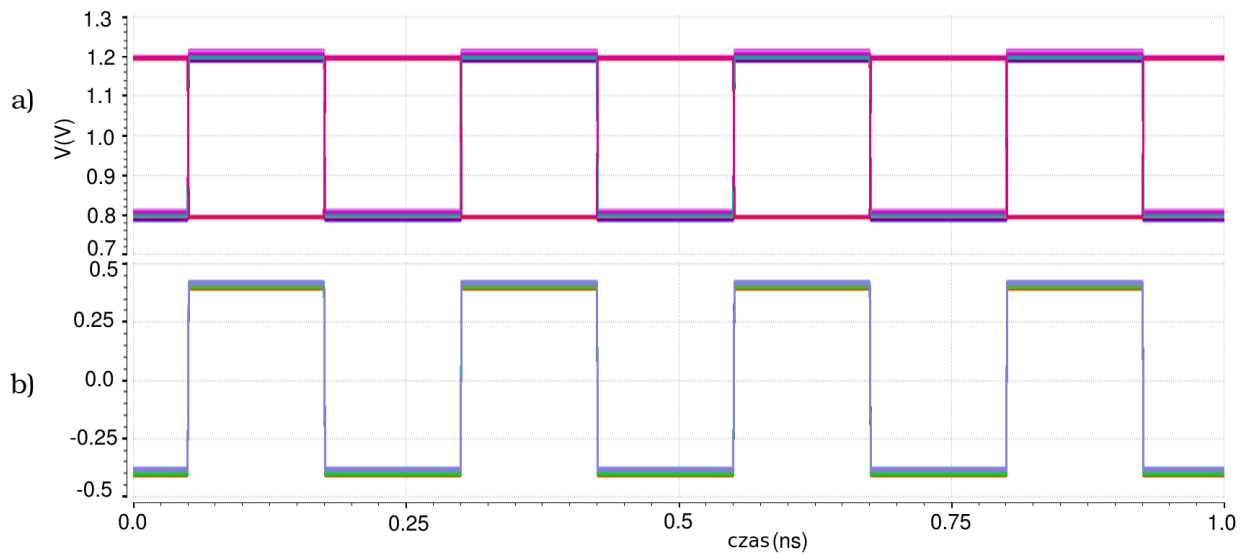
W czasie symulacji uzyskane zostały informacje o czasie narastania oraz opadania sygnału, a także długości stanu ustalonego, podczas którego sygnał jest odczytywany jako logiczne zero lub jeden. Przedstawione zostały one w tabeli 2.3.

Tabela 2.3: Parametry opisujące kształt sygnał na wyjściu pierwszego stopnia układu

	Wartość min.	Wartość max.	Wartość średnia
czas narastania	14.03 ps	19.33 ps	16.20 ps
czas opadania	14.03 ps	19.33 ps	16.20 ps
stan ustalony	211.34 ps	221.94 ps	217.60 ps

Na rysunku 2.11 widoczne są delikatne zmiany (rzędu 20 mV) w poziomach sygnału.

Nie wpływa to jednak na pogorszenie jakości sygnału w kolejnych stopniach.



Rysunek 2.11: 200 przebiegów z Symulacji Montecarlo dla sygnału na wyjściu pierwszego stopnia układu: **a)** Sygnał widoczny na zaciskach V_{out+} oraz V_{out-} , **b)** Sygnał różnicowy.

2.2.3 Symulacje Brzegowe (Corners)

Symulacje brzegowe służą do modelowania rzeczywistych rozmiarów oraz zachowań układu. Parametrami najbardziej czułymi na ten rodzaj symulacji są parametry tranzystorów, takie jak np. napięcia progowe. Symulacja brzegowa ma na celu pokazanie skrajnych zachowań układu, czyli rozpatrzenie różnych możliwości wpływu procesu produkcji na parametry układu, takie jak szybkość działania, zakres temperatur w których układ może pracować, czy zakres napięć.

Technologia IBM oferuje możliwość wykonania siedmiu podstawowych symulacji brzegowych dla obwodów cyfrowych. Każda z nich jest oznaczona dwu lub trzyliterowym skrótem:

TT (*ang. typical -typical*)

normalny - normalny,

FF (*ang. fast -fast*) szybki - szybki,

FS (*ang. fast -slow*) szybki - wolny,

SF (*ang. slow -fast*) wolny - szybki,

SS (*ang. slow -slow*) wolny - wolny

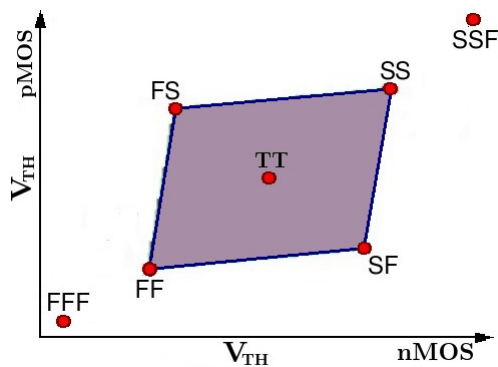
oraz:

FFF (*ang. fast -fast -functional*)

szybki - szybki - funkcjonalny

SSF (*ang. slow -slow -functional*)

wolny - wolny - funkcjonalny.



Rysunek 2.12: Rozrzut symulacji brzegowych względem napięcia progowego tranzystorów nMOS i PMOS

Pierwsza litera każdego ze skrótów zawsze odpowiada zachowaniu tranzystora nMOS, natomiast druga litera zachowaniu tranzystora pMOS. Czyli przykładowo symulacja brzegowa typu FS odpowiadać będzie symulacji w której tranzystory nMOS przełączają się szybko, natomiast wszystkie pMOSy wolno. Symulacja typu TT odpowiada nominalnym wartościom parametrów układu.

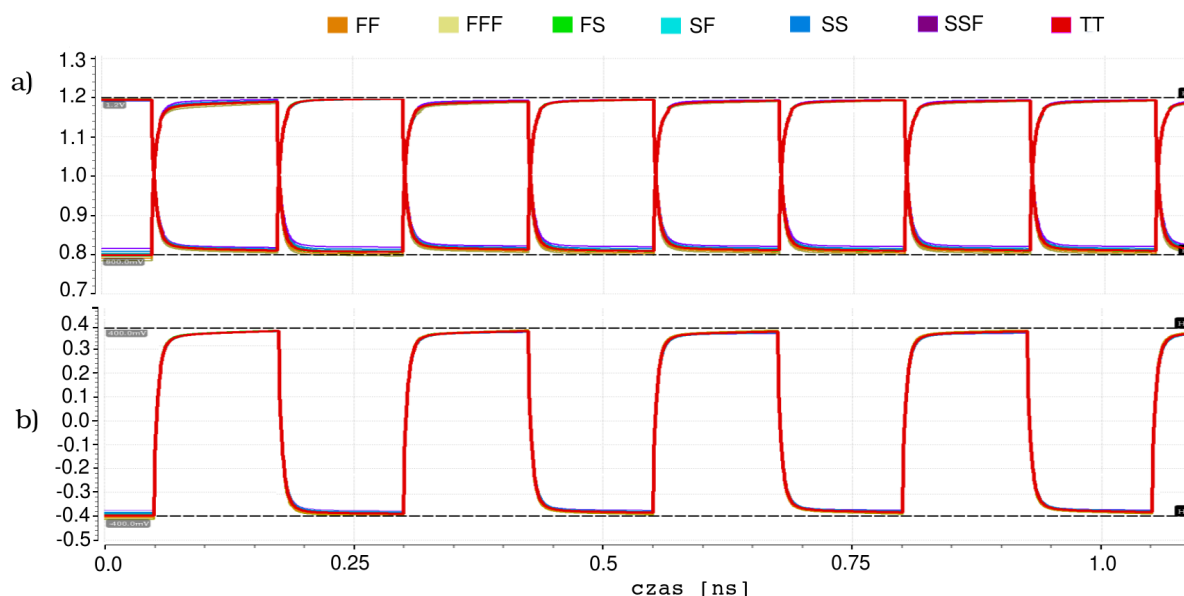
Wymienione wyżej symulacje można podzielić na dwa rodzaje:

- **wydajnościowe** lub tzw. podstawowe. Są to symulacje jakie układ bezwzględnie musi przejść pozytywnie, aby można było uznać że działa poprawnie. Do tej grupy zaliczają się symulacje takie jak: **TT**, **FF**, **FS**, **SF** oraz **SS**
- **funkcjonalne** lub tzw. dodatkowe. Odpowiadają one najbardziej skrajnym stanom w jakich mogą znajdować się tranzystory. Symulowany układ powinien działać dla tych symulacji, lecz nie należy oczekiwać aby wszystkie jego założenia były idealnie spełnione. Do tego typu symulacji można zaliczyć: **FFF** oraz **SSF**.

W przypadku projektowanego układu wykorzystane są jedynie tranzystory typu nMOS. Nie należy jednak oczekiwać że zarówno symulacje FF i FS będą się ze sobą pokrywać, podobnie jak i SF i SS. Można to również zauważyć na rysunku 2.12. Symulacje zaczynające się tymi samymi literami nie leżą w linii pionowej, lecz są między nimi niewielkie przesunięcia [16].

W pracy każdej z symulacji został przyporządkowany odpowiedni kolor: **FF** pomarańczowy, **FS** zielony, **SF** jasnoniebieski, **SS** granatowy, **TT** czerwony, **FFF** żółty, **SSF** fioletowy.

Symulacja brzegowa dla pierwszego stopnia układu pokazana jest na rysunku 2.13:



Rysunek 2.13: Symulacje brzegowe dla sygnału na wyjściu pierwszego stopnia układu: **a)** Sygnał widoczny na pojedynczych wyjściach V_{out+} oraz V_{out-} , **b)** Sygnał różnicowy.

Wpływ symulacji na parametry sygnału takie jak czas narastania i opadania sygnału oraz długość poziomu ustalonego sygnału zostały przedstawione w tabeli 2.4

Tabela 2.4: Wpływ symulacji brzegowej na parametry charakteryzujące sygnał na wyjściu pierwszego stopnia układu

	czas narastania	czas opadania	poziom ustalony
FF	14.06 ps	14.06 ps	221.88 ps
FFF	13.58 ps	13.58 ps	222.84 ps
FS	14.20 ps	14.20 ps	221.60 ps
SF	17.00 ps	17.00 ps	216.00 ps
SS	16.04 ps	16.04 ps	217.92 ps
SSF	15.74 ps	15.74 ps	218.52 ps
TT	14.06 ps	14.06 ps	221.88 ps

Na podstawie wykresu 2.13 i rysunku 2.13 można stwierdzić, że pierwszy stopień układu działa zgodnie z wytycznymi. Należy również zaznaczyć że jest on jednym z najbardziej stabilnych stopni układu, ponieważ rozbieżności pomiędzy poszczególnymi symulacjami brzegowymi oraz przebiegami w symulacji Monte Carlo są ledwo zauważalne.

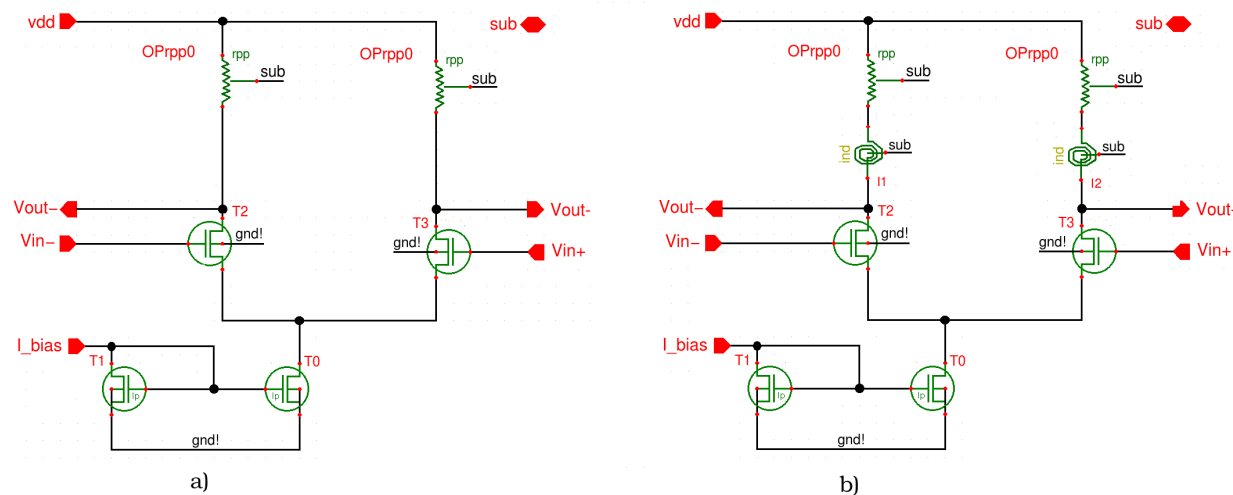
2.3 Kolejne stopnie łańcucha buforów CML (2-5)

Opis i charakterystyki drugiego, trzeciego, czwartego oraz piątego bufora CML w łańcuchu zostały zebrane w jednym rozdziale. Wynika to z faktu że, stopnie te różnią się wyłącznie wartościami parametrów, które wynikają z równań 1.45, 1.46 oraz 1.47.

W tabelach oraz ilustracjach zbiorczych przedstawionych w tym rozdziale oprócz wartości parametrów elementów użytych w buforach 2 - 5 zostaną również umieszczone wartości pozostałych stopni układu. Dzięki temu łatwiej dostrzec będzie zależności rządzące stopniami. Jednak zachowanie sygnału na nadajniku oraz na wyjściu całego układu zostaną dokładnie scharakteryzowane w kolejnych, osobnych rozdziałach.

2.3.1 Schemat i parametry buforów

Na rysunku 2.14 przedstawione zostały dwie architektury buforów, po lewej stronie (rys. 2.14a) pokazana jest konstrukcja drugiego stopnia łańcucha buforów CML, natomiast po prawej (rys. 2.14b) trzeciego, czwartego oraz piątego.



Rysunek 2.14: Architektury kolejnych stopni łańcucha buforów CML. a) Konfiguracja bufora drugiego, b) Konfiguracja bufora trzeciego, czwartego oraz piątego.

W schemacie drugiego stopnia układu nie wprowadzone zostały żadne dodatkowe elementy, ponieważ powodowały one pogorszenie jakości sygnału w stosunku do wersji podstawowej bufora. Schemat optymalnego bufora CML dla drugiego stopnia układu przedstawiony jest na rysunku 2.14a.

Architektura trzeciego, czwartego oraz piątego stopnia układu została zmodyfikowana w stosunku do wersji podstawowej bufora CML. W tych stopniach zanotowana została znaczna poprawa jakości sygnału podczas użycia dodatkowych induktancji poprawiających kształt sygnału. Czasy narastania i opadania sygnału znacznie się skróciły, a amplituda sygnału różnicowego znacznie wzrosła. Schemat tych stopni w konfiguracji zoptymalizowanej przedstawiony jest na rysunku **2.14b**.

Wartości elementów z których zostały zaprojektowane kolejne bufory zostały wyznaczone zgodnie z wzorami opisanymi w rozdziale “1.4 Bufor CML” oraz “1.5 Łańcuch buforów CML”. Zgodnie z równaniem 1.45 rezystory powinny być dwa razy mniejsze niż w poprzednim stopniu, szerokość kanału tranzystorów pary różnicowej T2 i T3 oraz tranzystora lustra prądowego T0 są dwukrotnie zwiększone w stosunku do poprzedniego stopnia układu (wzory 1.46 oraz 1.47). Niektóre z wartości zostały jednak minimalnie zmienione względem teoretycznych w celu uzyskania lepszej wydajności układu. Na podstawie licznych symulacji stwierdzono że niewielka rozbieżność pomiędzy wartościami teoretycznymi, a zastosowanymi w układzie, nie wpływa na zaburzenie punktów pracy tranzystorów i znacznie przyspiesza działanie układu.

Parametry elementów identycznych we wszystkich stopniach układu, takich jak tranzystor T1, prąd polaryzujący lustro prądowe (I_{bias}) czy napięcie zasilania (V_{dd}) zostały zebrane w tabeli **2.5**.

Tabela 2.5: Parametry stałe dla wszystkich stopni układu.

L pary różnicowej (T2,T3)	130 nm
W lustro prądowego (T1)	20 μm
L lustro prądowego (T1)	450 nm
I bias	100 μA
V dd	1.2 V
wysoki poziom sygnału	1.2V
niski poziom sygnału	800 V

Parametry tranzystora T1, które również są stałe dla wszystkich buforów zostały przedstawione w tabeli **2.6**. Tranzystor ten zawsze pracuje w zakresie nasycenia.

Tabela 2.6: Parametry charakteryzujące tranzystor odniesienia lustra prądowego (T1).

V_{ds}	V_{dsat}	V_{th}	V_{gs}	g_m	C_{gs}	C_{gd}
687.3 mV	112.1 mV	630.3 mV	687.3 mV	1.187 mS	64.59 fF	6.53 fF

Parametry zmieniające się z wraz kolejnymi stopniami zostały przedstawione w tabeli 2.7:

Tabela 2.7: Parametry wyznaczone dla n -tego stopnia układu.

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
R_D	1.6 k Ω	800 Ω	400 Ω	200 Ω	100 Ω	50 Ω
I_{SS}	251.1 μA	514 μA	1.035mA	2.078mA	4.168mA	16.65mA
L	-	-	20 nH	8 nH	3.5 nH	7 nH
C	0.5 pF	-	-	-	-	-
$W_{para}(T2, T3)$	2 μm	3.5 μm	6.5 μm	12 μm	23 μm	90 μm
$W_{lustr}(T0)$	50 μm	100 μm	200 μm	400 μm	800 μm	3.2 mm

Analizując wartości przedstawione w tabeli 2.7 widać, że wartości rezystorów oraz szerokości kanału lustra prądowego w kolejnych stopniach układu zmieniają się zgodnie z przewidzianą teorią. Inne parametry nie zachowują już tak wzorcowo. Wartości prądów wygenerowanych przez lustra prądowe odbiegają od wartości przewidzianych teoretycznie. Przyczyną tej rozbieżności jest działanie samego lustra, a dokładnie jego skończonej rezystancji wewnętrznej, nierówności napięć V_{ds} na tranzystorach lustra prądowego oraz skalowanie szerokości kanału nie dokładnie przekłada się na skalowanie wartości parametrów w rzeczywistym tranzystorze.

Szerokości kanałów tranzystorów w parze różnicowej również nie podwajają swojej wartości w kolejnych stopniach. Należy jednak zaznaczyć że im mniejsza jest szerokość kanałów w tranzystorach tym szybciej się one przełączają, czyli układ przyspiesza. Jednak zbyt duże zmniejszenie ich wartości powoduje zmniejszenie początkowych poziomów sygnału, a także zwiększenie napięcia nasycenia tranzystora T0 w lustrze prądowym, co zwiększa prawdopodobieństwo wyjścia tranzystora z punktu pracy. Niewielkie zwiększenie wartości prądu oraz zmniejszenie szerokości kanałów tranzystorów T2 i T3 działa korzystnie na układ delikatnie go przyspieszając.

Wartości indukcyjności również nie zmieniają się dokładnie zgodnie z teorią, która mówi że w kolejnym stopniu ich wartość powinna być u razy mniejsza niż w poprzednim (wzór 1.67). Jednak jak już wcześniej wspomniano, na etapie projektowania okazało się że wpływ cewek na przebieg sygnału nie zależy wyłącznie od parametrów przedstawionych w literaturze przedmiotu. Bardzo dużą rolę odgrywa layout oraz rodzaj użytej indukcyjności. Z tej właśnie przyczyny wartości indukcyjności zostały dobrane drogą doświadczalną, za pomocą licznych symulacji układu. Pomimo że wartości cewek były dobierane indywidualnie dla każdego stopnia, można zauważyć tendencję malejącą dla kolejnych stopni, pomijając nadajnik interfejsu.

Po zastosowaniu parametrów z tabeli 2.7, na każdym z tranzystorów znajdującym się w lustrze prądowym n -tego bufora, oznaczonym na schematach jako T0, otrzymano następujące parametry charakteryzujące ten tranzystor:

Tabela 2.8: Parametry charakteryzujące tranzystory lustra prądowego (T0) w kolejnych stopniach układu.

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
V_{ds}	334.00 mV	333.40 mV	306.10 mV	290.60 mV	287.30 mV	269.90 mV
V_{dsat}	115.00 mV	116.40 mV	117.20 mV	117.70 mV	117.90 mV	118.10 mV
V_{th}	626.10 mV	624.70 mV	623.90 mV	623.60 mV	623.40 mV	623.20 mV
V_{gs}	687.30 mV	687.30 mV	687.30 mV	687.30 mV	687.30 mV	687.30 mV
g_m	2.96 mS	6.02 mS	12.09 mS	24.23 mS	48.61 mS	192.90 mS
C_{gs}	162.90 fF	64.59 fF	653.60 fF	1.31 pF	2.62 pF	10.46 pF
C_{gd}	167.80 fF	6.53 fF	67.63 fF	136.0 fF	272.30 fF	1.09 pF

Należy przypomnieć że ten tranzystor nigdy nie powinien wychodzić z zakresu nasycenia.

Symulacja DC była tak ustawiona, aby uzyskać parametry tranzystorów T2 i T3 pracujących naprzemiennie, tzn. jednego w stanie odcięcia, zaś drugiego w stanie przewodzenia. Parametry uzyskane z symulacji zostały przedstawione w tabelach 2.9 i 2.10. Fioletowe tło kolumny w tabeli oznacza, że w tym stopniu przez tranzystor przepływał prąd. Jeśli natomiast tło jest białe świadczy to o tym, że tranzystor jest zatkany i nie przewodzi prądu.

Tabela 2.9: Parametry charakteryzujące tranzystor T2 w kolejnych stopniach układu.

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
V_{ds}	420.2 mV	819.80 mV	443.80 mV	786.80 mV	476.40 mV	867.25 mV
V_{dsat}	201.3 mV	50.28 mV	219.40 mV	61.63 mV	228.40 mV	88.66 mV
V_{th}	495.2 mV	484.20 mV	485.50 mV	470.70 mV	478.60 mV	462.40 mV
V_{gs}	821.1 mV	424.60 mV	858.00 mV	462.10 mV	875.80 mV	519.5 mV
g_m	1.09 mS	164.20 μ S	3.78 mS	1.41 mS	13.85 mS	24.08 mS
C_{gs}	2.057 fF	2.42 fF	6.74 fF	9.68 fF	23.93 fF	84.40 fF
C_{gd}	636.1aF	1.20 fF	2.08 fF	3.57 fF	7.35 fF	27.67 fF

Tabela 2.10: Parametry charakteryzujące tranzystor T3 w kolejnych stopniach układu.

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
V_{ds}	816.10 mV	416.100 mV	852.10 mV	468.30 mV	871.00 mV	387.85 mV
V_{dsat}	48.60 mV	203.60 mV	57.74 mV	225.50 mV	67.21 mV	237.60 mV
V_{th}	485.70 mV	493.80 mV	475.40 mV	480.80 mV	468.60 mV	473.90 mV
V_{gs}	421.10 mV	820.50 mV	454.30 mV	870.40 mV	476.10 mV	914.10 mV
g_m	71.30 μ S	2.21 mS	598.80 μ S	7.15 mS	3.53 mS	41.26 mS
C_{gs}	1.12 fF	4.12 fF	4.96 fF	3.83 fF	19.60 fF	92.52 fF
C_{gd}	601.20 aF	1.27 fF	3.57 fF	12.48 fF	6.85 fF	32.70 fF

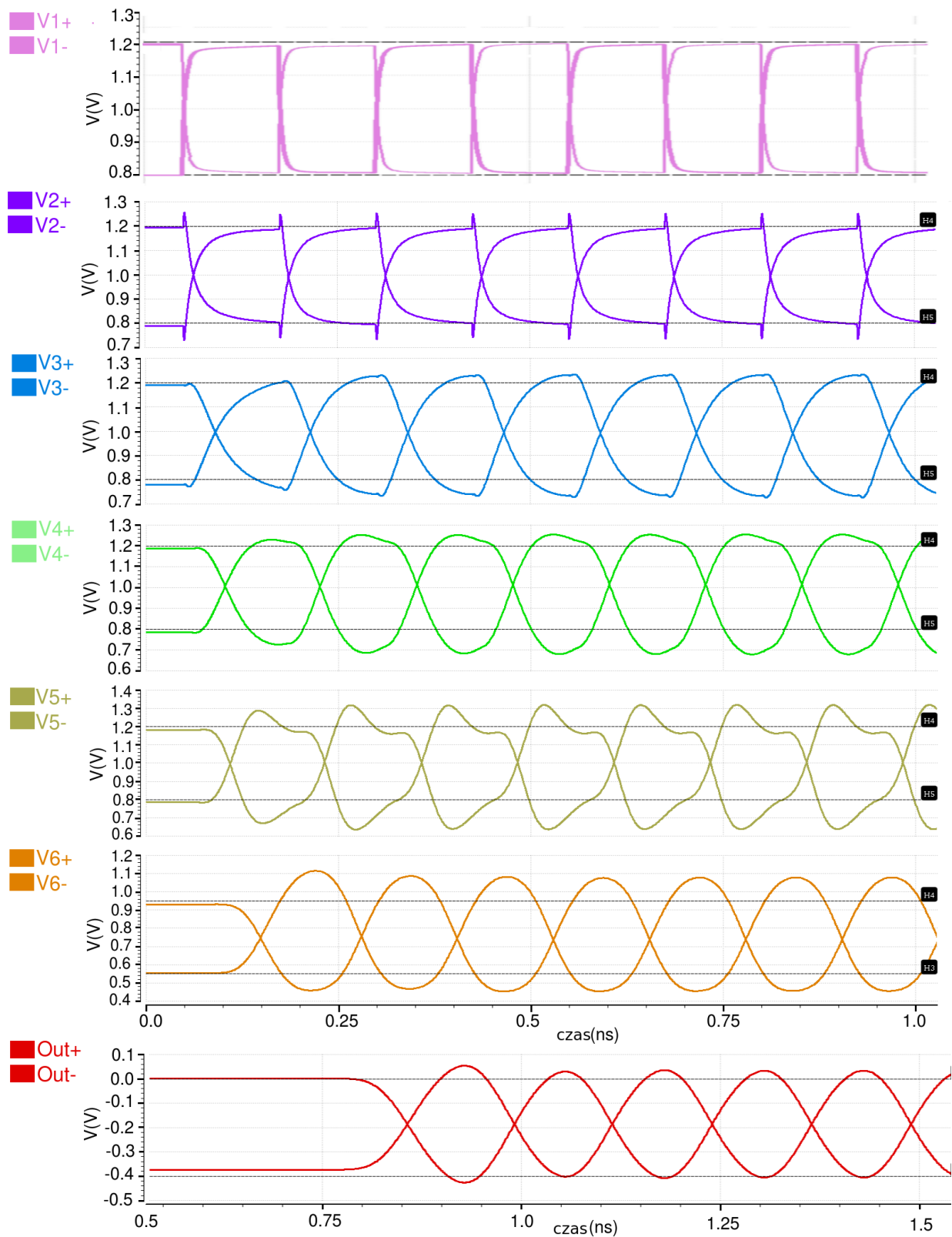
Na podstawie tabel 2.8 , 2.9 i 2.10 widać, że wszystkie tranzystory są w poprawnych punktach pracy. Minimalna różnica pomiędzy napięciem V_{ds} a V_{dsat} , definiująca właśnie te punkty, wynosi 151.8 mV dla tranzystora T0 w ostatnim stopniu interfejsu (nadajniku). Daje to dość mocne podstawy do założenia, że w każdej fazie pracy interfejsu tranzystory pozostaną w zakresie nasycenia.

Przebiegi sygnałów widzianych na wyjściach kolejnych stopni układu zostały przedstawione na rysunkach 2.15 oraz 2.16. Pierwszy z nich przedstawia sygnały jakie są widoczne na każdej z gałęzi na wyjściu bufora (tzw. single-ended). Drugi natomiast pokazuje sygnał różnicowy pomiędzy dwoma wyjściami buforów. Każdy z sygnałów ma przypisany kolor, który będzie mu odpowiadał w dalszej części pracy. Należy również zauważyć, że sygnały na wyjściach wszystkich stopni są pokazane w przedziale czasowym od 0 do 1 ns, lecz

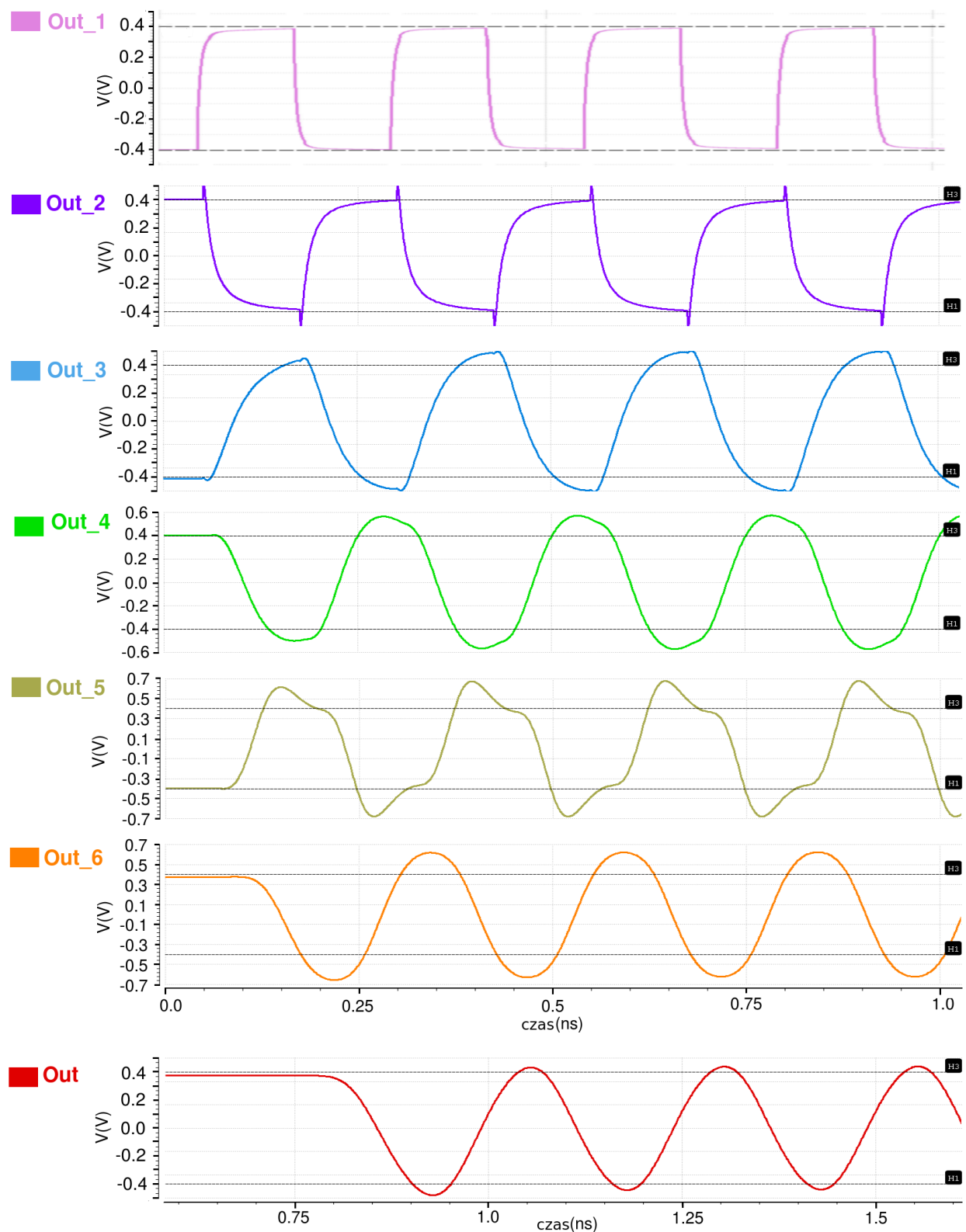
sygnał widziany przez odbiornik (przebiegi Out+, Out- i różnicowo Out), zaznaczony kolorem czerwonym, jest pokazany w przedziale od 0.5 ns do 2 ns. Jest to związane z faktem że sygnał pomiędzy nadajnikiem a odbiornikiem musi pokonać linie długą, która w zależności od swojej długości wprowadza opóźnienie sygnału.

Wspominany wcześniej poziom ustalony sygnału jest mierzony od momentu w którym sygnał przekroczy wymaganą amplitudę pomniejszoną o 10%. Czyli w przypadku przebiegu różnicowego poziom ustalony jest rozumiany jako przekroczenie przez sygnał poziomu 0.36 V dla stanu wysokiego oraz -0.36 V dla stanu niskiego. Natomiast czarne poziome linie na każdym wykresie są umieszczone dla sygnału pojedynczego na wartościach 1.2 V oraz 0.8 V oraz dla sygnału różnicowego są na poziomach 0.4V i -0.4V, czyli standardu CML.

Na rysunku **2.16**, na wyjściu drugiego stopnia układu można zaobserwować niewielkie skoki napięcia. Przyczyną ich powstania jest szarpnięcie prądowe, które pojawia się w momencie przełączania się tranzystorów. Podczas ich przełączania ze stanu odciętego do przewodzenia i na odwrót, w tranzystorach M2 i M3 pojawiają się chwilowe zmiany w wartości rezystancji r_{ds} , co zaburza punkty pracy tranzystora M0. W tym momencie następuje gwałtowny wzrost prądu przepływającego przez tranzystor, co skutkuje pewnym skokiem napięcia widocznym na symulacji. Ten chwilowy skok napięcia nie zostaje jednak przenoszony na pozostałe stopnie układu, a więc można go uznać za nieistotny.



Rysunek 2.15: Przebiegi sygnału na wyjściach kolejnych stopni układu w technologii IBM 130 nm.



Rysunek 2.16: Przebiegi różnicowe sygnałów kolejnych stopni układu w technologii IBM 130 nm.

2.3.2 Symulacja Monte Carlo

Parametry opisujące kształt poszczególnych przebiegów uzyskanych w trakcie 200 symulacji Monte Carlo, przedstawiono w tabelach 2.11 i 2.12. Ponieważ układ jest symetryczny implikuje to, że czasy narastania i opadania zboczy sygnału są sobie równe, dlatego zostały one przedstawione w jednej tabeli (tab. 2.11).

Tabela 2.11: Czasy narastania i opadania sygnału dla kolejnych stopni układu

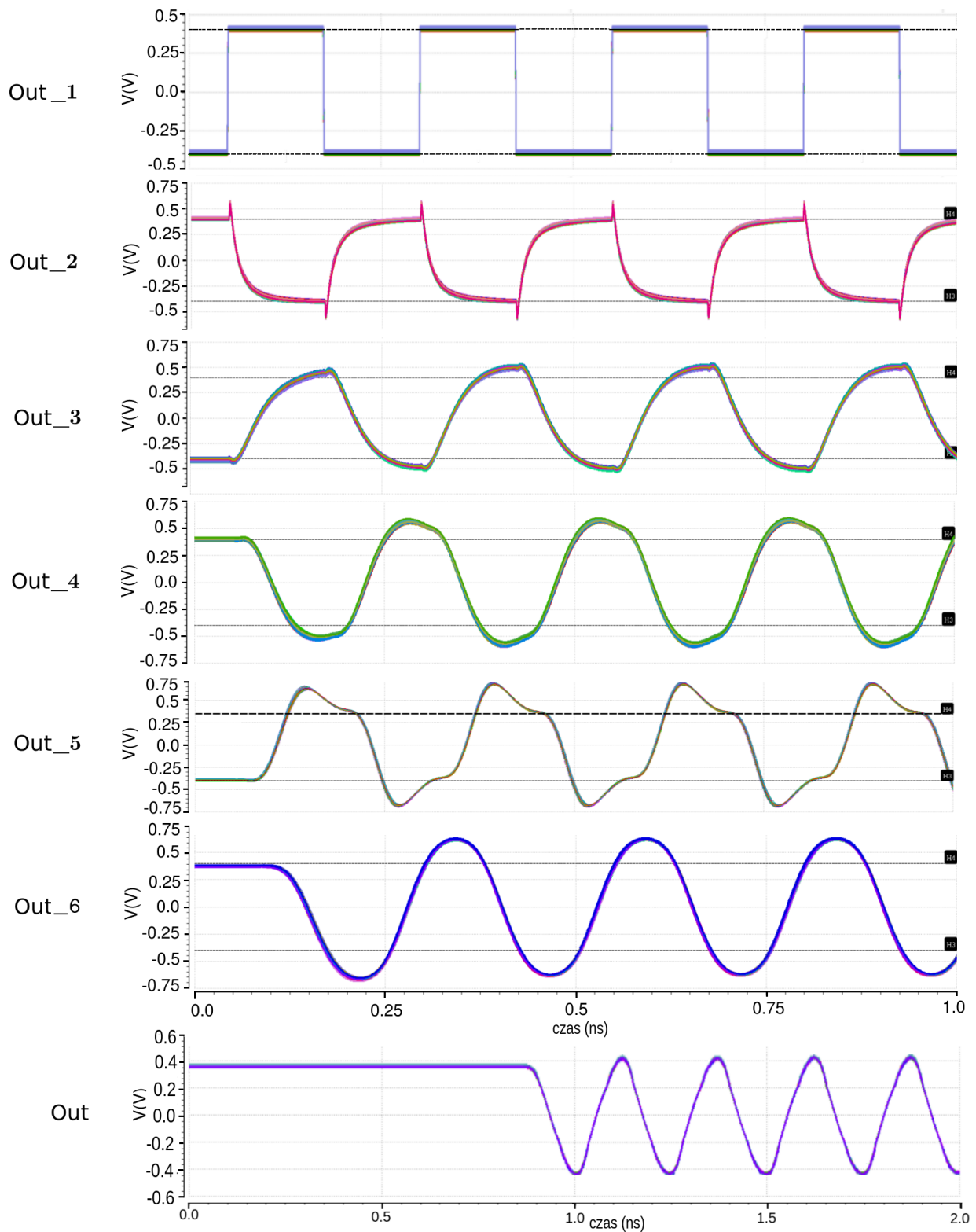
	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
min.	14.03 ps	25.32 ps	47.93 ps	34.06 ps	28.65 ps	34.37 ps	61.26 ps
max.	19.33 ps	34.59 ps	57.39 ps	37.44 ps	31.03 ps	36.50 ps	63.56 ps
średnia	16.20 ps	29.47 ps	51.72 ps	35.54 ps	29.56 ps	35.35 ps	62.61 ps

Tabela 2.12: Czasy trwania poziomów ustalonych sygnału dla kolejnych stopni układu

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
min.	211.34 ps	180.82 ps	135.22 ps	175.12 ps	187.94 ps	177.00 ps	122.88 ps
max.	221.94 ps	199.60 ps	154.14 ps	181.88 ps	192.70 ps	181.26 ps	127.48 ps
średnia	217.60 ps	191.06 ps	146.56 ps	178.92 ps	190.88 ps	179.30 ps	124.78 ps

Zarówno na podstawie tabeli 2.11 jak i tabeli 2.12 można zauważyć, że poziom ustalony sygnału widziany przez odbiornik jest znacznie mniejszy niż obserwowany bezpośrednio na wyjściu nadajnika. Wynika to z różnego rodzaju obciążeń jakie napotyka sygnał w drodze do odbiornika. Najbardziej znaczącymi elementami pogarszającymi jakość sygnału jest linia długa oraz pojemności które, występują w padach.

Różnicowe przebiegi sygnałów na wyjściu każdego ze stopni, uzyskane z symulacji Monte Carlo, zostały zebrane na rysunku 2.17:



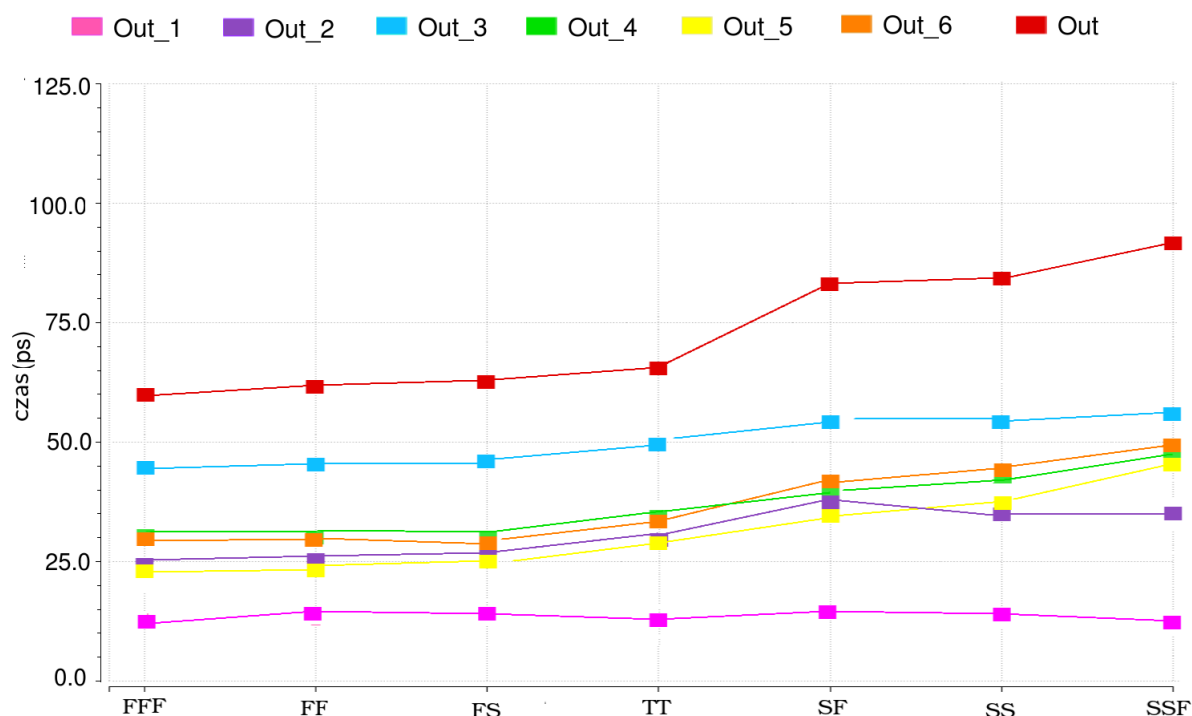
Rysunek 2.17: Symulacja Monte Carlo dla sygnału różnicowego na wyjściu kolejnych stopni układu w technologii IBM 130 nm.

2.3.3 Symulacje Brzegowe

Wpływ symulacji brzegowych na parametry sygnału, takie jak czasy narastania czy opadania oraz długość poziomu ustalonego zostały pokazane w tabelach 2.13 i 2.14 oraz na wykresach 2.18 i 2.19.

Tabela 2.13: Wpływ symulacji brzegowej na parametry charakteryzujące czas narastania i opadania sygnału na wyjściach kolejnych stopni.

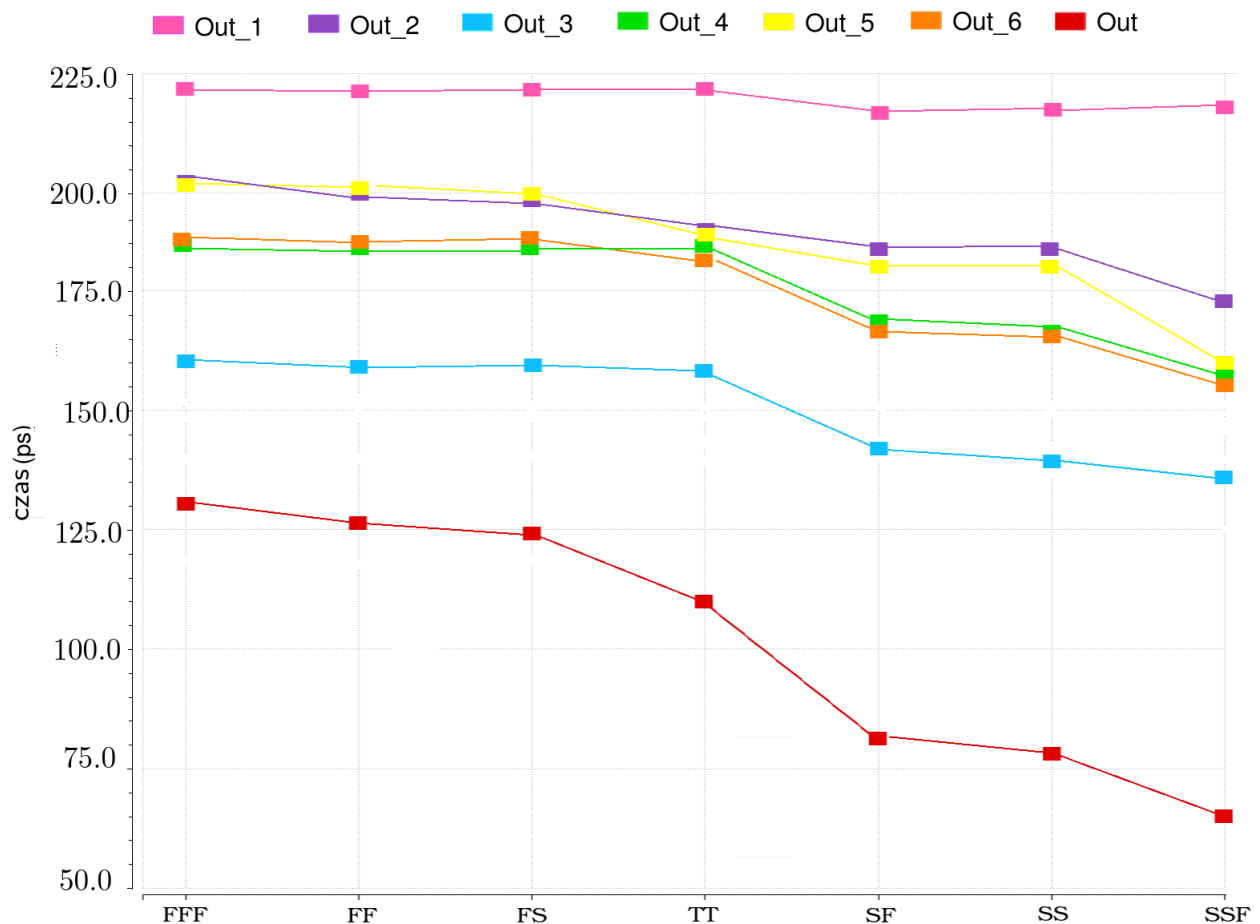
	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
FF	14.06 ps	25.26 ps	45.77 ps	31.72 ps	24.86 ps	31.10 ps	61.99 ps
FFF	13.58 ps	23.47 ps	44.97 ps	30.51 ps	23.47 ps	30.12 ps	60.02 ps
FS	14.20 ps	26.37 ps	45.72 ps	32.26 ps	25.56 ps	31.43 ps	62.72 ps
SF	17.00 ps	33.23 ps	54.65 ps	40.82 ps	36.09 ps	41.80 ps	84.43 ps
SS	16.04 ps	34.61 ps	54.39 ps	41.29 ps	37.20 ps	42.06 ps	85.54 ps
SSF	15.74 ps	39.17 ps	57.37 ps	45.69 ps	45.18 ps	47.39 ps	92.30 ps
TT	14.06 ps	29.26 ps	49.59 ps	35.52 ps	29.49 ps	35.33 ps	69.89 ps



Rysunek 2.18: Czasy opadania sygnału na wyjściu kolejnych stopni układu dla różnych symulacji brzegowych.

Tabela 2.14: Wpływ symulacji brzegowej na parametry charakteryzujące czas trwania poziomu ustalonego sygnału na wyjściach kolejnych stopni.

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
FF	221.88 ps	199.48 ps	158.46 ps	186.56 ps	200.28 ps	187.80 ps	126.02 ps
FFF	222.84 ps	203.06 ps	160.06 ps	188.98 ps	203.06 ps	189.76 ps	129.96 ps
FS	221.60 ps	197.26 ps	158.56 ps	185.48 ps	198.88 ps	187.18 ps	124.56 ps
SF	216.00 ps	183.54 ps	140.70 ps	168.36 ps	177.82 ps	166.40 ps	81.14 ps
SS	217.92 ps	180.78 ps	137.61 ps	164.71 ps	175.60 ps	165.22 ps	78.92 ps
SSF	218.52 ps	171.66 ps	135.26 ps	158.62 ps	159.64 ps	155.22 ps	65.40 ps
TT	221.88 ps	191.48 ps	150.82 ps	187.96 ps	191.02 ps	179.34 ps	110.22 ps



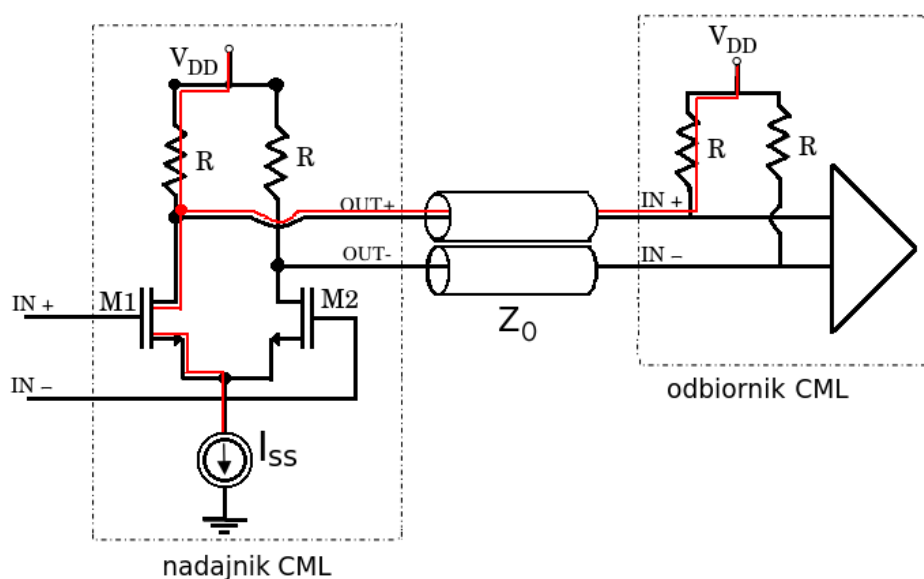
Rysunek 2.19: Czasy trwania poziomów ustalonych sygnału dla różnych symulacji brzegowych.

Najmniejsza długość poziomu ustalonego sygnału występuje dla symulacji typu SSF, czyli bardzo wolnego tranzystora nMOS, natomiast najlepiej zachowany sygnał można obserwować dla symulacji typu FFF, czyli bardzo szybko przełączającego się tranzystora nMOS. Dla tej symulacji, długość poziomu ustalonego sygnału wynosi aż $129.96ps$. Jest to zgodne z przewidywaniami, gdyż symulacje SSF i FFF mają obrazować najbardziej skrajne zachowania tranzystorów w układzie.

2.4 Ostatni stopień układu - nadajnik

Ostatni stopień układu - nadajnik, został opisany w osobnym rozdziale, ponieważ odbiega on parametrami od pozostałych stopni łańcucha. Nie podlega on wszystkim zasadom jakie należy przestrzegać projektując łańcuch buforów CML, a przynajmniej nie bezpośrednio.

W całym łańcuch CML wyjście jednego stopnia było połączone z wejściem kolejnego, sygnał wyjściowy trafiał na nieskończoną impedancję wejściową kolejnego bufora, a napięcie odkładało się wyłącznie na jednym rezystorze R_D . W przypadku nadajnika CML prąd pochodzący z lustra prądowego przepływa przez jeden z tranzystorów, lecz zanim dotrze do rezystancji obciążającej rozplywa się na dwie gałęzie. Część prądu tak jak w poprzednich stopniach przepływa przez rezystor R , ale pozostała część, a dokładnie połowa, płynie poprzez linie długą do odbiornika gdzie również trafia na rezystor o wartości R (rys. 2.20).



Rysunek 2.20: Rozptyw prądu pomiędzy nadajnikiem a odbiornikiem CML.

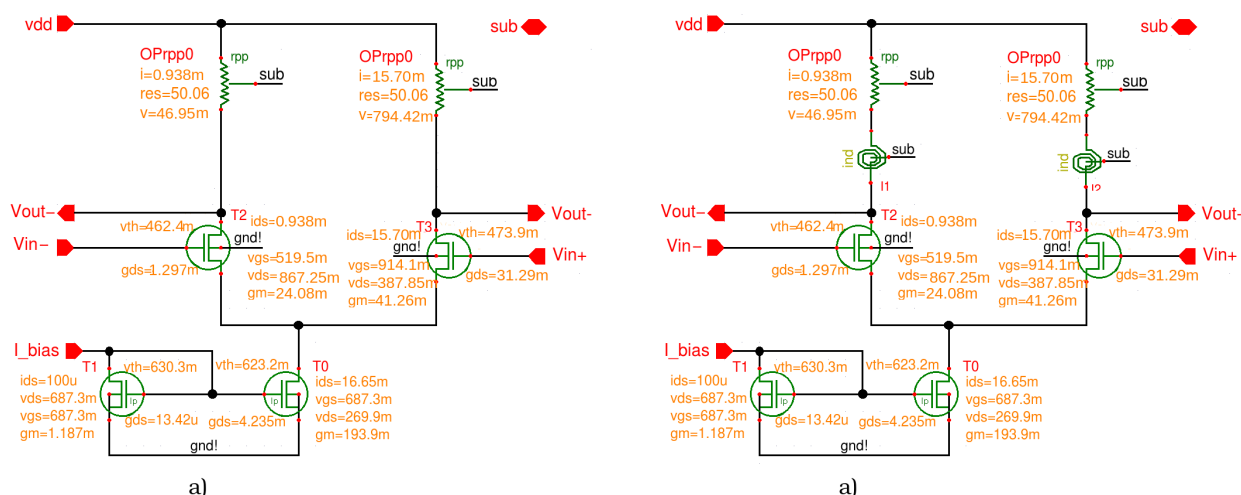
Dlatego aby zapewnić amplitudy sygnału różnicowego na poziomie 800 mV zarówno w układzie nadajnika jak i odbiornika, oraz zakładając że $R=50 \Omega$, prąd jakim musi być zasilony nadajnik można łatwo policzyć:

$$I_{SS} = \frac{V_{diff}}{R||R} = \frac{2 \cdot V_{diff}}{R} = 1.6 \text{ mA} \quad (2.1)$$

Aby zapewnić tak duży prąd tranzystory w lustrze prądowym muszą być aż cztery razy większe niż w poprzednim stopniu. Natomiast żeby nie wypadły z zakresu nasycenia, tranzystory T2 i T3 również muszą być proporcjonalnie większe.

2.4.1 Schemat i parametry nadajnika

Architektura nadajnika przedstawiona jest na rysunku 2.21 w dwóch wersjach: podstawowej i zoptymalizowanej.



Rysunek 2.21: Architektura szóstego stopnia układu buforów CML - nadajnika: **a)** Konfiguracja podstawowa, **b)** Konfiguracja z dodatkowymi induktancjami.

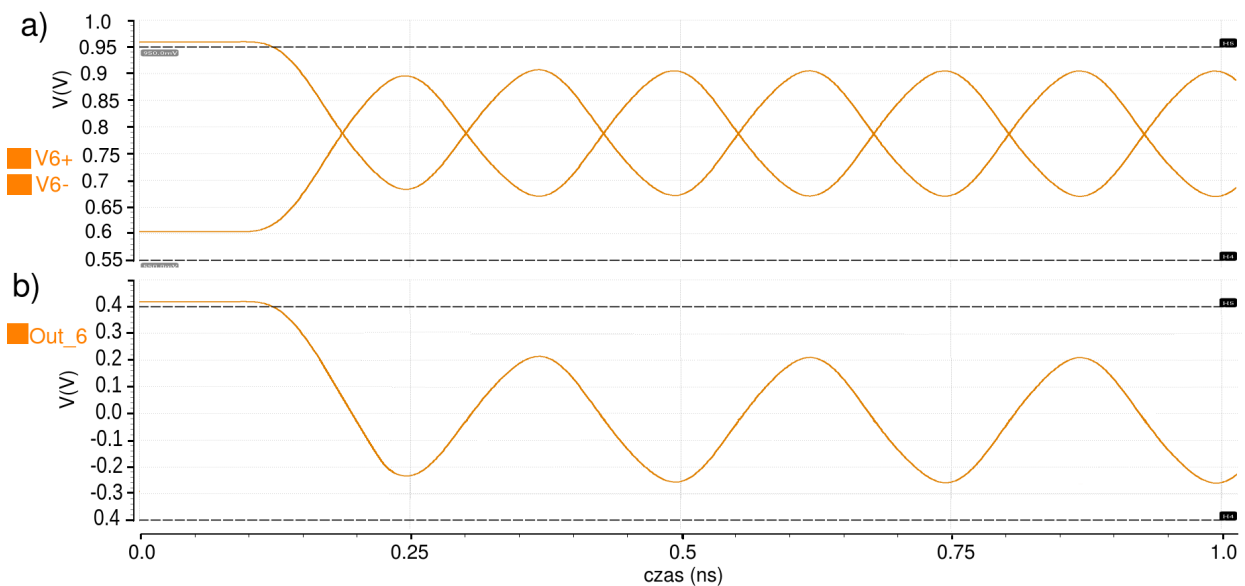
Wartości szerokości kanałów tranzystorów pary różnicowej (T2 i T3) zostały ustalone na podstawie wzoru 1.46 z zastrzeżeniem, że w nadajniku czynnik skalujący wielkość prądu, szerokość kanału i rezystancję wynosił 4, a nie 2. Teoretyczna wartość wyznaczona na podstawie czynnika skalującego równego 4 wynosi 96 μm , natomiast w praktyce została ona zmniejszona do 90 μm . Wszystkie parametry elementów ostatniego stopnia układu zostały zebrane w tabeli 2.15. W tym stopniu tranzystor T2 jest odcięty, natomiast prąd płynie poprzez tranzystor T3.

Tabela 2.15: Zestawienie parametrów elementów architektury szóstego bufora w łańcuchu.

	W	L	V_{ds}	V_{dsat}	V_{gs}	V_{th}	gm
T2	90 μm	130 nm	867.25 mV	88.66 mV	519.50 mV	462.40 mV	24.08 mS
T3	90 μm	130 nm	387.85 mV	237.60 mV	914.10 mV	473.90 mV	41.26 mS
T1	20 μm	450 nm	687.30 mV	112.10 mV	687.30 mV	630.30 mV	1.18 mS
T0	3.2 mm	450 nm	269.90 mV	118.10 mV	687.30 mV	623.20 mV	193.90 mS
	R	50 Ω	I_d	16.65 μA	L	6.5 nH	

Nadajnik jako element wyjściowy układu musi posiadać rezystancję odpowiadającą impedancji linii długiej, z którą będzie połączony, czyli w tym przypadku 50 Ω . Zgodnie z opisem standardu CML przedstawionym w rozdziale "1.1.3 Standard CML" prąd zasilający tranzystory pary różnicowej musi wynosić co najmniej 16 mA. Aby wygenerować ten prąd zgodnie z równaniem 1.20 szerokość kanału tranzystora T0 lustra prądowego musi wynosić 3.2 mm. Tym sposobem tranzystor T0 jest największym powierzchniowo elementem całego interfejsu.

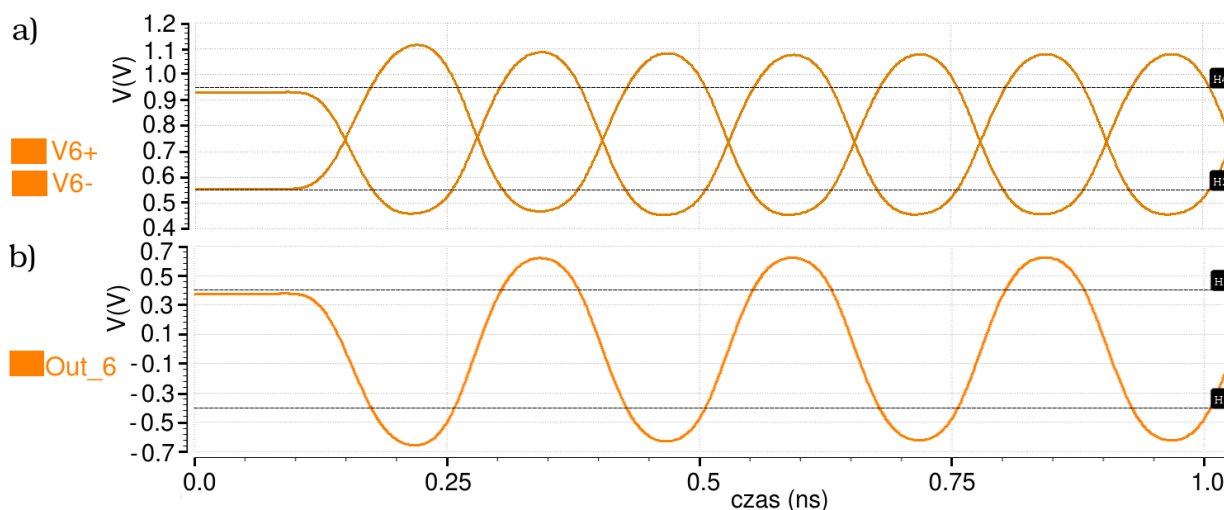
Wykresy przedstawiające przebiegi sygnałów widzianych na wyjściu nadajnika w konfiguracji podstawowej, bez induktancji, pokazane są na rysunku 2.22.

**Rysunek 2.22:** Przebiegi sygnału na wyjściu szóstego stopnia w konfiguracji podstawowej:

a) Sygnał widoczny na gałęziach V6+ oraz V6- b) Sygnał różnicowy na wyjściu Out 6

Pierwsze co można zauważyć, poza faktem że układ działa za wolno i nie osiąga wymaganych poziomów, jest zmiana ich wartości nominalnych. W poprzednich stopniach przebieg sygnału na pojedynczych wyjściach buforów oznaczonych jako V_{out+} i V_{out-} musiał osiągać wartość 1.2 V dla stanu wysokiego oraz 0.8 V dla stanu niskiego. W nadajniku te poziomy są przesunięte o około 250 mV w dół i wynoszą na 950 mV oraz 550 mV .

W celu przyspieszenia układu do konfiguracji podstawowej, tak jak w poprzednich trzech stopniach, zostały dodane indukcyjności połączone szeregowo z rezystorami. Wartość indukcyjności dla której układ działa najwydajniej wynosi 6.5 nH . Wartość ta została wyznaczona na podstawie wielu symulacji sprawdzających zachowanie sygnału w funkcji dodanej indukcyjności. Przebiegi sygnału na wyjściu szóstego bufora z dodatkowymi indukcyjnościami pokazane są na rysunku 2.23.



Rysunek 2.23: Przebiegi sygnału na wyjściu szóstego stopnia łańcuch buforów układu: **a)** Sygnał widoczny na gałęziach $V6+$ oraz $V6-$ **b)** Sygnał różnicowy $Out\ 6$

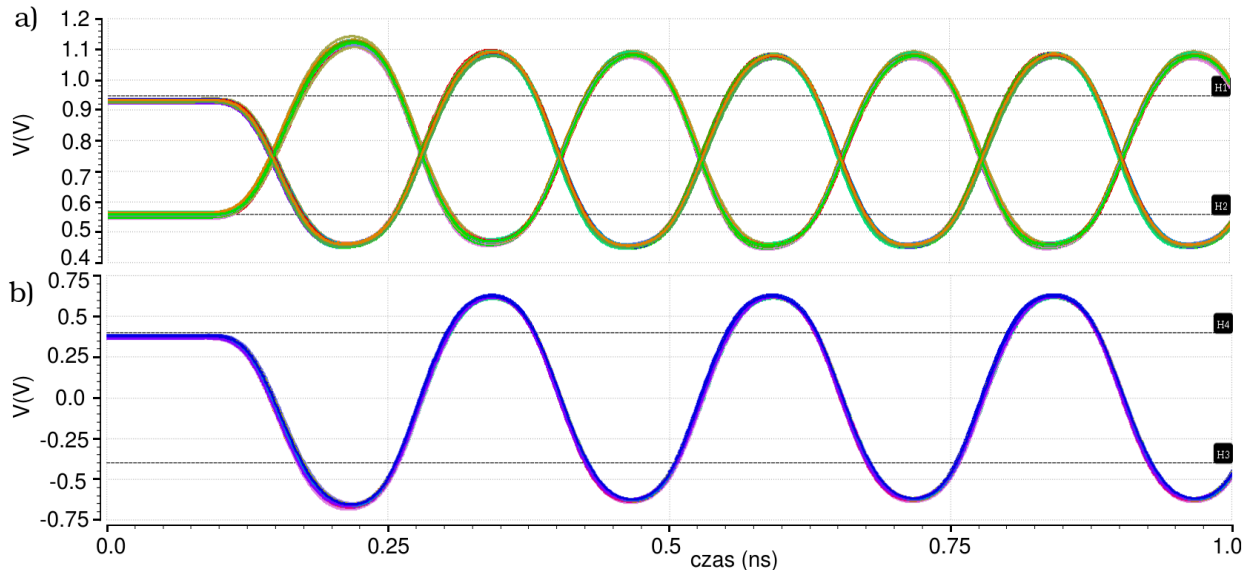
Sygnał różnicowy przedstawiony na rysunku 2.23b chwilowo przekracza wartości nominalne (400 mV i -400 mV) o około 200 mV . Jest to zabieg celowy i wynika z użycia cewki w obwodzie. Należy pamiętać, że wyjścia tego stopnia są podłączone z wieloma zewnętrznymi elementami obciążającymi, które bardzo spowalniają, a także zmniejszają amplitudę sygnału różnicowego. Projektując nadajnik interfejsu należy uwzględnić w symulacji tego stopnia pewien zapas, który będzie mógł być stracony na rzecz elementów obciążających.

2.4.2 Symulacja Monte Carlo

Symulacja Monte Carlo przedstawiona na rysunku 2.24 pokazuje, że zoptymalizowany układ dla każdego przebiegu spełnia wymogi projektowe. W tabeli 2.16 zestawione zostały parametry opisujące przebiegi sygnału, uzyskane z symulacji Montecarlo dla 200 przebiegów sygnału. W otrzymanych symulacjach nie ma śladów żadnych alarmujących zjawisk, takich jak zaburzenie amplitudy sygnału różnicowego czy niezachowanie kształtu przebiegu. Czasy narastania oraz długość trwania poziomu ustalonego dają solidne podstawy by stwierdzić, że układ działa zgodnie z początkowymi założeniami.

Tabela 2.16: Zestawienie parametrów opisujących kształt sygnał na wyjściu nadajnika

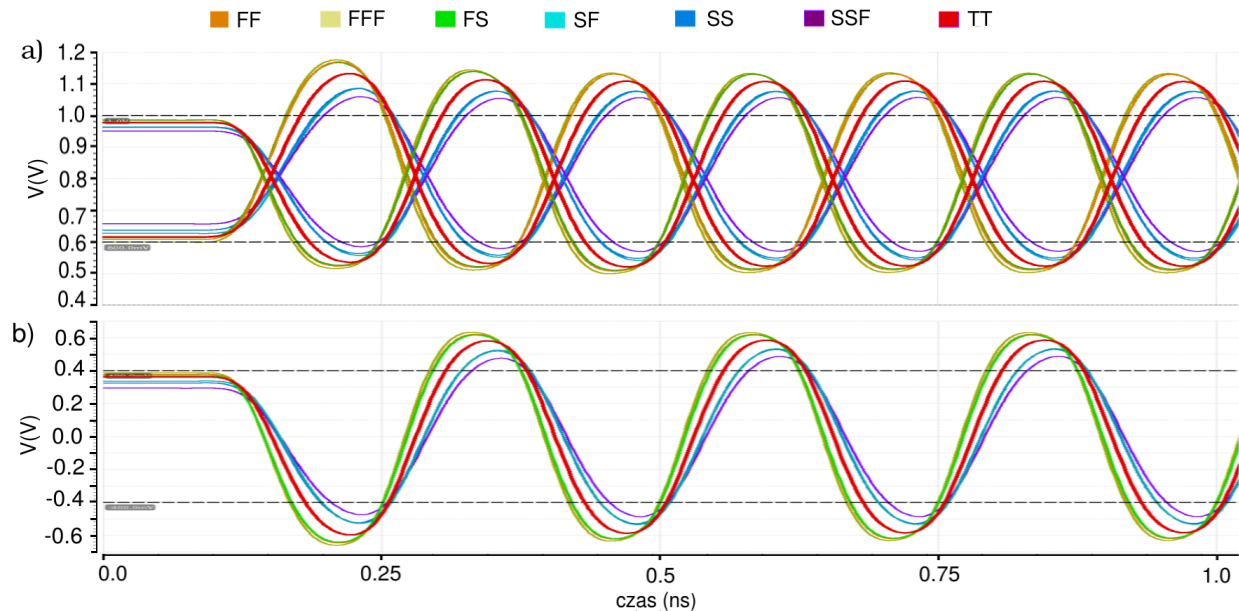
	Wartość min.	Wartość max.	Wartość średnia
czas narastania	34.37 ps	36.50ps	35.35 ps
czas opadania	34.37 ps	36.50 ps	35.35 ps
poziom ustalony	177.00ps	181.26 ps	179.30 ps



Rysunek 2.24: Symulacja Montecarlo dla sygnału na wyjściu szóstego stopnia układu:
 a) Sygnał widoczny na gałęziach V6+ oraz V6- b) Sygnał różnicowy Out 6

2.4.3 Symulacje Brzegowe

Przebiegi sygnału dla poszczególnych symulacji brzegowych przedstawia rysunek 2.25:



Rysunek 2.25: Symulacje brzegowe dla sygnału na wyjściu szóstego stopnia układu. **a)** Sygnał widoczny na gałęziach V6+ oraz V6- **b)** Sygnał różnicowy Out 6

Charakterystyki czasowe dla każdego z siedmiu typów symulacji brzegowych zostały zebrane w tabeli 2.17.

Tabela 2.17: Wpływ symulacji brzegowej na parametry sygnału na wyjściu nadajnika

	czas narastania	czas opadania	poziom ustalony
FF	31.10 ps	31.10 ps	187.80 ps
FFF	30.12 ps	30.12 ps	189.76 ps
FS	31.43 ps	31.43 ps	187.18 ps
SF	41.80 ps	41.80 ps	166.40 ps
SS	42.06 ps	42.06 ps	165.22 ps
SSF	47.39 ps	47.39 ps	155.22 ps
TT	35.33 ps	35.33 ps	179.34 ps

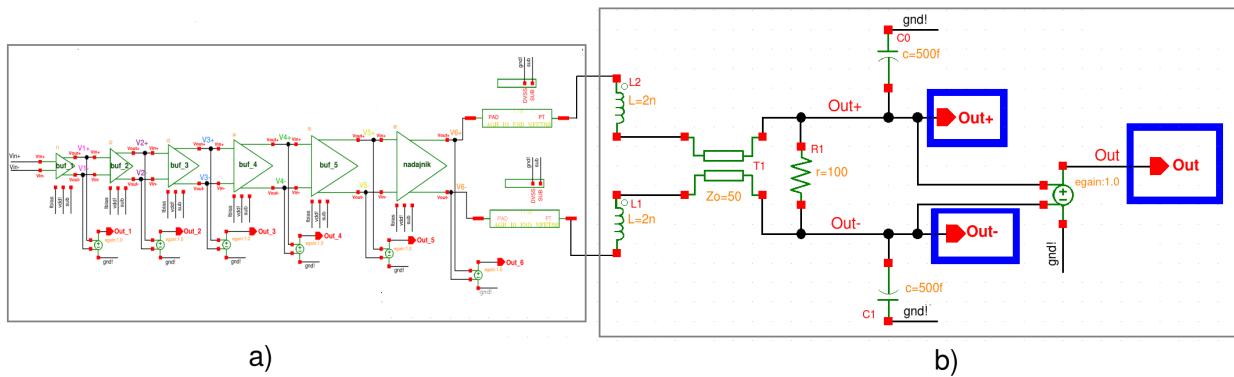
Na symulacji brzegowej pokazanej na rysunku 2.25 widać, że pomiędzy symulacjami typu FFF a SSF jest około 150 mV różnicy dla maksymalnej i minimalnej wartości osiąganego przez sygnał. Jednak nawet dla najgorszego przypadku jaki symbolizuje symulacja SSF

układ w dalszym ciągu osiąga, a nawet bezpiecznie przekracza wymagane poziomy ustalone. Oznacza to, że na wyjściu nadajnika, po etapie produkcji, sygnał będzie w najgorszym przypadku działał z maksymalną częstotliwością równą 4 GHz.

2.5 Symulacje końcowe

2.5.1 Sygnał wyjściowy układu

Najważniejszym celem projektowania interfejsu do szybkiej transmisji danych było, aby sygnał był dobrze nadawany i transportowany przez nadajnik. Wszystkie dodatkowe obciążenia pokazane na rysunku 2.26b, mają za zadanie odwzorować działanie różnych elementów odpowiedzialnych za straty sygnału w drodze do odbiornika. Sygnał obserwowany na rezystorze będzie więc sygnałem jaki będzie widoczny w odbiorniku.

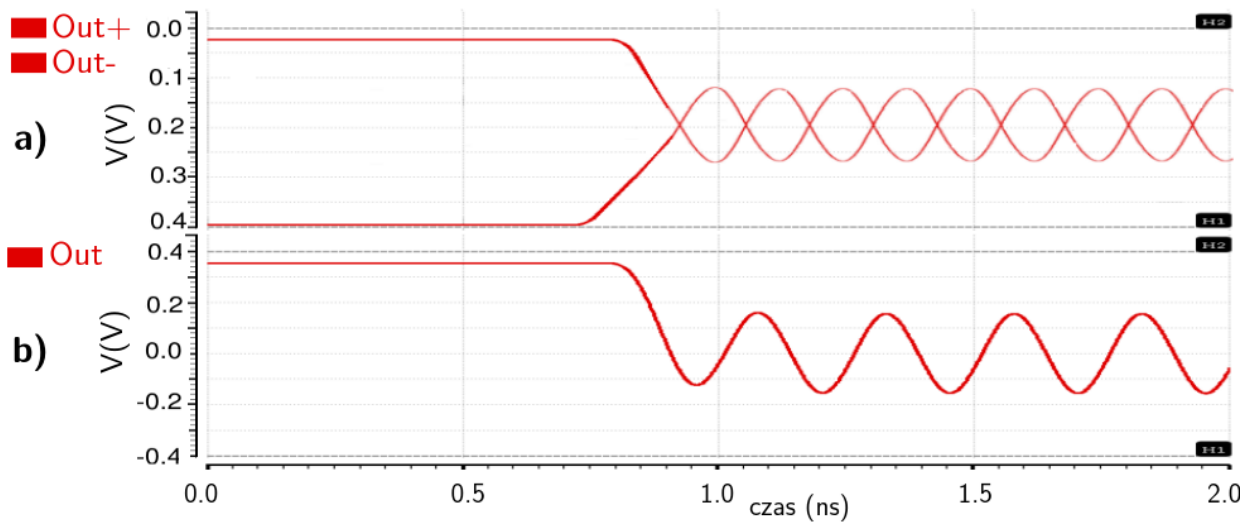


Rysunek 2.26: Schemat układu interfejsu do szybkiej transmisji danych z zaznaczonymi miejscami pomiaru sygnału. **a)** Łańcuch buforów CML z nadajnikiem oraz padami wyjściowymi, **b)** Elementy symulujące odbiornik CML oraz dodatkowe obciążenia układu.

Punkty ujęte granatowymi kwadratowymi obramowaniami oznaczają miejsca, w których mierzony jest sygnał. Jeśli w tych punktach zachowa wszystkie wymagania i będzie osiągał odpowiednie poziomy, będzie można uznać, że informacje są wysyłane we właściwy sposób, tzn. odbiornik jest w stanie poprawnie odczytać i zinterpretować sygnał otrzymany z nadajnika.

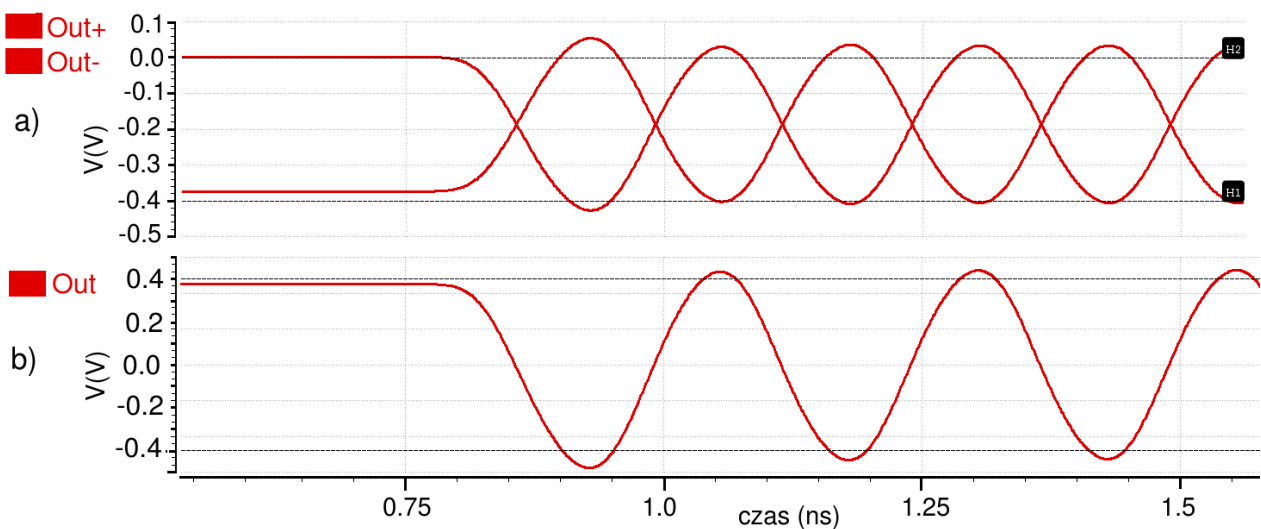
Rysunek 2.27 pokazuje jak wyglądałby sygnał gdyby w nadajniku nie znajdowały się dodatkowe induktancje. Widoczny na nim sygnał różnicowy osiąga maksymalną amplitudę ok. 300 mV, a nie tak jak powinien 800 mV. Gdyby ostatni stopień interfejsu nie został zop-

tymalizowany, odbiornik nie byłby w stanie poprawnie odczytać sygnału dla częstotliwości 4 GHz.



Rysunek 2.27: Sygnał widoczny na odbiorniku, dla nieoptymalizowanego nadajnika. **a)** Sygnał widoczny na pojedynczych wyjściach układu, $Out+$ oraz $Out-$, **b)** Sygnał różnicowy.

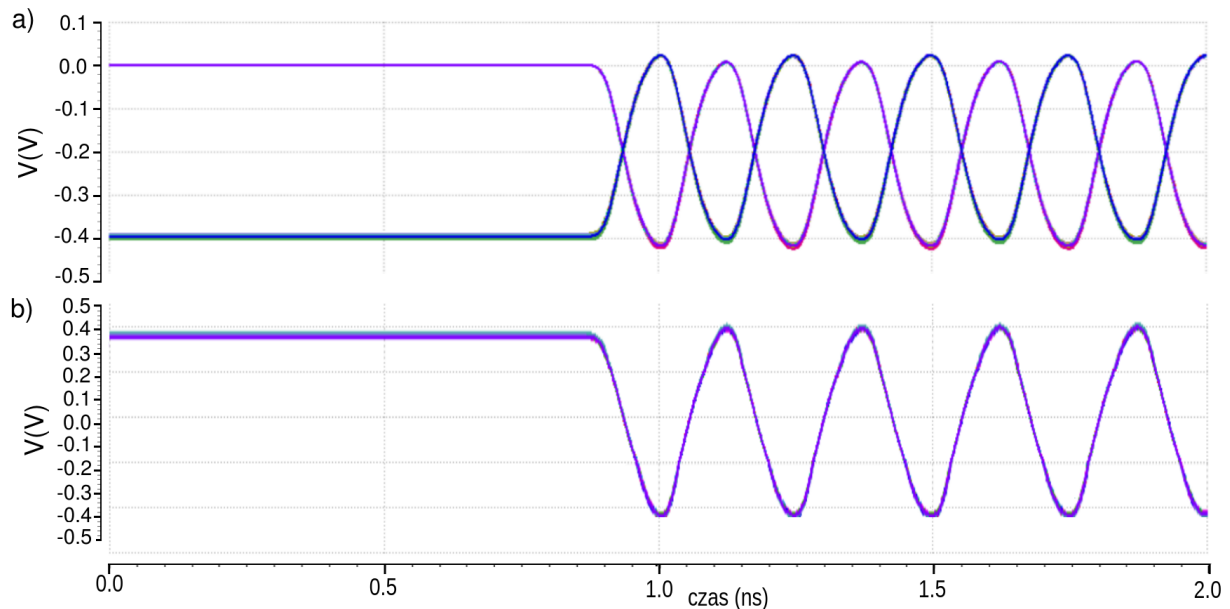
Po udoskonaleniu nadajnika o induktancje o wartościach 6.5 nH , jakość sygnału znacznie się podniosła. Po takiej optymalizacji odbiornik bez problemu powinien zinterpretować otrzymany sygnał. Przebieg sygnału na pojedynczym wyjściu układu jak i różnicowy dla ulepszonego bufora pokazany jest na rysunku 2.28.



Rysunek 2.28: Przebiegi sygnału jakie odbierałby odbiornik: **a)** Sygnał widoczny na pojedynczych wyjściach układu, $Out+$ oraz $Out-$, **b)** Sygnał różnicowy na wyjściu Out .

2.5.2 Symulacja Monte Carlo

Aby mieć pewność, że układ podczas wszystkich przebiegów, pomimo różnych rozrzutów parametrów w symulacji, będzie działał podobnie, przeprowadzona została symulacja Monte Carlo. Jej wyniki zostały zaprezentowane na rysunku 2.29 oraz w tabeli 2.18.



Rysunek 2.29: Symulacja Monte Carlo sygnału wyjściowego: **a)** Sygnał widoczny na pojedynczych wyjściach układu, $Out+$ oraz $Out-$, **b)** Sygnał różnicowy Out .

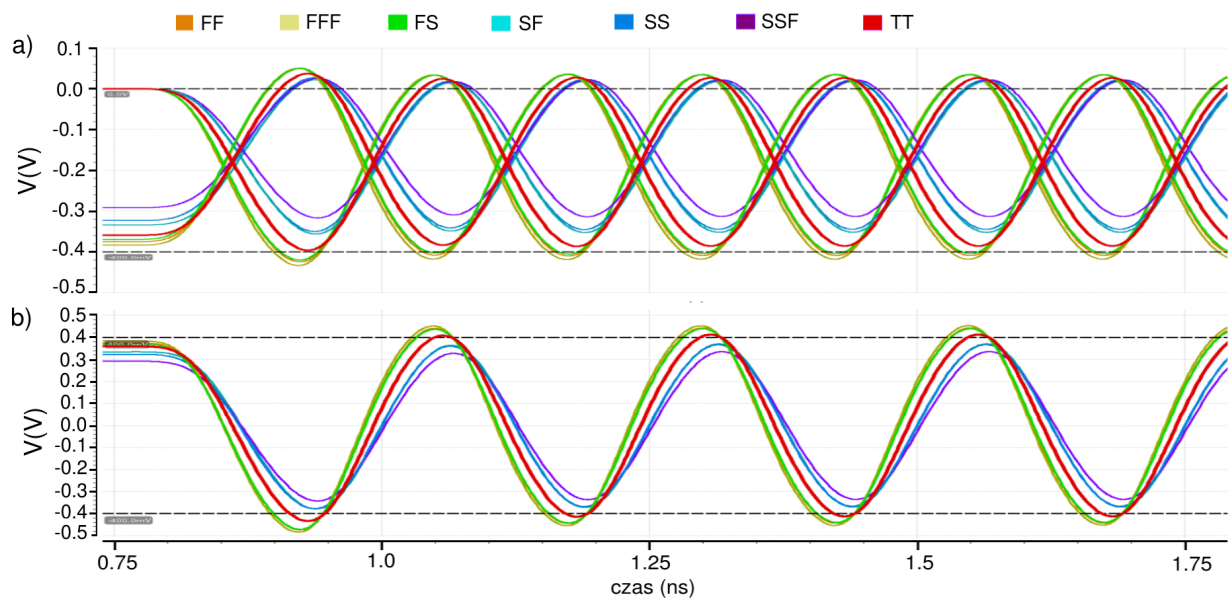
Tabela 2.18: Zestawienie parametrów opisujących kształt sygnał na wyjściu całego układu

	Wartość min.	Wartość max.	Wartość średnia
czas narastania	61.26 ps	63.56 ps	62.61ps
czas opadania	61.26 ps	63.56 ps	62.61 ps
poziom ustalony	122.88 ps	127.48ps	124.78 ps

Rozbieżności pomiędzy czasami narastania czy opadania oraz długością trwania poziomu ustalonego sygnału widoczne w tabeli 2.18, są na poziomie ok. 4%. Nie są to znaczące różnice, a na wykresie 2.29 wręcz niezauważalne. Można jednak zwrócić uwagę na to, że wartości te są znacznie gorsze w porównaniu do poprzednich stopni układu gdzie większość z nich przekraczała 150 ps w przypadku długości trwania poziomu ustalonego. Powodem tego jest wpływ na jakość sygnału różnych elementów obciążających układ, takich jak straty sygnału na linii transmisyjnej, duże pojemności na padach wejściowych odbiornika itp.

2.5.3 Symulacje Brzegowe

Przeprowadzono również symulacje brzegowe aby upewnić się że po etapie produkcji sygnał dalej będzie nadawany poprawnie. Wyniki symulacji przedstawia rysunek 2.30 oraz tabela 2.19. Czarne poziome linie oznaczają w przypadku 2.30b wartość nominalnego sygnału różnicowego (TT), czyli 800 mV, oraz 400 mV na pojedynczych wyjściach $Out+$ i $Out-$ układu (rys.2.30a).



Rysunek 2.30: Symulacje brzegowe dla wyjścia układu: **a)** Sygnał widoczny na pojedynczych wyjściach układu, $Out+$ oraz $Out-$, **b)** Sygnał różnicowy na wyjściu Out .

Tabela 2.19: Wpływ symulacji brzegowej na parametry sygnału na wyjściu układu

	czas narastania	czas opadania	poziom ustalony
FF	61.99 ps	61.99 ps	126.02 ps
FFF	60.02 ps	60.02 ps	129.96 ps
FS	62.72 ps	62.72 ps	124.56 ps
SF	84.43 ps	84.43 ps	81.14 ps
SS	85.54 ps	85.54 ps	78.92 ps
SSF	92.30 ps	92.30 ps	65.40 ps
TT	69.89 ps	69.89 ps	110.22 ps

Najgorzej spośród symulacji brzegowych wypadła symulacja typu SSF. Amplituda sygnału różnicowego w jej przypadku zmalała do około 600 mV, jednak kształt jest w dalszym ciągu zachowany. Należy jednak pamiętać, że SSF jest tylko symulacją funkcjonalną, to znaczy że nie musi w pełni spełniać założeń projektowych. Z tabeli 2.19 można odczytać że długość poziomu ustalonego dla symulacji typu SSF, wynosi zaledwie 65.40 ps. Jest to około dwa razy mniej niż dla zwykłego przebiegu.

2.6 Zachowanie układu dla różnych częstotliwości

W tym podrozdziale pokazane zostało jak zachowuje się układ w zależności od częstotliwości z jaką jest do niego podawany sygnał zegarowy o połówkowym wypełnieniu. Przetestowane częstotliwości to: 1 GHz, 2 GHz, 3.125 GHz, 4 GHz, 5 GHz oraz 6 GHz. Na wykresie 2.31 pokazany został wyłącznie sygnał różnicowy jaki byłby obserwowany na odbiorniku. Analizując poniższe wykresy można zauważyć, że układ jest w stanie działać poprawnie do 4 GHz, może nawet 5 GHz.

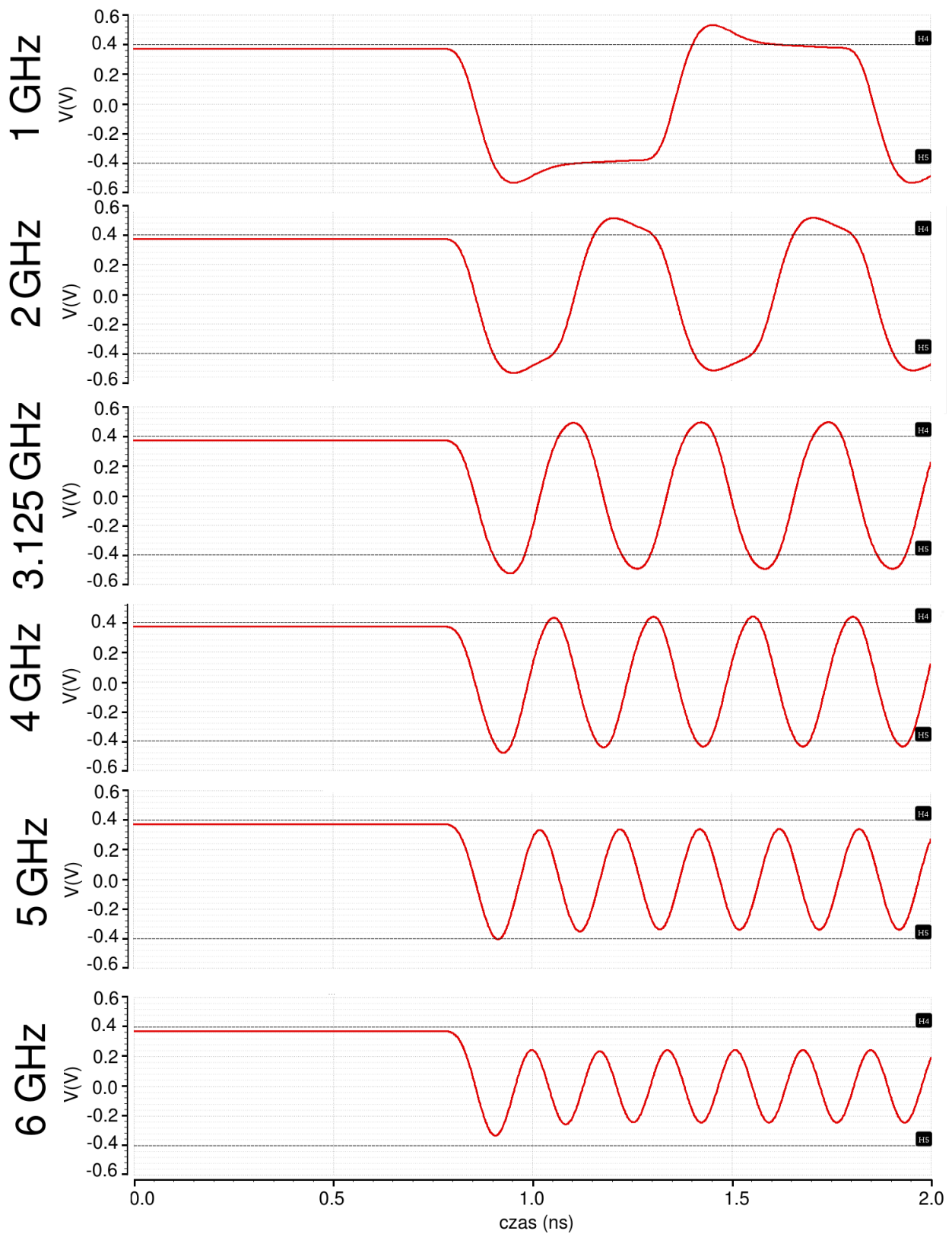
2.7 Podsumowanie projektu w technologii IBM 130 nm

Projekt interfejsu w technologii IBM 130 nm jest najdokładniej zbadanym oraz przesymulowanym do tej pory układem. Jego poprawne działanie dla częstotliwości nawet do 5 GHz potwierdzają liczne symulacje, takie jak symulacja czasowa, Monte Carlo, czy brzegowa.

W celu uzyskania wiarygodnych wyników symulacji oprócz samego interfejsu do układu zostały dodane liczne elementy obciążające, które znacznie pogarszają jakość sygnału i jego transmisję. Będą one jednak obecne w rzeczywistych pomiarach przeprowadzonych po etapie produkcji układu, dlatego nie można ich pominąć.

Interfejs zasilany jest napięciem o wartości 1.2 V. Do każdego z buforów doprowadzony jest referencyjny prąd równy 100 μA , który jest prądem odniesienia dla układu luster prądowych, generujących prąd potrzebny do uzyskania odpowiedniej amplitudy sygnału różnicowego na wyjściu. Łączny prąd jaki pobiera interfejs wynosi 24.70 mA. Całkowita moc pobierana przez interfejs wynosi 29,64 mW

Podsumowując, układ spełnia wszystkie początkowe założenia jakie były postawione. Jest gotowy do przejścia z nim do etapu rysowania masek produkcyjnych, a następnie produkcji na waflu krzemowym.



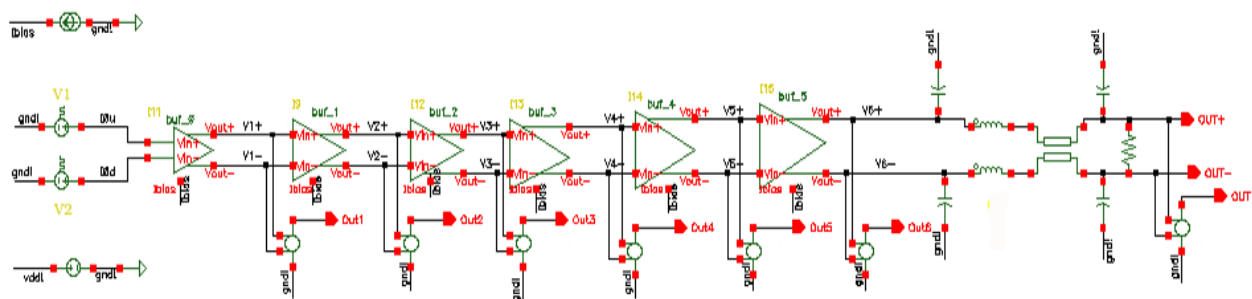
Rysunek 2.31: Sygnał różnicowy widoczny na odbiorniku dla różnych częstotliwości nadawania danych.

Rozdział 3

Projekt układu nadajnika CML w technologii AMS 350 nm.

3.1 Architektura łańcucha buforów i nadajnika CML

3.1.1 Schemat i parametry układu



Rysunek 3.1: Schemat interfejsu do szybkiej transmisji danych w technologii AMS 350 nm

Rysunek 3.1 przedstawia schemat interfejsu do szybkiej transmisji danych w technologii AMS 350 nm. Układ właściwy składa się z 6 buforów CML, gdzie ostatni z nich jest nadajnikiem układu oraz pojemności podłączonych do wyjścia nadajnika. Użyte pojemności zastępują pady, które powinny się w tym miejscu znajdować. Zaraz za ostatnim stopniem układu znajdują się elementy, które mają symulować rzeczywiste obciążenia jakim układ będzie poddawany: indukcyjność, linia transmisyjna oraz pady wejściowe odbiornika - w tym przypadku kolejne dwa kondensatory.

Ponieważ technologia AMS 350 nm posiada zwykle, niskorezystywne podłoże, które jest bezpośrednio połączone z masą, nie potrzebne są dodatkowe przejścia łączące elementy układu z właściwym podłożem technologii. Wszystkie są bezpośrednio podpięte do podłoża.

Całkowity prąd jaki jest generowany w układzie wynosi 24,60mA. Prąd ten podobnie jak w przypadku technologii IBM pochodzi z zastosowania luster prądowych z zewnętrznym źródłem referencyjnym o wartości 50μA.

W technologii AMS 350 nm napięcie zasilające jak i zarazem poziom wysoki sygnału na pojedynczym wyjściu ustalone zostało na poziomie 3.3V. Zmienne źródła napięciowe, oznaczone na rysunku 3.1 jako V1 i V2 imitują sygnał jaki docelowo ma obsługiwać projektowany nadajnik. Poziom wysoki sygnał, jak już wcześniej wspomniano odpowiada napięciu 3.3V, natomiast sygnał niski zgodnie z wymogami standardu CML musi być od niego o 400mV niższy, czyli ustala się na poziomie 2.9V tak, aby napięcie różnicowe miało amplitudę 800 mV.

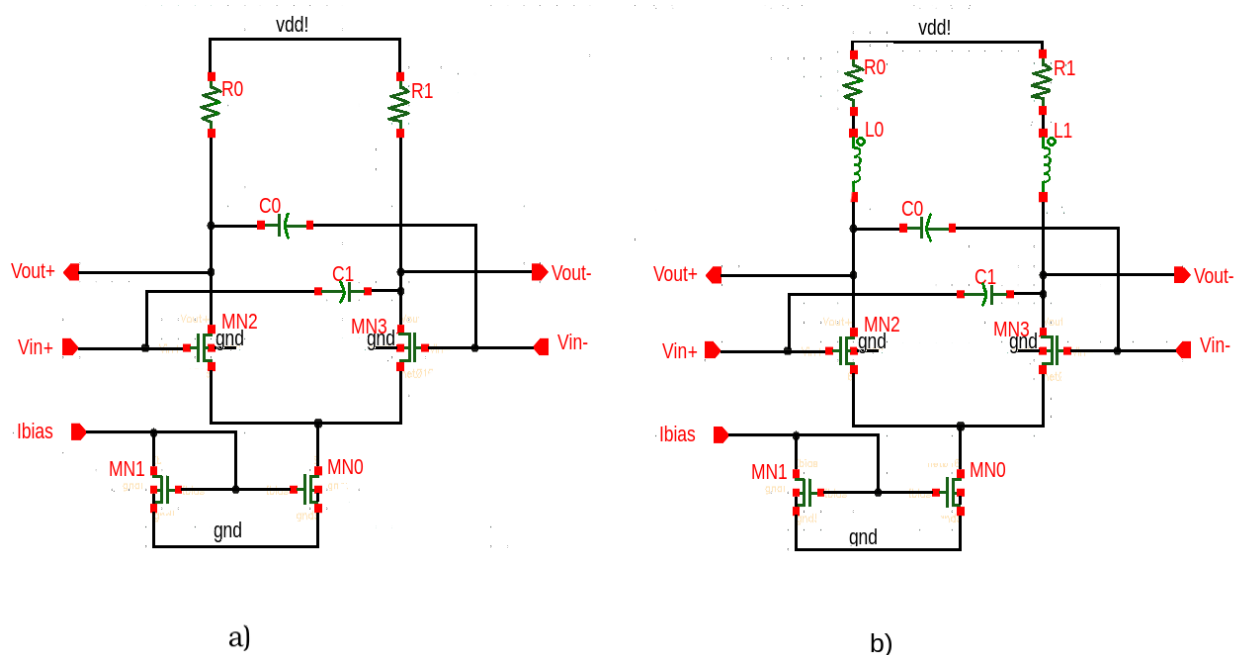
Tabela 3.1: Elementy obciążające układ

L	C	Z _o	R
2 nH	500 fF	50 Ω	100 Ω

W tabeli 3.1 zebrane zostały wartości elementów obciążających wyjście układu. Przykładowo wartość pojemności C = 500 fF odnosi się do każdego z czterech widocznych na rysunku 3.1 kondensatorów.

3.1.2 Schemat i parametry poszczególnych stopni układu

Do zaprojektowania poszczególnych stopni zostały wykorzystane architektury buforów pokazane na rysunku 3.2. Schemat po lewej stronie odpowiada pierwszemu stopniowi układu. Zostało tam wykorzystane dodatkowo sprzężenie pojemnościowe w celu poprawy jakości pasma przenoszenia sygnału - podobnie jak w technologii IBM 130 nm. Różnica jest związana z następnym stopniem. W AMS 350 nm już drugi bufor wykorzystuje dodatkową indukcyjność do zwiększenia amplitudy sygnału i tym samym zwiększenia pasma przenoszenia sygnału. W tym momencie należy jednak zaznaczyć że technologia AMS 350 nm nie posiada w swoich bibliotekach rzeczywistego modelu cewki. Induktancje użyte w stopniach 2 - 6 są elementami idealnymi, nie uwzględniającymi strat jakie mogą powstać w skutek pojawienia się dodatkowych obciążeń. Pasożytnicze pojemności, rezystancje i indukcyjności, jakie



Rysunek 3.2: Architektura poszczególnych stopni układu interfejsu do szybkiej transmisji danych w technologii AMS 350 nm. **a)** Schemat pierwszego stopnia układu, **b)** Schemat 2-6 stopnia układu

pojawiają pomiędzy warstwami z których element jest zrobiony, a także podczas produkcji układu, nieporównywalnie zmieniają wynik symulacji danego elementu. W związku z tym otrzymane wyniki nie są do końca wiarygodne. Fakt braku odpowiednich masek produkcyjnych indukcyjności był jedną z głównych przyczyn zmiany technologii projektowania interfejsu z AMS 350 nm na technologię IBM 130 nm.

Parametry rezystorów, pojemności i indukcyjności użytych w poszczególnych stopniach zostały zestawione w poniższych tabelach.

Tabela 3.2: Parametry charakteryzujące pojemności, rezystory i indukcyjności oraz prąd generowany przez źródła prądowe poszczególnych stopni

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
C	800 fF	-	-	-	-	-
R	1.6 kΩ	800 Ω	400 Ω	200 Ω	100 Ω	50 Ω
L	-	-	16 nH	8 nH	4 nH	4 nH
I_{SS}	256.4 μA	517.4 μA	1.035 mA	2.072 mA	4.144 mA	16.580 mA

Na podstawie tabeli 3.2 wyraźnie widać, że rezystory i indukcyjności zmieniają się dokładnie tak jak przewiduje to teoria. Jedynie wartości prądu są delikatnie zawyżone. Wynika to z tych samych przyczyn co w technologii IBM: nie idealnej równości napięć V_{ds} na tranzystorach MN0 i MN1 oraz symulowania ich rozmiarów w całości, tzn. nie dzieląc kanału tranzystora na mniejsze paski.

Tabele 3.3 i 3.4 zestawiają rozmiary oraz parametry tranzystorów użytych w kolejnych buforach, które zostały wyznaczone podczas symulacji stałoprądowej buforów CML.

Tabela 3.3: Parametry charakteryzujące tranzystor MN2 w kolejnych stopniach układu

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
W	10 μm	17 μm	35 μm	70 μm	140 μm	560 μm
L	350 nm	350 nm	350 nm	350 nm	350 nm	350 nm
V_{ds}	992.20 mV	1.34 V	944.9 mV	1.3340 V	944.70 mV	1.13 V
V_{dsat}	312.30 mV	75.67 mV	330.1 mV	76.31 mV	329.50 mV	77.82 mV
V_{th}	914.30 mV	916.70 mV	923.4 mV	917.40 mV	923.50 mV	919.70 mV
V_{gs}	1.29 V	943.00 mV	1.335 V	944.90 mV	1.33 V	950.30 mV
g_m	1.12 mS	292.30 μS	4.141 mS	1.24 mS	16.61 mS	10.20 mS
C_{gs}	11.51 fF	15.07 fF	40.86 fF	63.15 fF	164.10 fF	517.40 fF
C_{gd}	2.33 fF	3.11 fF	8.29 fF	12.94 fF	33.32 fF	114.60 fF

Tabela 3.4: Parametry charakteryzujące tranzystor MN3 w kolejnych stopniach układu

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
W	10 μm	17 μm	35 μm	70 μm	140 μm	560 μm
L	350 nm	350 nm	350 nm	350 nm	350 nm	350 nm
V_{ds}	1.39 V	947.30 mV	1.33 V	944.90 mV	1.33 V	743.60 mV
V_{dsat}	60.87 mV	335.60 mV	76.14 mV	329.70 mV	76.24 mV	332.40 mV
V_{th}	982.00 mV	922.80 mV	917.40 mV	923.40 mV	917.40 mV	925.60 mV
V_{gs}	898.90 mV	1.34 V	944.50 mV	1.33 V	944.80 mV	1.34 V
g_m	93.29 μS	2.03 mS	613.80 μS	8.29 mS	2.47 mS	65.46 mS
C_{gs}	6.27 fF	19.74 fF	31.41 fF	81.92 fF	126.30 fF	657.90 fF
C_{gd}	1.79 fF	4.01 fF	6.45 fF	16.64 fF	25.91 fF	134.70 fF

Symulacja DC była tak sparametryzowana, że zawsze jeden z tranzystorów przewodził prąd, a drugi był zatkany. Uzyskano to dzięki ustawieniu V_{DC} na 1.2 V w jednym generatorze sygnału zegarowego oraz 0.8 V w drugim. Fioletowy kolor kolumny oznacza, że tranzystor w tym stopniu przewodzi prąd.

Tranzystor MN1 znajdujący się w źródle prądowym ma stałe parametry dla wszystkich stopni układu. Zostały one przedstawione w tabeli 3.5.

Tabela 3.5: Parametry tranzystora MN1 w lustrze prądowym we wszystkich stopniach układu.

W	L	I_d	V_{ds}	V_{dsat}	V_{th}	V_{gs}
10 μm	1 μm	50 μm	802.4 mV	201.4 mV	535.7 mV	802.4 mV
		g_m	C_{gs}	C_{gd}		
		337.7 μS	34.39 fF	2.32 fF		

Tabela 3.6 zawiera parametry tranzystora MN0, który znajduje się w każdym lustrze prądowym w kolejnych buforach.

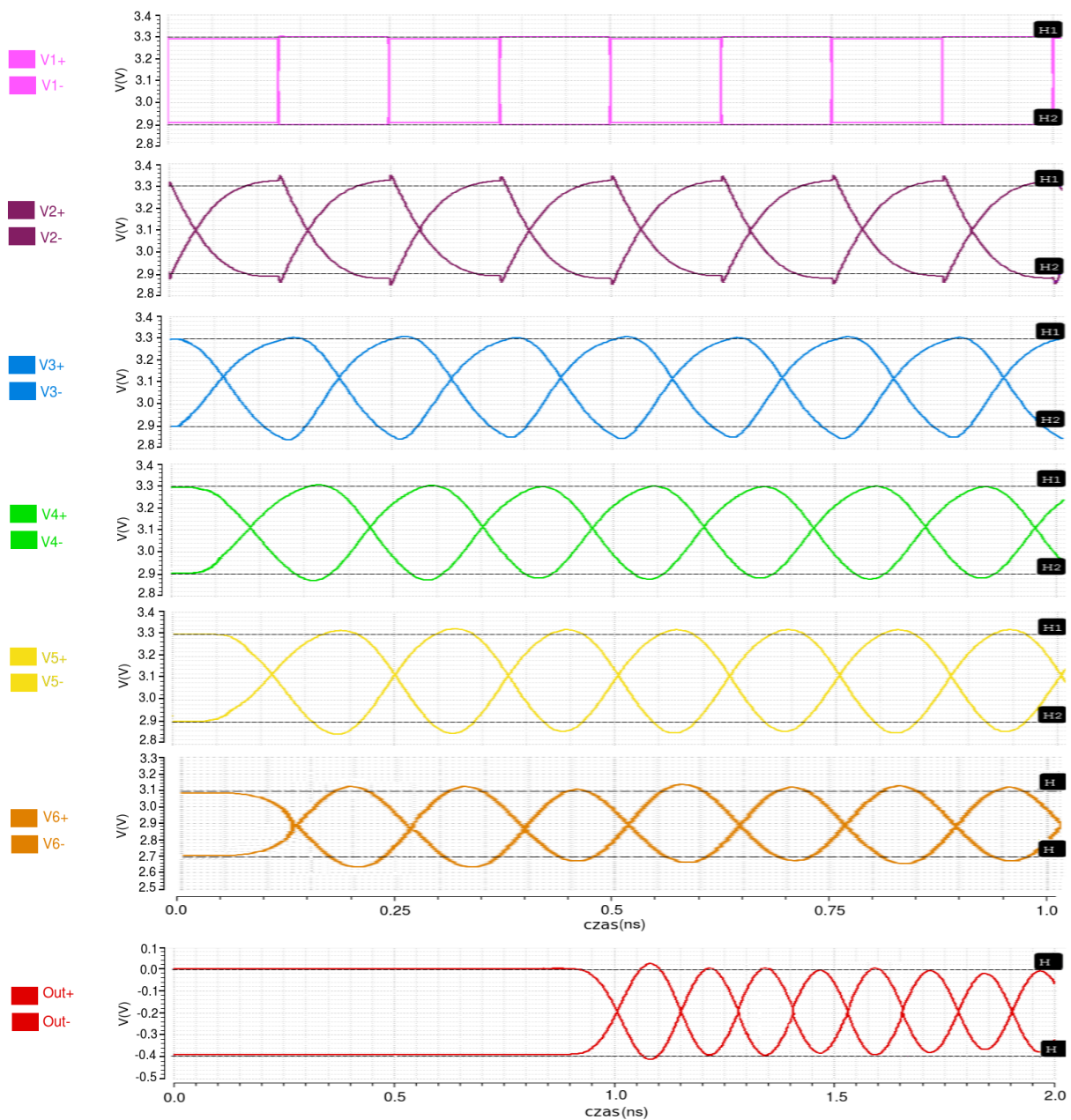
Tabela 3.6: Parametry charakteryzujące tranzystor lustra prądowego (MN0) w kolejnych stopniach układu.

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
W	50 μm	100 μm	200 μm	400 μm	800 μm	3.2 mm
L	1 μm	1 μm	1 μm	1 μm	1 μm	1 μm
V_{ds}	1.93 V	1.90 V	1.91 V	1.90 V	1.90 V	1.90 mV
V_{dsat}	201.40 mV	201.30 mV	201.30 mV	201.50 mV	201.40 mV	201.40 mV
V_{th}	536.30 mV	536.40 mV	536.40 mV	536.40 mV	536.40 mV	536.40 mV
V_{gs}	802.40 mV	802.40 mV	802.40 mV	802.40 mV	802.40 mV	802.40 mV
g_m	1.74 mS	3.47 mS	6.98 mS	13.96 mS	27.92 mS	111.70 mS
C_{gs}	174.40 fF	349.40 fF	699.40 fF	1.39 pF	2.79 pF	12.20 pF
C_{gd}	8.31 fF	16.56 fF	33.14 fF	66.31 fF	132.70 fF	531.10 fF

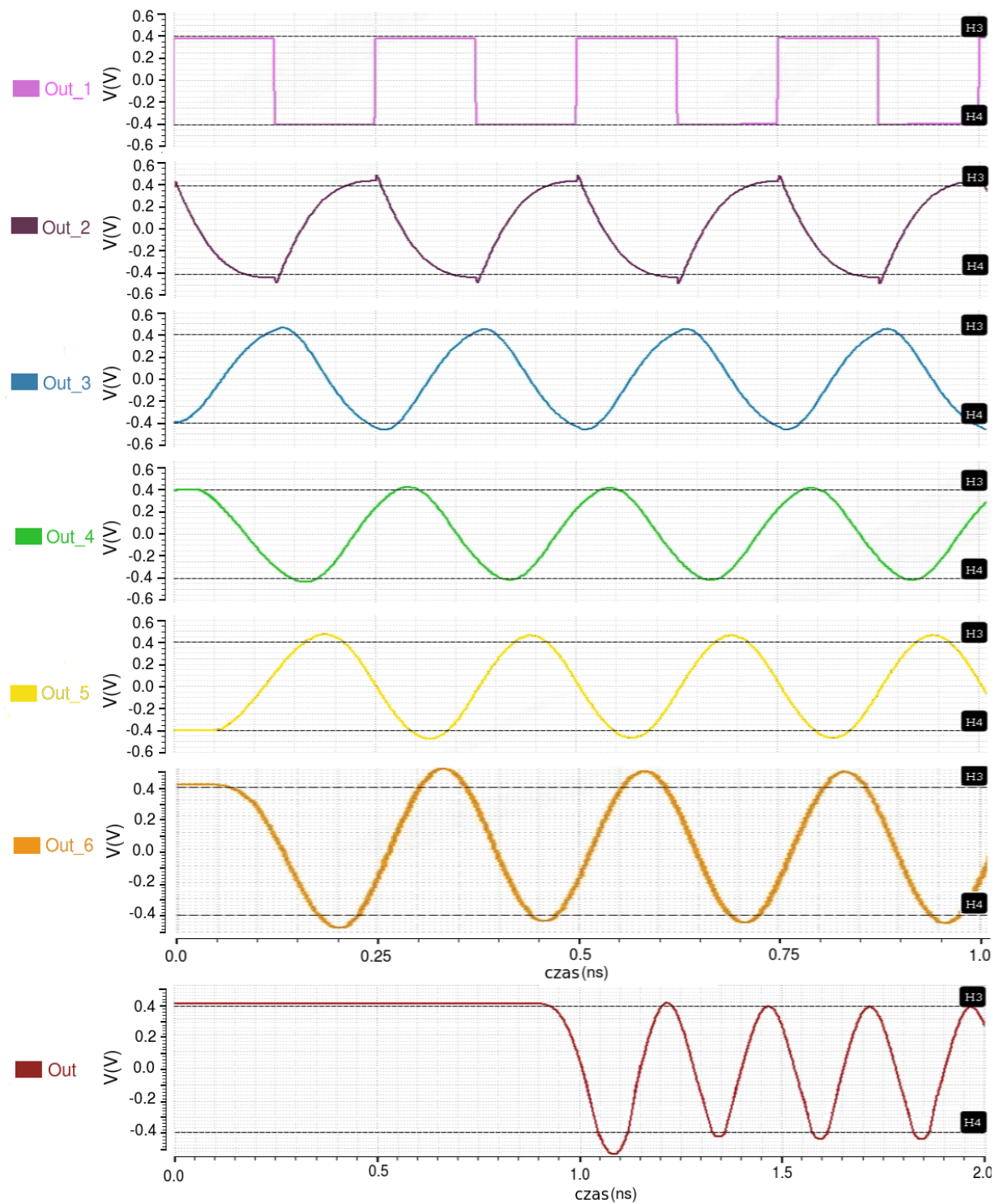
Na podstawie otrzymanych wyników można stwierdzić że każdy z tranzystorów, w każdym ze stopni pracuje w oczekiwanym obszarze nasycenia. Oznacza to że bez zakłóceń powinny przewodzić prąd i przełączać się możliwie jak najszybciej.

3.2 Symulacje poszczególnych stopni

Aby potwierdzić wniosek o prawidłowej pracy tranzystorów i zarazem każdego bufora, zostały wykonane symulacje pokazujące przebiegi i zachowanie sygnału różnicowego na wyjściu każdego ze stopni oraz na wyjściu całego układu. Tutaj podobnie jak poprzednio, sygnał jaki dociera na odbiornik jest odpowiednio opóźniony przez użytą podczas symulacji linię długą.



Rysunek 3.3: Przebiegi sygnału na pojedynczych wyjściach kolejnych stopni układu w technologii AMS 350 nm



Rysunek 3.4: Przebiegi różnicowe sygnału na wyjściach kolejnych stopni układu w technologii AMS 350 nm

Rysunek 3.3 pokazuje sygnał jaki można zaobserwować na każdej z gałęzi na wyjściu kolejnych stopni łańcucha buforów, natomiast rys. 3.4 przedstawia sygnał różnicowy

przebiegów z rys. 3.3. Symulacje te zostały wykonane dla częstotliwości 4 GHz. Na ich podstawie również można stwierdzić że zaprojektowany interfejs działa zgodnie z założeniami. Sygnał na wyjściu całego układu (oznaczony kolorem czerwonym) zachowuje się poprawnie, dzięki czemu odbiornik będzie mógł prawidłowo odczytać i zinterpretować wysyłane mu informacje.

3.2.1 Symulacja Monte Carlo

Aby mieć pewność że zachowanie sygnału za każdym razem użycia interfejsu również będzie poprawnie, przeprowadzona została symulacja Montecarlo dla 200 próbek przebiegów. Wyniki tej symulacji przedstawione zostały w tabeli 3.7 i 3.8 zaś sygnału widocznego na odbiorniku (rezystorze) na rysunku 3.5.

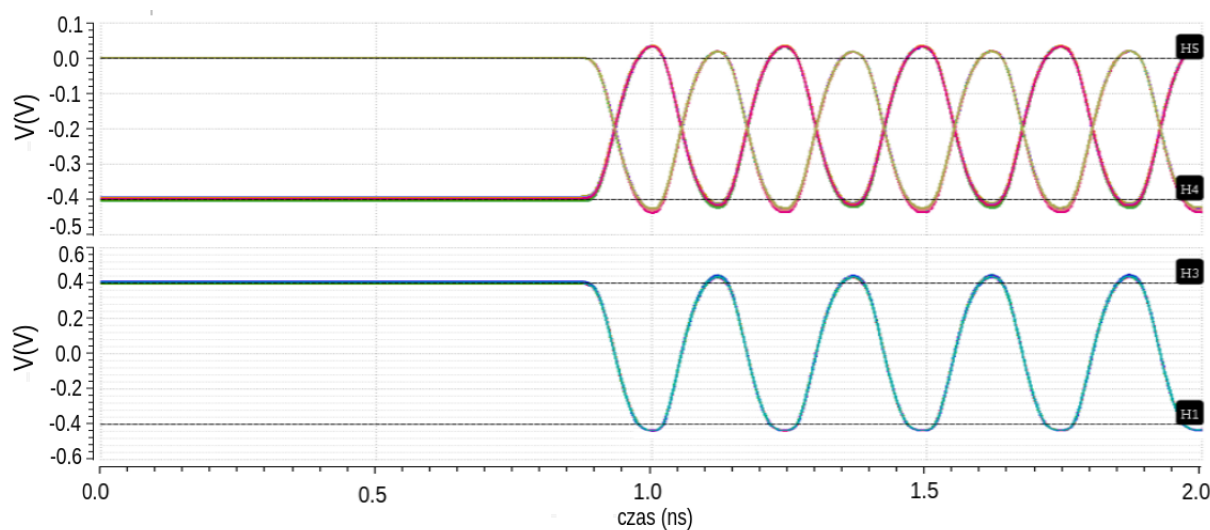
Tabela 3.7: Czasy narastania i opadania sygnału dla kolejnych stopni układu na podstawie symulacji Monte Carlo

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
min.	760.40 fs	42.64 ps	55.83 ps	49.14 ps	58.87 ps	60.34 ps	90.24 ps
max.	765.50 fs	64.40 ps	92.68 ps	96.40 ps	105.70 ps	112.50 ps	117.4 ps
średnia	762.90 fs	52.73 ps	71.15 ps	68.43 ps	78.81 ps	75.49 ps	84.10 ps

Tabela 3.8: Czasy trwania poziomów ustalonych sygnału dla kolejnych stopni układu na podstawie symulacji Monte Carlo

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
min.	249.84 ps	121.20 ps	64.64 ps	57.20 ps	38.60 ps	25.00 ps	15.20 ps
max.	249.84 ps	164.72 ps	138.34 ps	151.72 ps	132.26 ps	129.32 ps	69.52 ps
średnia	248.47 ps	144.54 ps	107.70 ps	113.14 ps	92.38 ps	99.02 ps	49.80 ps

Na podstawie tabeli 3.8 widać, że minimalny czas w jakim sygnał, widziany przez odbiornik, znajduję się w stanie ustalonym wynosi zaledwie 15.02 ps. Jednak należy zauważyć że jest to czas minimalny, jaki został osiągnięty podczas 1 z 200 symulacji MC. Średnia wartość trwania poziomu ustalonego wynosi prawie 50 ps, co świadczy o tym, że zdecydowana większość symulacji nie osiągała tak małych wartości.



Rysunek 3.5: Symulacja Monte Carlo dla wyjścia układu w technologii AMS 350 nm

3.2.2 Zachowanie układu dla różnych częstotliwości

Rozważania w poprzednich podrozdziałach były przeprowadzone dla okresu nadawania sygnału zegarowego $T=250$ ps. Aby wyznaczyć zakres częstotliwości w których może poprawnie działać zaprojektowany układ, wykonano serie symulacji dla różnych częstotliwości przesyłanych danych. Przetestowane częstotliwości to: 1GHz, 2 GHz, 3.125 GHz, 4 GHz oraz 5 GHz.

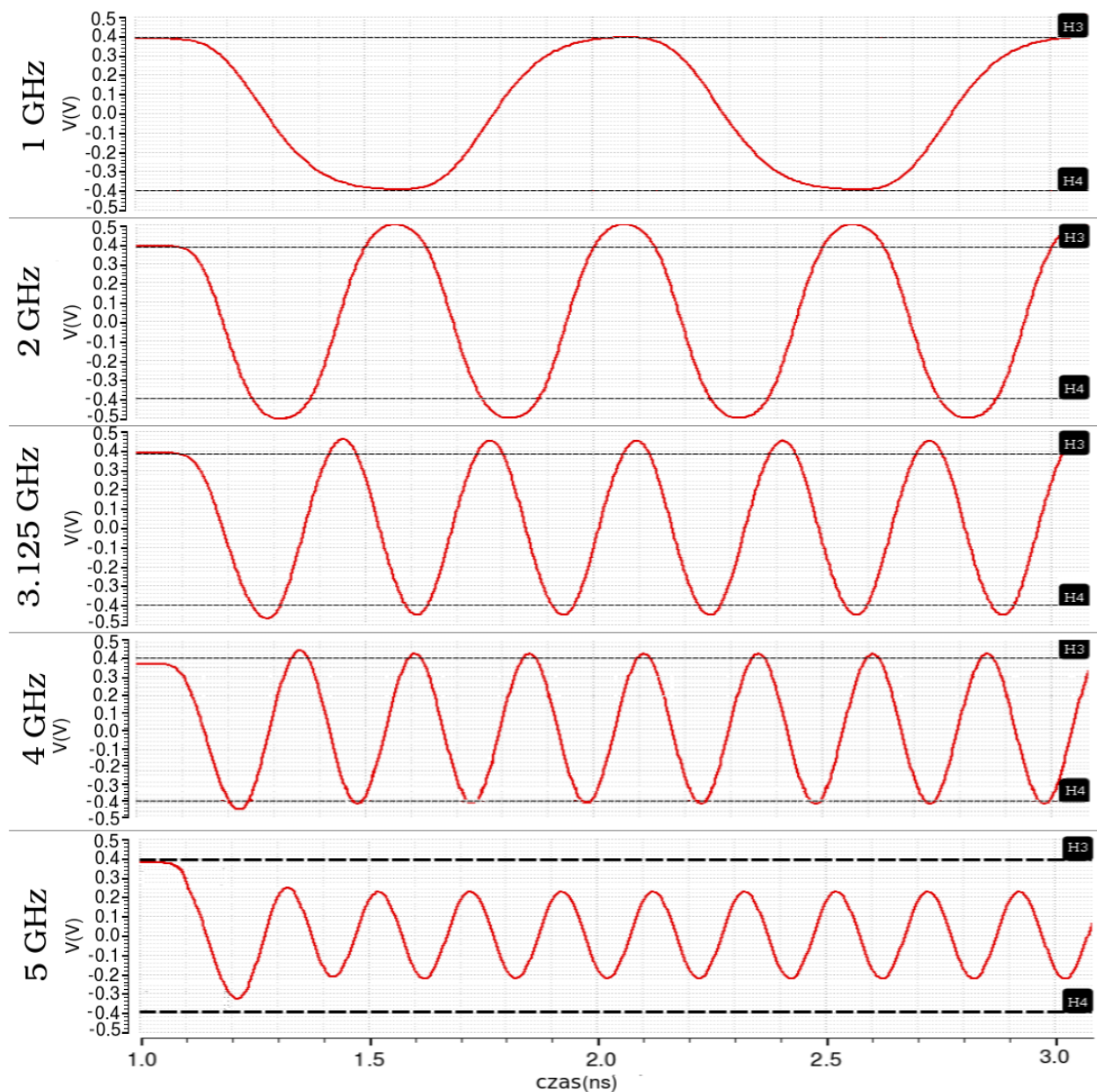
Wykres (rys. 3.6) pokazuje wyłącznie sygnał różnicowy jaki byłby obserwowany na odbiorniku. Na jego podstawie można wywnioskować, że wysyłając dane z częstotliwością do 4 GHz, odbiornik w dalszym ciągu będzie w stanie poprawnie odczytać otrzymane informacje. Dla częstotliwości 5 GHz czasy narastania i opadania są już zbyt duże w stosunku to okresu sygnału. Sygnał nie zdąży osiągnąć wymaganych poziomów, które pozwoliłyby na jego poprawną interpretację.

3.3 Podsumowanie projektu w technologii AMS 350 nm

Interfejs do szybkiej transmisji danych zaprojektowany w technologii AMS 350 nm spełnia wszystkie wymagania jakie zostały narzucone na projekt. Zaprojektowany został zgodnie z regułami projektowania opisanymi w rozdziale “1.4. Bufor CML” oraz “1.5 Łańcuch buforów CML”. Zasilany jest napięciem 3.3 V. Z zewnętrznego źródła referencyjnego o wartości 50 μA , prąd jest transformowany w lustrach prądowych, na taki jaki jest potrzebny do po-

laryzacji poszczególnych stopni. Całkowity prąd jaki pobiera układ wynosi 24.60 mA , co przekłada się na moc 81.18 mW

W celu potwierdzenia poprawnej pracy interfejsu oprócz podstawowych symulacji została przeprowadzona również symulacja Monte Carlo, którą zaprojektowany układ przeszedł bez zarzutów. Układ działa poprawnie dla częstotliwości do 4 GHz , powyżej tej wartości układ nie osiąga wymaganych poziomów przez co odbiornik nie jest w stanie poprawnie zinterpretować sygnału.



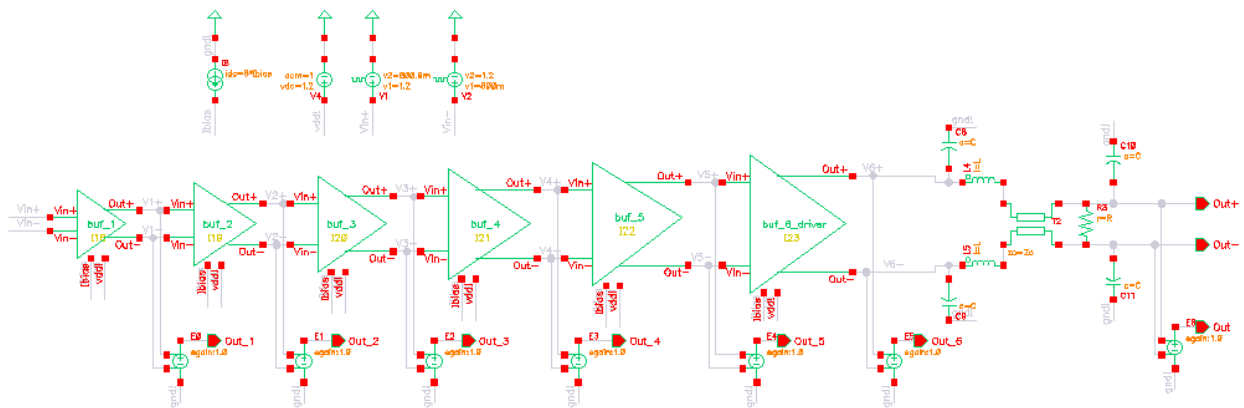
Rysunek 3.6: Sygnał różnicowy widoczny na wyjściu układu dla różnych częstotliwości nadawania danych

Rozdział 4

Projekt układu nadajnika CML w technologii TSMC 130 nm.

4.1 Architektura łańcucha buforów i nadajnika CML

4.1.1 Schemat i parametry układu



Rysunek 4.1: Schemat interfejsu w technologii TSMC 130 nm

Zewnętrzna architektura interfejsu do szybkiej transmisji danych w technologii TSMC 130 nm wygląda praktycznie identycznie jak ta przedstawiona dla IBM 130 nm, z wyjątkiem rodzaju podłoża. TSMC posiada podłoże bezpośrednio połączone z masą. Rysunek 4.1 przedstawia łańcuch buforów CML, elementy obciążające i zasilające układ.

Na wejścia układu (bufor 1) ze źródeł napięcia prostokątnego podane są sygnały imitujące dane jakie nadajnik ma obsługiwać. Sygnał jest przekazywany przez kolejne stopnie

układu aż do wyjścia nadajnika. Tam trafia na przeszkody w postaci pojemności symbolizujących pady, indukcyjności oraz linie transmisyjną, którą musi pokonać aby dotrzeć do odbiornika, symulowanego w układzie za pomocą 100 Ω rezystora.

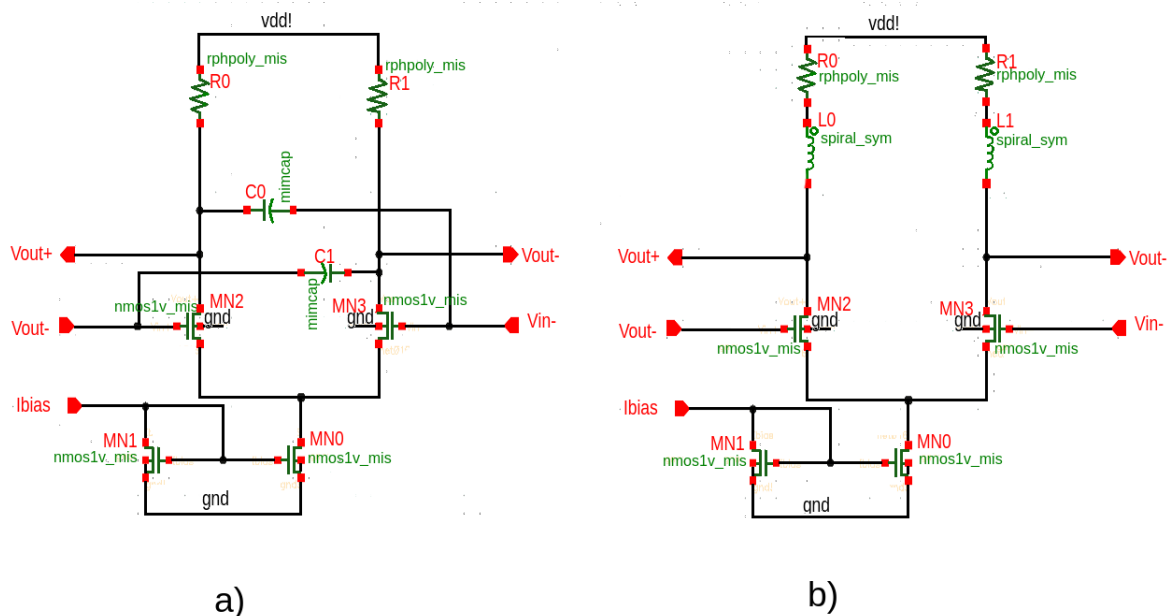
Do każdego z buforów przez przewód oznaczony jako "Ibias" doprowadzony jest prąd o wartości 100 μA , który następnie jest przekazywany na lustra prądowe. Napięcie zasilające dla tej technologii wynosi 1.2 V.

Tabela 4.1: Elementy obciążające układ.

L	C	Zo	R
2 nH	500 fF	50 Ω	100 Ω

Wartości elementów obciążających zostały zebrane w tabeli 4.1. Są one dokładnie takie same jak w poprzednich technologiach, gdyż symbolizują zewnętrzne straty sygnału, nie mające nic wspólnego z budową właściwego interfejsu.

4.1.2 Schemat i parametry poszczególnych stopni układu



Rysunek 4.2: Architektura poszczególnych stopni układu interfejsu do szybkiej transmisji danych w technologii TSMC 130 nm: a) schemat pierwszego oraz drugiego stopnia układu, b) schemat 3 - 6 stopnia układu.

W technologiach AMS i IBM dodatnie sprzężenie pojemnościowe zostało wykorzystane wyłącznie w pierwszym stopniu układu, ponieważ w kolejnych nie przynosiło oczekiwanych rezultatów. W technologii TSMC 130 nm pierwsze symulacje pokazały że najoptymalniej jest użyć sprzężenia pojemnościowego również w drugim stopniu łańcucha (rys. 4.2a). Kolejne bufory są standardowo ulepszone dodatkową indukcyjnością (rys. 4.2b). Przedstawione poniżej wyniki odnoszą się do danych wysyłanych z częstotliwością 4 GHz.

Wartości elementów takich jak rezystory, pojemności, czy indukcyjności dla kolejnych stopni łańcucha buforów zostały zebrane w tabeli 4.2.

Tabela 4.2: Parametry charakteryzujące pojemności, rezystory i indukcyjności oraz prąd generowany przez lustra prądowe kolejnych stopni

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
C	1 pF	0.5 pF	-	-	-	-
R	1.6 k Ω	800 Ω	400 Ω	200 Ω	100 Ω	50 Ω
L	-	-	4.78 nH	2 nH	1.5 nH	675 pH
I	253.70 μA	505.24 μA	1.09 mA	2.00 mA	4.04 mA	16.57 mA

Odchylenia w tabeli 4.2 od wartości teoretycznych w wartościach otrzymanych prądów, czy indukcyjności, wynikają z nieidealności zastosowanych elementów. Można również zauważyć, że wartości zastosowanych indukcyjności są znacznie mniejsze niż w pozostałych technologiach, a mimo to układ działa znacznie lepiej. Wymiary tranzystorów również są znacznie mniejsze. Przykładowo największy tranzystor w układzie, czyli M0 w nadajniku jest prawie pięć razy mniejszy niż w innych technologiach.

Tranzystor MN1 znajdujący się w źródle prądowym ma stałe parametry dla wszystkich stopni układu. Zostały one przedstawione w tabeli 4.3.

Tabela 4.3: Parametry tranzystora MN1 w lustrze prądowym dla wszystkich stopni układu.

W	L	I_d	V_{DS}	V_{Dsat}
5 μm	450 nm	100 μA	557.318 mV	178.189 mV
V_{TH}	V_{GS}	C_{gs}	C_{gd}	g_m
377.675 mV	557.318 mV	-18.847 fF	-2.101 fF	857.489 μS

Tabele 4.4 i 4.5 przedstawiają parametry różne dla kolejnych stopni oraz wartości, charakteryzujące tranzystory pary różnicowej, które uzyskane zostały na podstawie symulacji czasowych i stałoprądowych układu.

Tabela 4.4: Parametry charakteryzujące tranzystor M2 w kolejnych stopniach układu

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
W	$2 \mu m$	$4 \mu m$	$7 \mu m$	$12 \mu m$	$23 \mu m$	$90 \mu m$
L	$130 nm$	$130 nm$	$130 nm$	$130 nm$	$30 nm$	$130 nm$
V_{DS}	$381.82 mV$	$789.90 mV$	$380.33 mV$	$829.95 mV$	$420.73 mV$	$651.69 mV$
V_{Dsat}	$198.69 mV$	$45.64 mV$	$200.05 mV$	$47.09 mV$	$209.48 mV$	$59.19 mV$
V_{TH}	$516.61 mV$	$502.74 mV$	$507.71 mV$	$490.48 mV$	$502.24 mV$	$487.61 mV$
V_{GS}	$787.84 mV$	$378.45 mV$	$816.62 mV$	$394.46 mV$	$836.76 mV$	$461.76 mV$
g_m	$1.22 mS$	$74.45 \mu S$	$4.43 mS$	$372.05 \mu S$	$15.00 mS$	$10.16 mS$
C_{gd}	$909.38 aF$	$1.68 fF$	$3.01 fF$	$4.87 fF$	$9.86 fF$	$37.50 fF$
C_{gs}	$2.37 fF$	$1.85 fF$	$8.33 fF$	$5.77 fF$	$27.44 fF$	$56.88 fF$

Tabela 4.5: Parametry charakteryzujące tranzystor M3 w kolejnych stopniach układu

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
W	$2 \mu m$	$4 \mu m$	$7 \mu m$	$12 \mu m$	$23 \mu m$	$90 \mu m$
L	$130 nm$	$130 nm$	$130 nm$	$130 nm$	$130 nm$	$130 nm$
V_{DS}	$784.35 mV$	$381.71 mV$	$813.13 mV$	$425.83 mV$	$832.23 mV$	$255.87 mV$
V_{Dsat}	$47.32 mV$	$184.17 mV$	$49.59 mV$	$205.26 mV$	$52.52 mV$	$224.70 mV$
V_{TH}	$506.62 mV$	$514.91 mV$	$494.12 mV$	$503.33 mV$	$489.27 mV$	$499.74 mV$
V_{GS}	$387.84 mV$	$780.97 mV$	$416.43 mV$	$827.26 mV$	$432.64 mV$	$873.36 mV$
g_m	$47.62 \mu S$	$2.46 mS$	$321.80 \mu S$	$7.82 mS$	$1.55 mS$	$49.30 mS$
C_{gd}	$822.52 aF$	$1.72 fF$	$2.85 fF$	$5.15 fF$	$9.34 fF$	$39.73 fF$
C_{gs}	$932.31 aF$	$4.73 fF$	$3.51 fF$	$14.30 fF$	$12.41 fF$	$107.70 fF$

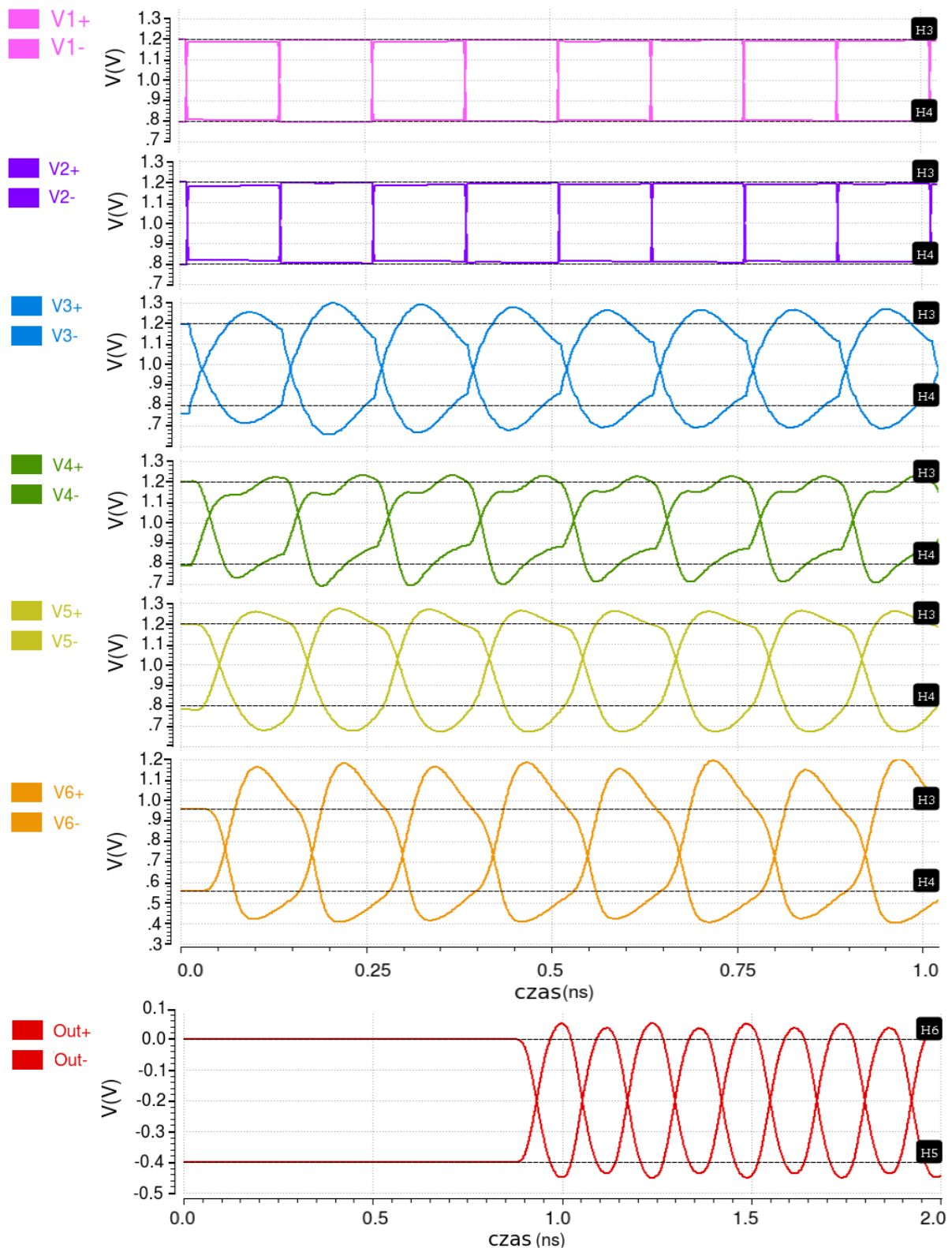
Tabela 4.6: Parametry charakteryzujące tranzystor lustra prądowego (M0) w kolejnych stopniach układu

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik
W	13 μm	30 μm	60 μm	103 μm	190 μm	680 μm
L	450 nm	450 nm	450 nm	450 nm	450 nm	450 nm
V_{ds}	350.55 mV	353.42 mV	334.12 mV	311.28 mV	319.22 mV	296.89 mV
$V_{ds\ sat}$	175.96 mV	171.37 mV	137.65 mV	175.99 mV	178.76 mV	183.31 mV
V_{th}	380.19 mV	388.06 mV	384.15 mV	380.27 mV	375.29 mV	367.28 mV
V_{gs}	557.32 mV	557.32 mV	557.32 mV	557.32 mV	557.32 mV	557.32 mV
g_m	2.20 mS	4.56 mS	9.62 mS	17.33 mS	34.15 mS	133.98 mS
C_{gd}	5.64 fF	13.32 fF	26.11 fF	45.09 fF	82.90 fF	299.05 fF
C_{gs}	48.92 fF	112.61 fF	225.60 fF	387.91 fF	716.59 fF	2.57 pF

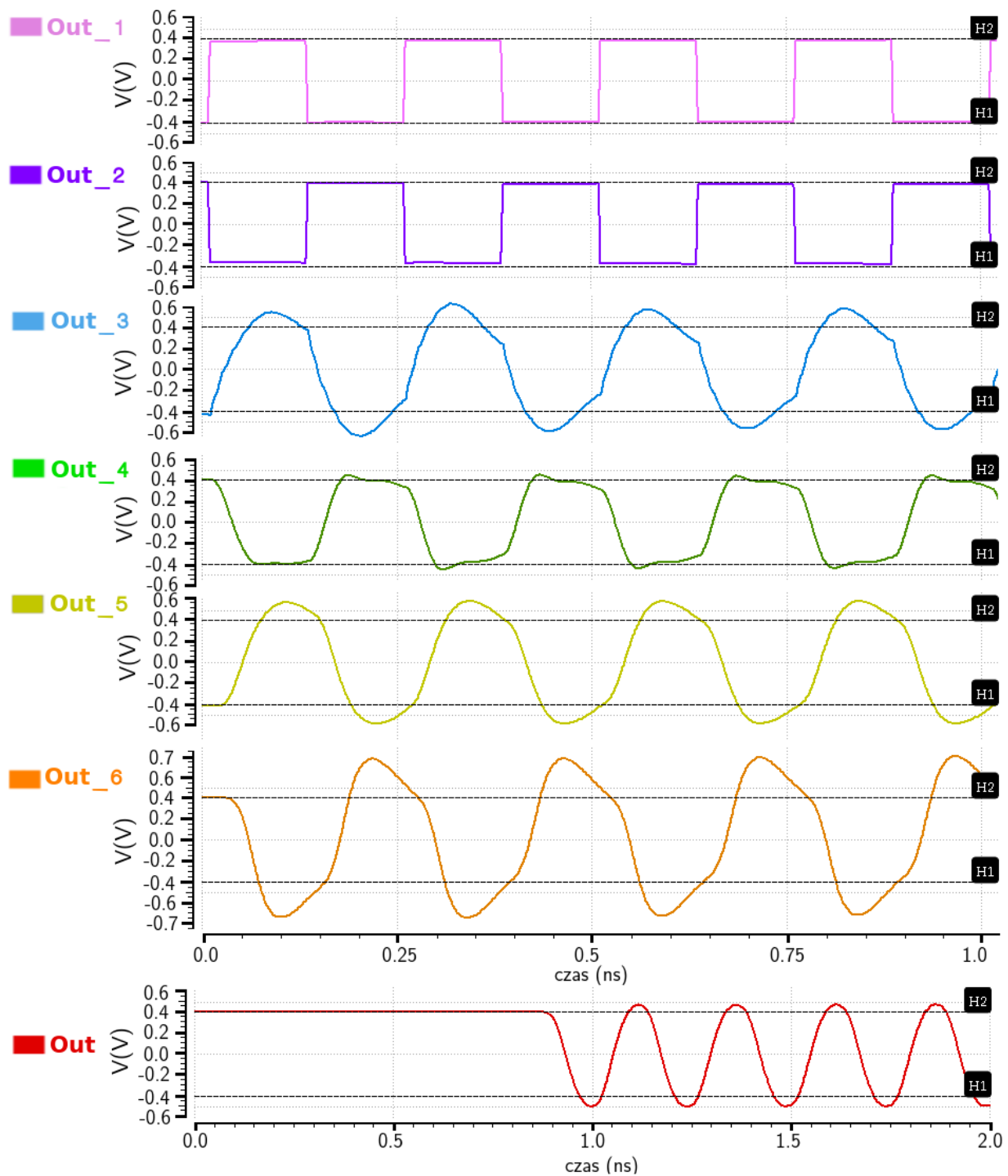
Na podstawie tabel 4.6, 4.4 i 4.5 podobnie jak w poprzednich rozdziałach, sprawdzono czy wszystkie tranzystory, we wszystkich buforach pracują w zakresie nasycenia. Na podstawie otrzymanych wyników można stwierdzić że każdy z tranzystorów w każdym ze stopni pracuje we właściwym zakresie oraz że tranzystory M2 i M3 przełączają się w odpowiednich momentach. Minimalna różnica napięć V_{ds} i $V_{ds\ sat}$ dla tranzystora T0 pojawia się w ostatnim stopni układu. Wynosi ona 113.5 mV. Oznacza to że tranzystor niezależnie od momentu powinien zawsze pozostać w zakresie nasycenia.

4.1.3 Symulacje dla poszczególnych stopni

Na dwóch kolejnych rysunkach przedstawione zostały przebiegi sygnałów na wyjściach każdego ze stopni układu. Rysunek 4.3 pokazuje sygnał widziany na pojedynczych zaciskach wyjściowych buforów, natomiast rysunek 4.4 ich różnice - sygnał różnicowy.



Rysunek 4.3: Przebiegi sygnału na pojedynczych wyjściach kolejnych stopni układu w technologii TSMC 130 nm



Rysunek 4.4: Przebiegi sygnału różnicowego na wyjściach kolejnych stopni układu w technologii TSMC 130 nm

Rozważając wykresy 4.3 oraz 4.4 można zauważyć znaczną poprawę jakości sygnału na wyjściu drugiego bufora w stosunku do poprzednich technologii (kolor fioletowy). Wynika to z zastosowania sprzężenia pojemnościowego również w architekturze drugiego stopnia.

Przesterowania sygnału w kolejnych stopniach są wynikiem użycia induktancji zwiększających amplitudę sygnału. W ostatnim stopniu układu, zaznaczonym kolorem pomarańczowym widać, że amplituda sygnału różnicowego znacznie przekracza wymagane 800 mV, bo wynosi aż 1.3V. Jest to spowodowane faktem, że sygnał ten przechodząc przez elementy obciążające podłączone do nadajnika układu straci część swojej amplitudy. Można to zaobserwować na ostatnim wykresie oznaczonym kolorem czerwonym, czyli sygnale jaki widziałby odbiornik - ma on już znacznie niższą amplitudę niż przebieg obserwowany na wyjściu nadajnika.

Symulacja Monte Carlo

Podobnie jak w poprzednich technologiach interfejs został podany symulacji Monte Carlo. Przeprowadzona została próba dla 200 przypadków. Jej wyniki zostały przedstawione w tabelach 4.7 i 4.8, a także na rysunku 4.5.

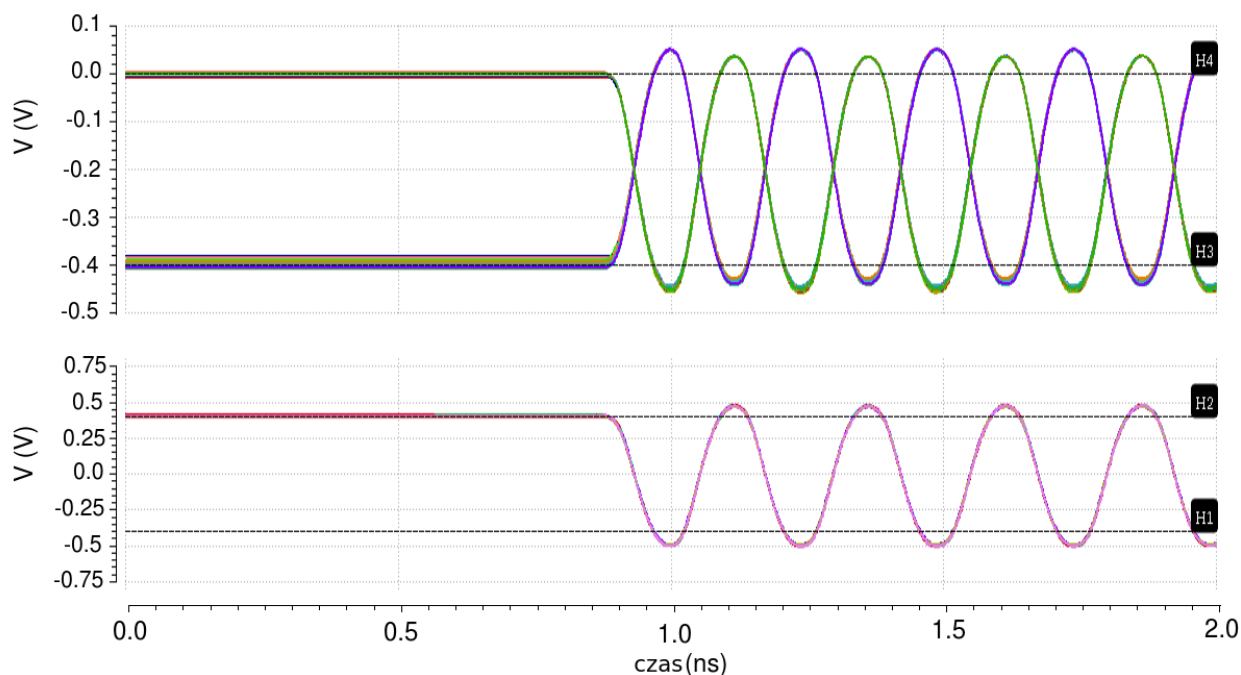
Tabela 4.7: Czasy narastania i opadania kolejnych stopni na podstawie symulacji Monte Carlo

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
min.	2.05 ps	2.11 ps	36.21 ps	27.76 ps	32.25 ps	21.48 ps	61.80 ps
max.	2.05 ps	2.11 ps	37.34 ps	29.86 ps	33.93 ps	22.91 ps	63.87 ps
średnia	2.56 ps	2.11 ps	36.75 ps	28.57 ps	33.02 ps	22.10 ps	62.72 ps

Tabela 4.8: Czasy trwania poziomu ustalonego dla kolejnych stopni na podstawie symulacji Monte Carlo

	buf. 1	buf. 2	buf. 3	buf. 4	buf. 5	nadajnik	odbiornik
min.	245.9 ps	245.8 ps	175.3ps	190.3 ps	182.1 ps	204.2 ps	122.3 ps
max.	245.9 ps	245.8 ps	177.6 ps	194.5ps	185.5ps	207.0 ps	126.4 ps
średnia	245.9 ps	245.8 ps	176.5 ps	192.9 ps	184.0 ps	205.8 ps	124.6 ps

Ponieważ najslabszy sygnał jest osiągany w odbiorniku układu (rys. 4.5), co wynika z istnienia wielu obciążeń jakie sygnał musi pokonać po drodze, dlatego jako jedyny został przedstawiony graficznie.



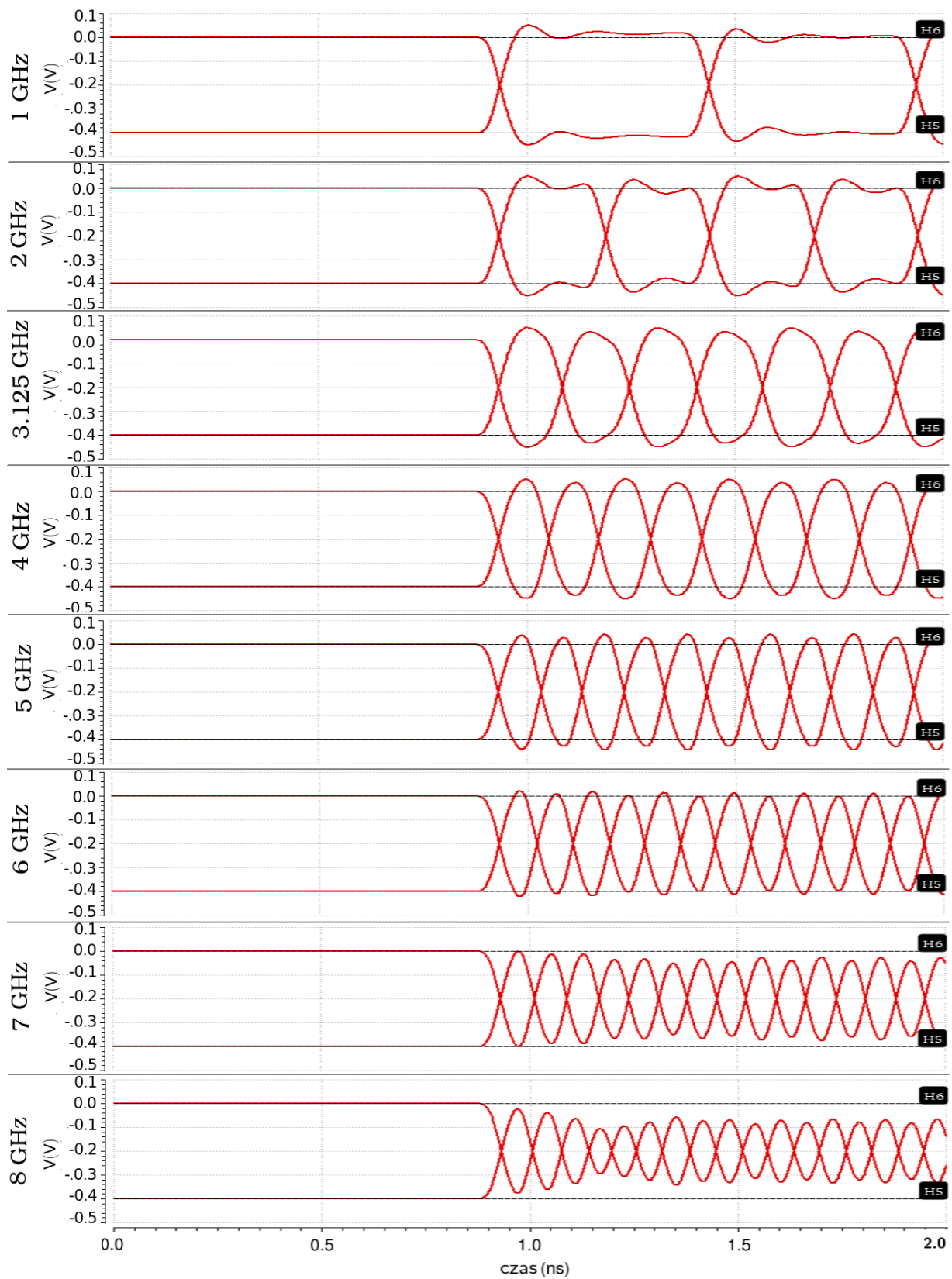
Rysunek 4.5: Wyniki symulacji Monte Carlo dla sygnału widzianego na odbiorniku

Analizując otrzymane wyniki widać dużą poprawę względem technologii AMS 350 nm oraz IBM 130 nm. Sygnał narasta zdecydowanie szybciej, a poziom ustalony jest znacznie dłuższy. Otrzymany wynik, czyli 124.6 ps, daje świetne podstawy do przypuszczenia, że układ jest w stanie działać znacznie szybciej niż aktualnie badane 4 GHz.

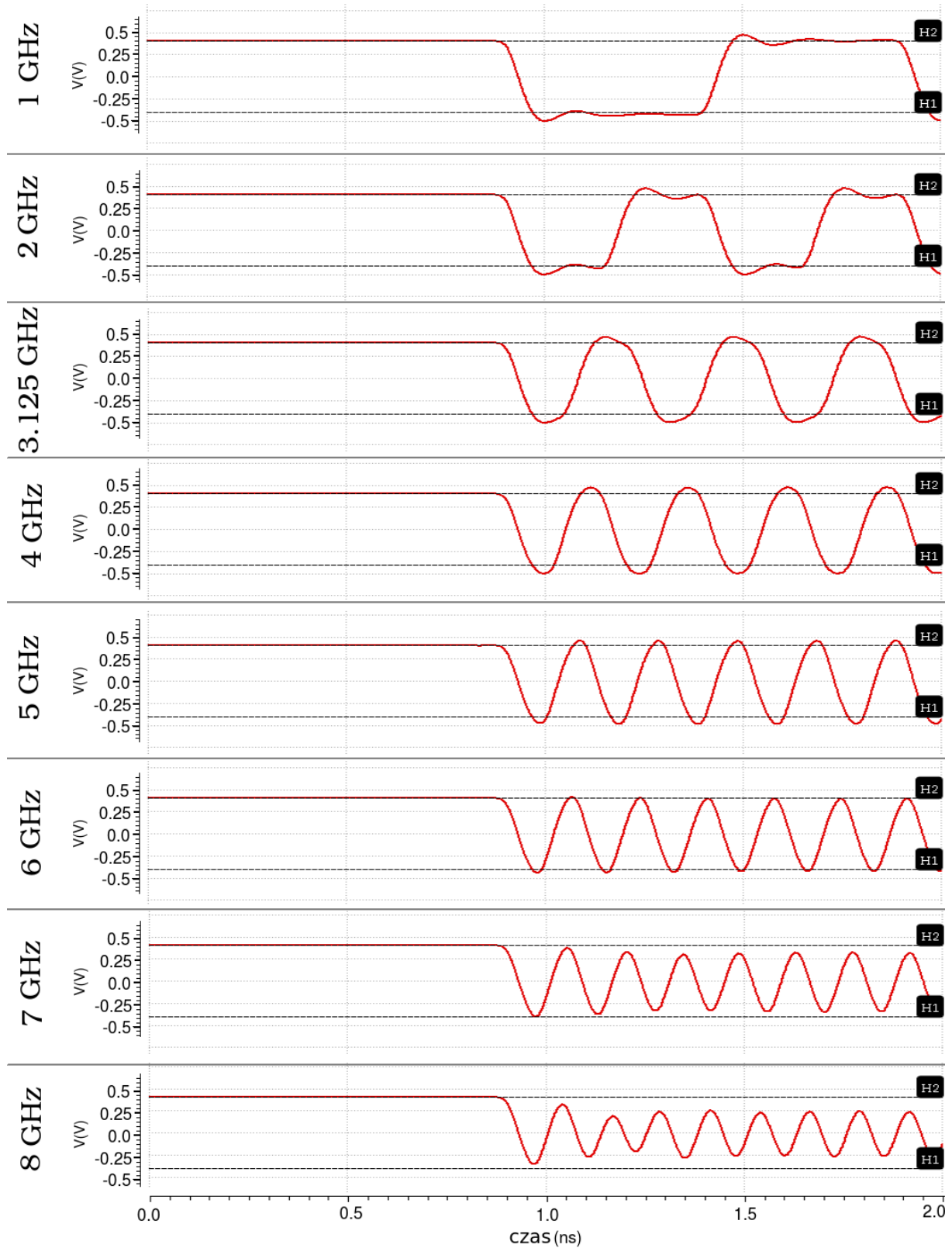
4.1.4 Zachowanie układu dla różnych częstotliwości

Mając podstawy do przypuszczeń, że zaprojektowany układ może działać znacznie szybciej niż to było do tej pory badane, zostały przeprowadzone symulacje czasowe dla różnych wartości częstotliwości podawanych na wejście układu. Ponieważ wyjście układu jest najwolniejszym punktem interfejsu, na wykresach 4.6 oraz 4.7 przedstawiony został wyłącznie sygnał widoczny w odbiorniku dla różnych częstotliwości podawania sygnału zegarowego. Jeśli sygnał na wyjściu będzie osiągał prawidłowe wartości, to można mieć pewność, że poprzednie stopnie będą równie dobrze przenosić nadawaną informację.

Rysunek 4.7 dokładnie pokazuje, że dla danych wysyłanych z częstotliwością niewiele większą niż 6 GHz odbiornik w dalszym ciągu będzie w stanie poprawnie odczytać i zinterpretować otrzymane informacje.



Rysunek 4.6: Sygnał widoczny na wyjściach $Out+$ i $Out-$ układu



Rysunek 4.7: Sygnał różnicowy widoczny na wyjściu układu Out

4.1.5 Podsumowanie projektu w technologii TSMC 130 nm

Układ w technologii TSMC 130 nm został zaprojektowany wedle reguł opisanych w rozdziałach 1.3, 1.4, 1.5, dotyczących projektowania zarówno pojedynczego bufora jaki i całego łańcucha.

Interfejs różni się delikatnie budową od tych przedstawionych w IBM i AMS, ponieważ używa sprzężenia pojemnościowego w dwóch pierwszych stopniach, a nie w jednym. Kolejne bufory są standardowo ulepszone dodatkową indukcyjnością.

Prąd przepływający przez układ w tej technologii wynosi 21.46 mA. Wiedząc że interfejs jest zasilany napięciem równym 1.2 V, wyznaczono zużycie mocy układu na poziomie 29.35 mW, co jest najmniejszą do tej pory osiągniętą wartością.

Bardzo dużą zaletą układu, znacznie wyróżniającego go na tle interfejsów w pozostałych technologiach jest częstotliwość z jaką może pracować. Symulacje czasowe pokazały, że zaprojektowany układ działa bez zarzutów aż do 6.5 GHz.

Podsumowanie

Celem pracy magisterskiej było zaprojektowanie i przesymulowanie interfejsu do szybkiej transmisji danych w trzech submikronowych technologiach CMOS: AMS 350 *nm*, IBM 130 *nm* oraz TSMC 130 *nm*. Stworzony układ miał spełniać takie wymagania jak: możliwość nadawania danych o częstotliwości przekraczającej 3 *GHz* oraz jak najniższe zużycie mocy.

Jako optymalny standard do zaprojektowania interfejsu uznano CML, ponieważ stwarza on możliwość pracy przy wysokich częstotliwościach, a także pobiera znacznie mniej mocy niż np. PECL. Jako pierwszy powstał układ w technologii AMS 350 *nm*. Niestety nie spełniała ona wymagań jakie stawiała praca magisterska, a mianowicie nie posiadała rzeczywistych modeli induktancji, które są kluczowe dla projektu. Zdecydowano się wtedy na wykonanie kolejnego układu, tym razem w nowoczesnej technologii IBM 130 *nm*. Powstały układ został zoptymalizowany i bardzo dokładnie przetestowany. Pozytywnie przeszedł wszystkie symulację Monte Carlo oraz brzegowe. Jednak ze względu na prawdopodobne zakończenie wspierania technologii przez producenta, końcowy układ został stworzony w technologii TSMC 130 *nm*.

W ogólności interfejs do szybkiej transmisji danych składa się z łańcucha pięciu buforów CML oraz nadajnika. Jednak w celu poprawnych symulacji dodane zostały również elementy obciążające, które mają imitować rzeczywiste obciążenia jakim będzie poddany sygnał na wyjściu nadajnika. Bufor CML bazuje na architekturze pary różnicowej. Należy jednak pamiętać że tranzystory składające się na nią, nie pracują w zakresie małosygnałowym, lecz jako klucze, które przełączają przepływ prądu pomiędzy dwoma gałęziami, tak że zawsze jeden z nich jest w stanie odciętym, a drugi w trybie przewodzenia. Im szybciej tranzystory się będą przełączać, tym układ będzie działał szybciej. Do tranzystorów pary różnicowej doprowadzony jest prąd z lustra prądowego. Wartości wygenerowanego prądu, rezystancji obciążających znajdujących się na drenach kluczy oraz ich rozmiary takie jak

szerokość i długość kanału, w każdym stopniu układu, zmieniają się proporcjonalnie do współczynnika skalującego.

Elementem sprawiającym że tytułowy projekt staje się wyjątkowo atrakcyjny, jest motyw wykorzystania induktancji w celu zwiększenia pasma przenoszenia oraz przyspieszenia układu. Szeregowe połączenie cewki z rezystorem obciążającym, dzięki czemu pozwala szybciej rozładować pasożytnicze pojemności układu, co znacznie skraca czas narastania sygnału podczas zmiany poziomów ustalonych. Zastosowanie induktancji jest jeszcze rzadko stosowane, zwłaszcza w submikronowych technologiach, lecz rozwój technologii i miniaturyzacja cewek sprawia, że użycie induktancji staje się coraz częściej poruszonym w różnych publikacjach tematem.

Po ustaleniu wszystkich wartości elementów wykonano szereg symulacji, mających na celu zmodyfikowanie teoretycznie uzyskanych wartości w celu ulepszenia i przyspieszenia działania układu. Każda z technologii została sprawdzona dla częstotliwości sygnału zegarowego równej 4 GHz o połówkowym wypełnieniu. Dla tej wartości sygnału wszystkie zaprojektowane układy spełniają wymagania projektowe oraz przeszły bez zarzutu symulacje Monte Carlo.

W każdej z technologii największym elementem występującym w interfejsie był tranzystor M0 znajdujący się w lustrze prądowym nadajnika, o wymiarach:

	AMS 350 nm	IBM 130 nm	TSMC 130 nm
W	3.2 mm	3.2 mm	680 μ m
L	1 μ m	450 nm	450 nm

Z powyższej tabeli od razu widać że największy powierzchniowo byłby układ w technologii AMS, natomiast wymiar szerokości kanału tranzystora w TSMC jest prawie pięć razy mniejszy niż w pozostałych technologiach. Biorąc pod uwagę ciągle dążenie do miniaturyzacji układów scalonych, z punktu widzenia zajmowanej powierzchni technologia TSMC wydaje się najbardziej interesująca.

Następnym parametrem, który decydował o atrakcyjności technologii, było zużycie mocy:

	AMS 350 nm	IBM 130 nm	TSMC 130 nm
I	24.70 mA	24.60 mA	24.46 mA
V_{DD}	3.3 V	1.2 V	1.2 V
P	81.49 mW	29.53 mW	29.35 mW

O ile zużycie prądu w każdej z technologii było praktycznie identyczne, to wysoka wartość napięcia zasilania technologii AMS bardzo podwyższyła ilość mocy potrzebnej do zasilania układu. Technologie IBM jak i TSMC są praktycznie identyczne pod tym względem. Należy również dodać, że w AMS 350 nm, prąd referencyjny dla luster miał wartość 50 μA , natomiast w pozostałych dwóch technologiach ta wartość była dwukrotnie większa; prąd referencyjny wynosił 100 μA .

Dla każdego interfejsu zbadany został zakres częstotliwości, dla jakich odbiornik jest w stanie poprawnie odebrać i zinterpretować sygnał.

	AMS 350 nm	IBM 130 nm	TSMC 130 nm
max. f	4 GHz	4.5 GHz	6.5 GHz

Z wykonanych w czasie pracy nad układem symulacji okazało się, że układ stworzony w technologii TSMC 130 nm działa znacznie szybciej niż pozostałe interfejsy, bo może nadawać sygnał o okresie zaledwie 150 ps.

Podsumowując, cel pracy został osiągnięty. Szybki nadajnik CML został zaprojektowany i przesyulowany aż w trzech submikronowych technologiach CMOS. Wszystkie trzy stworzone interfejsy spełniają początkowe założenia. Najbardziej obiecującym układem okazał się interfejs zaprojektowany w technologii TSMC 130 nm. Ponieważ decyzja o zmianie technologii na właśnie tą, została podjęta stosunkowo późno, nie było czasu wykonać dodatkowych symulacji pokazujących Eye diagram, zachowanie Jittera, czy PSRR (*ang. Power Supply Rejection Ratio*). Praca nad interfejsem będzie w dalszym ciągu kontynuowana, aż do momentu produkcji i przetestowania interfejsu.

Bibliografia

- [1] Application Note: HFAN-1.0 Rev 1, 4/08; „*Introduction to LVDS, PECL, and CML*”. Some parts of this application note first appeared in Electronic Engineering Times Issue 1120, 3 Lipiec 2000
- [2] Jakub Moroń, Mirosław Firlej „*Projekt układu transceiver’a do szybkiej komunikacji szeregowej*”, Praca magisterska, str. 75 - 76, czerwiec 2010
- [3] Abhijit Athavale, Carl Christensen „*LVDS Owner’s Manual Including High-Speed CML and Signal Conditioning*”, str. 9-17, Fourth Edition, Texas Instrument, 2008
- [4] „*High-Speed Serial I/O Made Simple A Designers’ Guide, with FPGA Applications*” Connectivity Solutions: Edition 1.0 2005
- [5] P. Horowitz, W. Hill „*Sztuka elektroniki*”, Część I, Rozdział 3. Tranzystory polowe, 2001
- [6] U. Tietze, Ch. Schenk „*Układy półprzewodnikowe*”, Trzecie wydanie, Warszawa,
- [7] Paul E. Gray, Campbell L. Searle „*Podstawy elektroniki*” Warszawa : PWN, 1974
- [8] Tony Chan Carusone, David A. Johns, Kenneth W. Martin, „*Analog Integrated Circuit Design*”, 3.1 Simple CMOS Current Mirror’, Second edition, Willey, 2012
- [9] Horace Cheng, „*A 4PAM/2PAM Coaxial Cable Driver Targeting 40 Gb/s in 0.13 μm CMOS*” str. 109-114 Department of Electrical and Computer Engineering, University of Toronto, 2008
- [10] Akira Tsuchiya, Takeshi Kuboki, Hodetoshi Onodera, „*Low-Power Design of CML Drivers for On-Chip Transmission-Lines*”. Dept. Communications and Computer Engineering, Kyoto University.

-
- [11] Payam Heydari, Ravindran Mohanavelu, „*Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches*”. IEEE transaction on very large scale integration (VLSI) systems, VOL. 12, NO. 10, Grudzień 2004.
- [12] William Silva, „*A traped CML buffer chain for a 1Ghz interpolating flash ADC*”, California State University, Sacramento 2010.
- [13] Qaiser Nehal, „*Design of a wideband variable gain amplifier*”, Chapter 3.1.3 Negative Miller-capacitance, Chapter 3.1.4: Capacitive degeneration; Chapter 3.1.5: Inductive peaking, School of Electrical Engineering, 11.04.2011
- [14] Sunderajn S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd, Thomas H. Lee „*Bandwidth Extension in CMOS with Optimized On-Chip Inductors*”, IEEE Journal of solid-state circuits vol.35, no. 3, marzec 2000
- [15] http://www.dipol.com.pl/przewod_koncentryczny_50_om_tri-lan_240_1m__E1171_1.htm, 09.06.2014, 10:07
- [16] IBM Microelectronics „*CMRF8SF ADS IDF Design Kit User's Guide AM, DM, LM and OL BEOL Options*” 4.4.3. Corner Analysis, Owning Department: CL4V Compact Model Development, Version: V1.8.0.0, Grudzień 8, 2010

Spis rysunków

1.1	Napięcie wspólne i poziomy logicznie interfejsu LVDS	20
1.2	Nadajnik interfejsu LVDS	21
1.3	Napięcie wspólne i poziomy logicznie interfejsu PECL	21
1.4	Nadajnik interfejsu PECL	22
1.5	Nadajnik interfejsu CML	22
1.6	Napięcie wspólne i poziomy logicznie interfejsu CML	23
1.7	Tranzystor nMOS: a) przekrój tranzystora b) symbol graficzny tranzystora	25
1.8	Zasada działania tranzystora nMOSFET	26
1.9	Podstawowe charakterystyki: a) przejściowa b) wyjściowa	27
1.10	Model małosygnalowy tranzystora MOSFET	28
1.11	Para różnicowa	29
1.12	Para różnicowa: a) połowa układu, b) model małosygnalowy połowy pary	30
1.13	Schemat lustra prądowego	31
1.14	Przykład zastosowania lustra prądowego do wygenerowania kilku różnych prądów.	32
1.15	Model małosygnalowy lustra prądowego	32
1.16	Uproszczony model małosygnalowy lustra prądowego	33
1.17	Bufor CML a) Schemat podstawowego bufora CML, b) Charakterystyka wyjściowa bufora CML	33
1.18	Schemat stożkowego nadajnika CML	38
1.19	Wzmacniacz w konfiguracji wspólnego źródła a) schemat wielkosygnalowy, b) model małosygnalowy.	40
1.20	Bufor CML z ujemnym sprzężeniem pojemnościowym.	42
1.21	Para różnicowa z degeneracją pojemnościową	43
1.22	Charakterystyki amplitudowo-częstotliwościowe	44

1.23	Para różnicowa z dodaną cewką	45
1.24	Bufor z dodatkową impedancją: a) połowa obwodu ulepszonego bufora b) model małosygnalowy połowy ulepszonego bufora	46
2.1	Schemat układu interfejsu do szybkiej transmisji danych w technologii IBM 130 nm a) łańcuch buforów CML z nadajnikiem oraz padami wyjściowymi, b) elementy symulujące odbiornik CML oraz dodatkowe obciążenia układu, c) elementy zasilające układ.	48
2.2	Symbol n -tego bufora układu	49
2.3	Symbole elementów zasilających wykorzystanych w układzie: a) źródła zmiennego napięcia (generatory sygnału zegarowego), b) źródło napięciowe, c) źródło prądowe, d) wyjście różnicowe, e) symbol podłoża.	50
2.4	Pad wyjściowy układu	51
2.5	Zewnętrzne elementy obciążające układ: a) indukcyjność, b) linia transmisyjna, c) rezystancja terminująca, d) pojemność.	51
2.6	Metody podpięcia rezystancji terminującej a) Rezystancja podłączona równolegle pomiędzy przewodami, b) Rezystancja podłączona osobno do każdego z przewodów.	53
2.7	Architektura pierwszego stopnia łańcucha buforów CML: a) Konfiguracja podstawowa b) Konfiguracja z dodatnim sprzężeniem pojemnościowym. . . .	54
2.8	Przebiegi sygnału na wyjściu pierwszego stopnia łańcucha buforów układu w podstawowej konfiguracji: a) Sygnał widoczny na gałęziach V_{1+} oraz V_{1-} b) Sygnał różnicowy Out 1	56
2.9	Sygnał różnicowy na wyjściu pierwszego stopnia dla różnych wartości kondensatorów C_{N0} i C_{N1}	57
2.10	Przebiegi sygnału na wyjściu pierwszego stopnia łańcuch buforów układu w konfiguracji z dodatnim sprzężeniem pojemnościowym a) Sygnał widoczny na zaciskach V_{out+} (V_{1+}) oraz V_{out-} (V_{1-}), b) Sygnał różnicowy.	57
2.11	200 przebiegów z Symulacji Montecarlo dla sygnału na wyjściu pierwszego stopnia układu: a) Sygnał widoczny na zaciskach V_{out+} oraz V_{out-} , b) Sygnał różnicowy.	59
2.12	Rozrzut symulacji brzegowych względem napięcia progowego tranzystorów $nMOS$ i $PMOS$	60

2.13	<i>Symulacje brzegowe dla sygnału na wyjściu pierwszego stopnia układu: a) Sygnał widoczny na pojedynczych wyjściach V_{out+} oraz V_{out-}, b) Sygnał różnicowy.</i>	61
2.14	<i>Architektury kolejnych stopni łańcucha buforów CML. a) Konfiguracja bufora drugiego, b) Konfiguracja bufora trzeciego, czwartego oraz piątego.</i>	62
2.15	<i>Przebiegi sygnału na wyjściach kolejnych stopni układu w technologii IBM 130 nm.</i>	68
2.16	<i>Przebiegi różnicowe sygnałów kolejnych stopni układu w technologii IBM 130 nm.</i>	69
2.17	<i>Symulacja Monte Carlo dla sygnału różnicowego na wyjściu kolejnych stopni układu w technologii IBM 130 nm.</i>	71
2.18	<i>Czasy opadania sygnału na wyjściu kolejnych stopni układu dla różnych symulacji brzegowych.</i>	72
2.19	<i>Czasy trwania poziomów ustalonych sygnału dla różnych symulacji brzegowych.</i>	73
2.20	<i>Rozptyw prądu pomiędzy nadajnikiem a odbiornikiem CML.</i>	74
2.21	<i>Architektura szóstego stopnia układu buforów CML - nadajnika: a) Konfiguracja podstawowa, b) Konfiguracja z dodatkowymi induktancjami.</i>	75
2.22	<i>Przebiegi sygnału na wyjściu szóstego stopnia w konfiguracji podstawowej: a) Sygnał widoczny na gałęziach $V6+$ oraz $V6-$ b) Sygnał różnicowy na wyjściu Out 6</i>	76
2.23	<i>Przebiegi sygnału na wyjściu szóstego stopnia łańcuch buforów układu: a) Sygnał widoczny na gałęziach $V6+$ oraz $V6-$ b) Sygnał różnicowy Out 6</i>	77
2.24	<i>Symulacja Montecarlo dla sygnału na wyjściu szóstego stopnia układu: a) Sygnał widoczny na gałęziach $V6+$ oraz $V6-$ b) Sygnał różnicowy Out 6</i>	78
2.25	<i>Symulacje brzegowe dla sygnału na wyjściu szóstego stopnia układu. a) Sygnał widoczny na gałęziach $V6+$ oraz $V6-$ b) Sygnał różnicowy Out 6</i>	79
2.26	<i>Schemat układu interfejsu do szybkiej transmisji danych z zaznaczonymi miejscami pomiaru sygnału. a) Łańcuch buforów CML z nadajnikiem oraz padami wyjściowymi, b) Elementy symulujące odbiornik CML oraz dodatkowe obciążenia układu.</i>	80
2.27	<i>Sygnał widoczny na odbiorniku, dla niezoptymalizowanego nadajnika. a) Sygnał widoczny na pojedynczych wyjściach układu, Out+ oraz Out-, b) Sygnał różnicowy.</i>	81

2.28 Przebiegi sygnału jakie odbierałby odbiornik: a) Sygnał widoczny na pojedynczych wyjściach układu, <i>Out+</i> oraz <i>Out-</i> , b) Sygnał różnicowy na wyjściu <i>Out</i>	81
2.29 Symulacja Monte Carlo sygnału wyjściowego: a) Sygnał widoczny na pojedynczych wyjściach układu, <i>Out+</i> oraz <i>Out-</i> , b) Sygnał różnicowy <i>Out</i> . . .	82
2.30 Symulacje brzegowe dla wyjścia układu: a) Sygnał widoczny na pojedynczych wyjściach układu, <i>Out+</i> oraz <i>Out-</i> , b) Sygnał różnicowy na wyjściu <i>Out</i> . .	83
2.31 Sygnał różnicowy widoczny na odbiorniku dla różnych częstotliwości nadawania danych.	85
3.1 Schemat interfejsu do szybkiej transmisji danych w technologii AMS 350 nm	87
3.2 Architektura poszczególnych stopni układu interfejsu do szybkiej transmisji danych w technologii AMS 350 nm. a) Schemat pierwszego stopnia układu, b) Schemat 2 - 6 stopnia układu	89
3.3 Przebiegi sygnału na pojedynczych wyjściach kolejnych stopni układu w technologii AMS 350 nm	92
3.4 Przebiegi różnicowe sygnału na wyjściach kolejnych stopni układu w technologii AMS 350 nm	93
3.5 Symulacja Monte Carlo dla wyjścia układu w technologii AMS 350 nm . . .	95
3.6 Sygnał różnicowy widoczny na wyjściu układu dla różnych częstotliwości nadawania danych	96
4.1 Schemat interfejsu w technologii TSMC 130 nm	97
4.2 Architektura poszczególnych stopni układu interfejsu do szybkiej transmisji danych w technologii TSMC 130 nm: a) schemat pierwszego oraz drugiego stopnia układu, b) schemat 3 - 6 stopnia układu.	98
4.3 Przebiegi sygnału na pojedynczych wyjściach kolejnych stopni układu w technologii TSMC 130 nm	102
4.4 Przebiegi sygnału różnicowego na wyjściach kolejnych stopni układu w technologii TSMC 130 nm	103
4.5 Wyniki symulacji Monte Carlo dla sygnału widzianego na odbiorniku	105
4.6 Sygnał widoczny na wyjściach <i>Out+</i> i <i>Out-</i> układu	106
4.7 Sygnał różnicowy widoczny na wyjściu układu <i>Out</i>	107

Spis tablic

<i>1.1 Porównanie parametrów interfejsu LVDS, CML i PECL</i>	23
<i>2.1 Zestawienie parametrów źródeł napięciowych i prądowych w układzie</i>	50
<i>2.2 Zestawienie parametrów elementów architektury pierwszego stopnia w łańcu- chu buforów CML.</i>	55
<i>2.3 Parametry opisujące kształt sygnał na wyjściu pierwszego stopnia układu . .</i>	58
<i>2.4 Wpływ symulacji brzegowej na parametry charakteryzujące sygnał na wyjściu pierwszego stopnia układu</i>	61
<i>2.5 Parametry stałe dla wszystkich stopni układu.</i>	63
<i>2.6 Parametry charakteryzujące tranzystor odniesienia lustra prądowego (T1). .</i>	64
<i>2.7 Parametry wyznaczone dla n-tego stopnia układu.</i>	64
<i>2.8 Parametry charakteryzujące tranzystory lustra prądowego (T0) w kolejnych stopniach układu.</i>	65
<i>2.9 Parametry charakteryzujące tranzystor T2 w kolejnych stopniach układu. . .</i>	66
<i>2.10 Parametry charakteryzujące tranzystor T3 w kolejnych stopniach układu. . .</i>	66
<i>2.11 Czasy narastania i opadania sygnału dla kolejnych stopni układu</i>	70
<i>2.12 Czasy trwania poziomów ustalonych sygnału dla kolejnych stopni układu . .</i>	70
<i>2.13 Wpływ symulacji brzegowej na parametry charakteryzujące czas narastania i opadania sygnału na wyjściach kolejnych stopni.</i>	72
<i>2.14 Wpływ symulacji brzegowej na parametry charakteryzujące czas trwania po- ziomu ustalonego sygnału na wyjściach kolejnych stopni.</i>	73
<i>2.15 Zestawienie parametrów elementów architektury szóstego bufora w łańcuchu.</i>	76
<i>2.16 Zestawienie parametrów opisujących kształt sygnał na wyjściu nadajnika . .</i>	78
<i>2.17 Wpływ symulacji brzegowej na parametry sygnału na wyjściu nadajnika . . .</i>	79
<i>2.18 Zestawienie parametrów opisujących kształt sygnał na wyjściu całego układu</i>	82
<i>2.19 Wpływ symulacji brzegowej na parametry sygnału na wyjściu układu</i>	83

3.1	<i>Elementy obciążające układ</i>	88
3.2	<i>Parametry charakteryzujące pojemności, rezystory i indukcyjności oraz prąd generowany przez źródła prądowe poszczególnych stopni</i>	89
3.3	<i>Parametry charakteryzujące tranzystor MN2 w kolejnych stopniach układu .</i>	90
3.4	<i>Parametry charakteryzujące tranzystor MN3 w kolejnych stopniach układu .</i>	90
3.5	<i>Parametry tranzystora MN1 w lustrze prądowym we wszystkich stopniach układu.</i>	91
3.6	<i>Parametry charakteryzujące tranzystor lustra prądowego (MN0) w kolejnych stopniach układu.</i>	91
3.7	<i>Czasy narastania i opadania sygnału dla kolejnych stopni układu na podstawie symulacji Monte Carlo</i>	94
3.8	<i>Czasy trwania poziomów ustalonych sygnału dla kolejnych stopni układu na podstawie symulacji Monte Carlo</i>	94
4.1	<i>Elementy obciążające układ.</i>	98
4.2	<i>Parametry charakteryzujące pojemności, rezystory i indukcyjności oraz prąd generowany przez lustra prądowe kolejnych stopni</i>	99
4.3	<i>Parametry tranzystora MN1 w lustrze prądowym dla wszystkich stopni układu.</i>	99
4.4	<i>Parametry charakteryzujące tranzystor M2 w kolejnych stopniach układu . .</i>	100
4.5	<i>Parametry charakteryzujące tranzystor M3 w kolejnych stopniach układu . .</i>	100
4.6	<i>Parametry charakteryzujące tranzystor lustra prądowego (M0) w kolejnych stopniach układu</i>	101
4.7	<i>Czasy narastania i opadania kolejnych stopni na podstawie symulacji Monte Carlo</i>	104
4.8	<i>Czasy trwania poziomu ustalonego dla kolejnych stopni na podstawie symulacji Monte Carlo</i>	104