

**AGH**

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Wydział Fizyki i Informatyki Stosowanej

---

## PRACA MAGISTERSKA

**Jan Murdzek**

kierunek studiów: fizyka techniczna

# Projekt elektroniki front-end dla detektora światłości w przyszłym zderzaczu liniowym

Opiekun: **prof. dr hab. inż. Marek Idzik**

Kraków, styczeń 2017

Oświadczam, świadomy odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracę dyplomową wykonałem osobiście i samodzielnie i nie korzystałem ze źródeł innych niż wymienione w pracy.

.....

(czytelny podpis)

---

## *Podziękowania*

Serdeczne podziękowania kieruję do mojego promotora prof. dr. hab. inż. Marka Idzika za stworzenie mi możliwości realizacji tematu niniejszej pracy, wsparcie naukowe, cenne rady i poświęcony czas. Ponadto szczególnie chciałbym podziękować wszystkim pracownikom oraz doktorantom Zespołu Elektroniki Jądrowej i Detekcji Promieniowania, w tym przede wszystkim dr. inż. Jakubowi Moroniowi, dr. inż. Tomaszowi Fiutowskiemu, dr. inż. Mirosławowi Firlejowi, inż. Przemysławowi Terleckiemu, mgr. Romie Dasgupta oraz mrg. Szymonowi Bugielowi za pomoc merytoryczną, techniczną i finalizację projektu.



---

**Tematyka pracy magisterskiej i praktyki dyplomowej Jana Murdzka,  
studenta II roku studiów II stopnia na kierunku Fizyka Techniczna**

**Temat pracy magisterskiej:** Projekt elektroniki front-end dla detektora świetlności w przyszłym zderzaczach liniowym

**Opiekun pracy:** prof. dr hab. inż. Marek Idzik

**Recenzent pracy:**

**Miejsce praktyki dyplomowej:** WFiIS AGH, Kraków

**Program pracy magisterskiej i praktyki dyplomowej**

1. Omówienie oraz opracowanie planu realizacji pracy magisterskiej z opiekunem.
2. Zebranie i zapoznanie się z literaturą dotyczącą tematyki pracy.
3. Praktyka dyplomowa:
  - zapoznanie się z architekturami w pełni różnicowych wzmacniaczy operacyjnych,
  - zaprojektowanie architektury prototypowego układu elektroniki front-end dla detektora świetlności LumiCal,
  - symulacje układu.
4. Zaprojektowanie planu masek topologicznych układu.
5. Symulacje post-layoutowe.
6. Analiza wyników symulacji, ich omówienie i zatwierdzenie przez opiekuna.
7. Wysłanie układu do produkcji
8. Przygotowanie stanowiska pomiarowego i pomiary laboratoryjne układu.
9. Opracowanie redakcyjne pracy.

Termin oddania pracy w dziekanacie:

.....  
(podpis kierownika katedry)

.....  
(podpis opiekuna)



**Merytoryczna ocena pracy przez opiekuna:**

**Merytoryczna ocena pracy przez recenzenta:**



# Spis treści

Podziękowania	iii
Tematyka praktyki dyplomowej	v
Merytoryczna ocena pracy przez opiekuna	vii
Merytoryczna ocena pracy przez recenzenta	viii
Spis treści	ix
Skróty	xi
Wstęp	1
<b>1 Międzynarodowy Zderzacz Liniowy</b>	<b>3</b>
1.1 Budowa akceleratora . . . . .	4
1.2 System detekcji . . . . .	5
1.2.1 Kalorymetr LumiCal . . . . .	7
<b>2 Spektrometryczny tor pomiarowy</b>	<b>11</b>
2.1 Sensor półprzewodnikowy . . . . .	12
2.2 Przedwzmacniacz . . . . .	12
2.3 Układ kształtujący . . . . .	14
2.4 Analiza szumowa części analogowej . . . . .	16
2.5 Przetwornik analogowo-cyfrowy ADC . . . . .	18
<b>3 Projekt elektroniki front-end</b>	<b>23</b>
3.1 Architektura . . . . .	24
3.2 Wyniki symulacji . . . . .	29
3.2.1 Odpowiedzi czasowe . . . . .	29
3.2.2 Wzmocnienie ładunkowe . . . . .	32
3.2.3 Charakterystyki częstotliwościowe i stabilność . . . . .	33
3.2.4 Szумы . . . . .	34
3.2.5 Niedopasowanie . . . . .	35
3.3 Plan masek układu . . . . .	36
3.3.1 Wzmacniacze . . . . .	37
3.3.2 Sieć sprzężeń zwrotnych . . . . .	38
3.4 Symulacje z uwzględnieniem topologii warstw fizycznych . . . . .	42

---

<b>4</b>	<b>Pomiary testowe elektroniki front-end</b>	<b>45</b>
4.1	Stanowisko pomiarowe . . . . .	45
4.1.1	Kompaktowy zespół pomiarowy . . . . .	45
4.1.2	Kalibracja źródeł . . . . .	48
4.1.3	Płytką pomiarowa z ASIC-iem . . . . .	49
4.2	Wyniki pomiarów . . . . .	51
	<b>Podsumowanie</b>	<b>57</b>
	<b>Bibliografia</b>	<b>59</b>
	<b>Spis rysunków</b>	<b>61</b>
	<b>Spis tablic</b>	<b>65</b>
<b>A</b>	<b>Uzupełnienie wyników</b>	<b>67</b>
A.1	Symulacje schematu . . . . .	67
A.2	Symulacje postlayoutowe . . . . .	70
A.3	Wyniki pomiarów . . . . .	72
<b>B</b>	<b>Kody</b>	<b>75</b>
B.1	Kod mikrokontrolera . . . . .	75
B.2	Kod interfejsu użytkownika . . . . .	80

# Skróty

- ADC** Analog to Digital Converter. [2](#)
- ASIC** Application Specific Integrated Circuit. [18](#)
- CERN** Conseil Europeen pour la Recherche Nucleaire. [3](#)
- CLIC** Compact Linear Collider. [1](#)
- CMF** Common Mode Feedback. [27](#)
- CMOS** Complementary [MOS](#). [36](#)
- CMRR** Common Mode Rejection Ratio. [26](#)
- DAC** Digital to Analog Converter. [20](#)
- ELT** Enclosed Layout Transistor. [38](#)
- ENC** Equivalent Noise Charge. [18](#)
- ENOB** Effective Number Of Bits. [26](#)
- EPROM** Erasable Programmable Read-Only Memory. [46](#)
- FCAL** Forward Calorimeter. [6](#)
- FLAME** FcaL [ASIC](#) for Multiplane rEadout. [1](#)
- GPIO** General Purpose Interface Bus). [46](#)
- I2C** Inter-Integrated Circuit. [45](#)
- ILC** International Linear Collider. [1](#)
- ILD** Internatonal Large Detector. [1](#)
- LAN** Local Area Network. [46](#)
- LHC** Large Hadron Collider. [1](#)

**LSB** Less Significant Bit. [19](#)

**LumiCal** Luminosity Calorimeter. [1](#)

**LVDS** Low-voltage differential signaling. [46](#)

**MIM** Metal Izolator Metal. [39](#)

**MIP** Minimum Ionizing Particle. [9](#)

**MOS** Metal-Oxide Semiconductor. [21](#)

**MSB** Most Significant Bit. [20](#)

**PLL** Phase Locked Loop. [2](#)

**PSRR** Power Supply Rejection Ratio. [26](#)

**PZC** Pole-Zero Cancellation. [14](#)

**S&H** Sample and Hold. [20](#)

**SAR** Successive Approximation Register. [20](#)

**SiD** Silicon Detector. [5](#)

**SNR** Signal to Noise Ratio. [14](#)

**UART** Universal Asynchronous Receiver and Transmitter. [45](#)

# Wstęp

Ostatnie lata przyniosły ważne dokonania w dziedzinie Fizyki Cząstek Elementarnych. Najważniejszym z nich było odkrycie bozonu Higgsa w Wielkim Zderzaczu Hadronów ([LHC](#)). Jego obecność w Modelu Standardowym tłumaczy mechanizm nadawania cząstkom masy. Odkrycie to jest kolejnym, które uwidacznia potencjał drzemiący w zderzaczach cząstek. Tego typu eksperymenty pozwalają weryfikować coraz bardziej zaawansowane i sięgające coraz głębiej teorie. Patrząc w przyszłość liczymy na poznanie szczegółowych własności cząstki Higgsa i kwarków. Mamy nadzieję na wypracowanie ogólniejszej teorii, która zastąpi wspomniany Model Standardowy, a także na rozpoznanie pierwszych elementów Ciemnej Materii. Żeby te marzenia stały się rzeczywistością potrzebujemy konstruować coraz bardziej zaawansowane eksperymenty, również takie, które są oparte na prostszym niż proton-proton systemie zderzeń. W chwili obecnej trwają już prace nad dwoma eksperymentami mogącymi kontynuować i rozszerzyć badania prowadzone przez [LHC](#). Są nimi: Międzynarodowy Zderzacz Liniowy ([ILC](#)) i Kompaktowy Zderzacz Liniowy ([CLIC](#)). Obydwa, bliźniacze projekty oparte są na koncepcji zderzeń elektron-pozyton. W akcie anihilacji cząstek uwalniana jest energia, która przekształca się w nowe stany. Zderzenia leptonów, w odróżnieniu od zderzeń hadronów, są proste w analizie i towarzyszy im znacznie mniej oddziaływań dodatkowych. Pozwala to na precyzyjne pomiary i wychwycenie rzadkich zjawisk. W najbliższym czasie zapadnie decyzja o ewentualnej realizacji jednego z eksperymentów. O ile różnią się one sposobem akceleracji cząstek, to system detekcji produktów zderzeń będzie bardzo podobny. Dzięki temu prace wykonane w kierunku rozwoju detektorów dla jednego z eksperymentów mogą okazać się bardzo pomocne w przypadku budowy drugiego z nich.

Od lat budowane są prototypy urządzeń dla projektu [ILC](#), w tym jego systemu detekcji. Katedra Oddziaływań i Detekcji Cząstek na Wydziale Fizyki i Informatyki Stosowanej na AGH jest zaangażowana w budowę detektora świetlności [LumiCal](#), który ma stanowić część Kalorymetru Przedniego Wielkiego Detektora Międzynarodowego ([ILD](#)). Detektor [ILD](#) będzie jednym z dwóch detektorów w eksperymencie [ILC](#). Celem niniejszej pracy jest rozwój, kolejnej już wersji, prototypowej elektroniki front-end dla detektora [LumiCal](#). Układ scalony do wielokanałowego odczytu z Kalorymetru Przedniego ([FLAME](#)) ma stanowić jeden z najbardziej zaawansowanych i kompleksowych układów elektroniki odczytu na świecie. Znaczącą

większość jego funkcjonalności posiada prototyp omówiony w niniejszej pracy. W skład toru odczytu wchodzi: wzmacniacz ładunkoczuły, układ kształtujący oparty na w pełni różnicowym wzmacniaczu, przetwornik analogowo-cyfrowy (ADC) i serializator danych. Dodatkowo w układzie znajdują się pętle synchronizacji fazy (PLL) i porty komunikacyjne.

Pierwszy rozdział pracy opisuje koncepcje budowy akceleratorów i systemu detekcji zderzacza ILC. Zostały w nim również podane najważniejsze aspekty motywacji do podjęcia prac nad projektem.

Drugi rozdział zawiera teoretyczny opis spektrometrycznego toru odczytu. Poczynając od sensora promieniowania, aż do cyfrowego układu przesyłania danych. Poza opisaniem sposobu funkcjonowania kolejnych elementów toru przeprowadzono w nim także analizę szumową części analogowej.

W trzecim rozdziale przedstawiono prototyp elektroniki front-end, którego część analogową zaprojektował autor pracy. W początkowej części rozdziału znajduje się opis architektur wzmacniaczy i sieci sprzężeń zwrotnych. Następnie zostały zaprezentowane symulacje weryfikujące działanie układu. Po czym opisano projektowanie masek topologicznych układu i podano wyniki symulacji, które je uwzględniają.

Ostatni - czwarty - rozdział demonstruje pierwsze uruchomienie kompaktowego stanowiska pomiarowego zaprojektowanego przez pracowników katedry. Zaprezentowano pierwsze pomiary elektroniki front-end wykonane na tym stanowisku i porównano je z wynikami symulacji.

# Rozdział 1

## Międzynarodowy Zderzacz Liniowy

Międzynarodowy Zderzacz Liniowy - [ILC](#) jest to jeden z dwóch projektów przyszłego zderzacza leptonów, obok Kompaktowego Zderzacza Liniowego - [CLIC](#). Ich pomysłodawcy stawiają na zastosowanie liniowych akceleratorów umożliwiających przeprowadzanie kolizji cząstek elementarnych (elektronów i pozytonów) przy uzyskaniu wysokiej energii zderzenia w układzie środka masy. Zastosowanie prostych układów zderzenia (leptonów) pozwala na przekształcenie całej dostępnej energii w nowe stany i znacząco upraszcza analizę danych, podnosząc tym samym dokładność wyników. W eksperymencie dwie przeciwbieżne wiązki elektronów i pozytonów rozpędzane przy pomocy nadprzewodnikowych wnęk rezonansowych mają osiągać energię 500 GeV w układzie środka masy. Koncepcja budowy zderzacza zakłada możliwość przedłużenia akceleratorów, których początkowa długość całkowita ma wynosić ok. 31 km i zwiększenie energii do 1 TeV. Światłość<sup>1</sup> zostanie zapewniona na poziomie  $2 \cdot 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ . Akcelerator liniowy zapewnia tylko jeden punkt zderzeń, aby przeprowadzić więcej niż jeden eksperyment, w akceleratorze zainstalowane zostaną dwa detektory na ruchomej platformie pracujące w trybie push-pull<sup>2</sup>. Szacowany koszt inwestycji to 7,8 miliardów USD, a najbardziej prawdopodobną lokalizacją jest Japonia<sup>3</sup> [1].

W Międzynarodowym Zderzacz Liniowym kontynuowane będą badania rozpoczęte w [WLHC](#) w Europejskim Ośrodku Badań Jądrowych ([CERN](#)). Celem eksperymentu jest dalsza eksploracja ery *teraskalowej*. Do najważniejszych jego zadań będą należeć: precyzyjne pomiary własności cząstki Higgsa (takich jak: spin, czy parzystość) oraz określanie własności kwarków, szczególnie najcięższego - wysokiego (ang. top). Niewątpliwym osiągnięciem eksperymentu [LHC](#) było odkrycie istnienia bozonu Higgsa - tłumaczącej mechanizm nadawania masy cząstkom elementarnym i łamania symetrii oddziaływań elektro-słabych. Jednak złożoność mechanizmów zderzeń hadronów (w tym eksperymencie zderzano przeciwbieżne wiązki protonów i antyprotonów) utrudnia analizę wyników, a tło eksperymentu jest bardzo wysokie.

---

<sup>1</sup>Liczba cząstek w wiązce na jednostkę powierzchni, na jednostkę czasu.

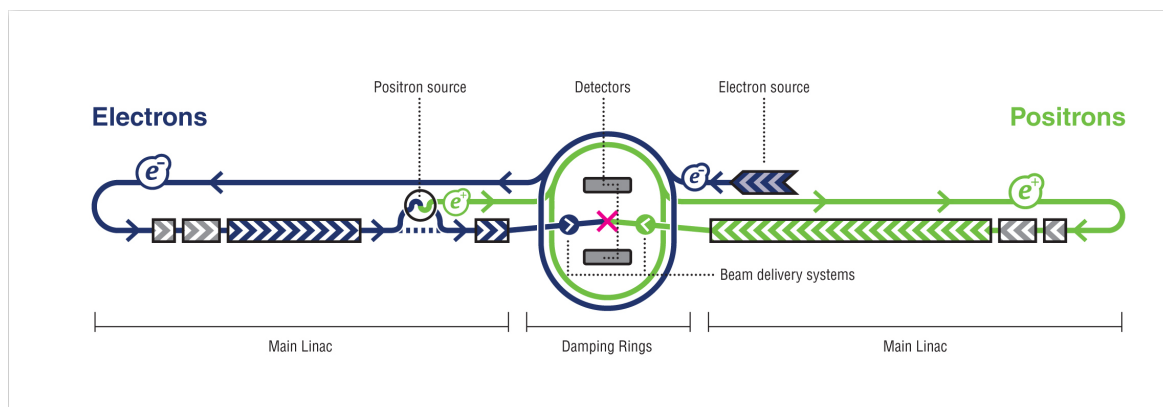
<sup>2</sup>Naprzemienna praca detektorów.

<sup>3</sup>Obecnie prowadzone są debaty nad rozpoczęciem fazy projektowej.

Ponadto część energii jest tracona na wzajemne oddziaływania kwarków i gluonów. Z tego powodu w ILC do produkcji bozonu Higgosa wystarczy ponad dziesięć-krotnie mniejsza energia niż ta, uzyskana w CERN-ie. Dodatkową naukową motywacją do budowy eksperymentu są: próby identyfikacji Ciemnej Materii, poszukiwanie dodatkowych wymiarów, weryfikacja tezy o istnieniu Wielkiej Unifikacji oddziaływań i wiele innych [1]. Nie można zapomnieć o innych korzyściach płynących z podjęcia prac nad eksperymentem, takich jak opracowane technologie pozwalających na budowę precyzyjniejszych i tańszych akceleratorów do zastosowań medycznych, opracowanie nowych rozwiązań w kwestii przesyłu danych, budowy urządzeń nadprzewodnikowych, czy miniaturyzacji i energooszczędności urządzeń elektronicznych.

## 1.1 Budowa akceleratora

Najważniejszymi elementami wchodzącymi w skład systemu formującego i przyspieszającego paczki cząstek będą: źródła elektronów i pozytonów, pierścienie formowania wiązki oraz akcelerator główny. Projekt przedstawiono schematycznie na rysunku 1.1.



RYS. 1.1: Schemat budowy zderzacza ILC [1]

Źródło elektronów ma stanowić 120 kV laser wstrzykujący 2-ns paczki podłużnie spolaryzowanych elektronów. Natomiast ich antycząstki pochodzą z procesu kreacji par elektron-pozyton z promieniowania synchrotronowego padającego na tarczę tytanową. To promieniowanie wytwarza elektrony przekierowane z głównego akceleratora do undulatora. Na zakończeniu źródeł znajdują tunele wyprowadzające wiązkę do pierścieni wstępnego formowania wiązki (ang. damping rings). Na końcu tych tuneli, bezpośrednio przed pierścieniami zamontowany zostanie system kompresujący i kolimujący oraz nadprzewodnikowy akcelerator liniowy przyspieszający cząstki do energii 5 GeV. Pierścienie wstępnego formowania wiązki to siedmiokilometrowej długości akceleratory kołowe (osobny dla elektronów i pozytonów). Służą one do skolimowania wiązki i jej wstępnego uformowania w paczki. Wiązka przechodząc wielokrotnie przez układ kolimujący (ang. wiggler) na wyjściu osiąga średnicę rzędu  $10^{-4}$  m. Po wyjściu z układu paczki są transportowane na koniec tunelu głównego



przyspieszacza i zakrzywiane o  $180^\circ$ . Akcelerator główny, będący sercem układu, to dwa akceleratory liniowe o długości ok. 12 km (jeden dla elektronów i jeden dla pozytonów). Każdy akcelerator składa się z ok. 8 tys. niobowych nadprzewodzących wnek rezonansowych z falą biegnącą, utrzymywanych w temperaturze ok. 2 K przez system kriogeniczny. Na ostatnich dwóch kilometrach akceleratora głównego znajdują miejsce specjalne magnesy kolimujące, których zadaniem jest ostateczne zmniejszenie średnicy wiązki do kilku nanometrów [2].

## 1.2 System detekcji

Do miejsca zderzenia docierać będą serie paczek z częstotliwością 5 Hz. Czas trwania serii to 1 ms. Na każdą serię składać się będzie ok. 3000 paczek odległych od siebie o 330 ns.

Po zderzeniu elektronu z pozytonem w akcie anihilacji wyzwolana jest energia przekształcająca się w spektrum nowych cząstek. Zadaniem detektorów jest odzyskanie informacji o ich ładunku, masie, energii i czasie życia. W **ILC** będą pracowały naprzemiennie dwa detektory w trybie push-pull, wzajemnie weryfikując wyniki swoich pomiarów. Będą nimi Detektor Krzemowy (**SiD**) i Wielki Detektor Międzynarodowy.

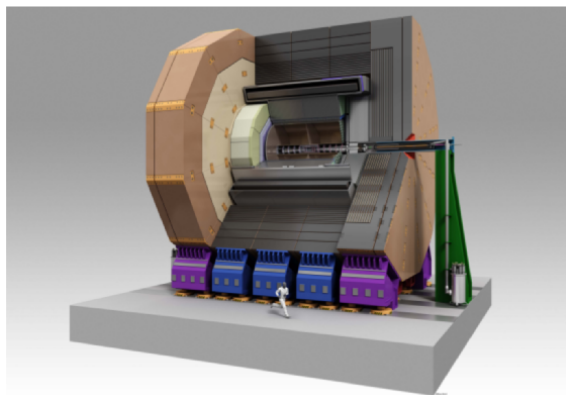
**Detektor Krzemowy** - kompaktowy detektor mogący wytworzyć maksymalne pole magnetyczne 5 T. Zoptymalizowana kombinacja detektorów śladowych i kalorymetrów pozwala na odtworzenie informacji o cząstkach naładowanych i neutralnych. Krzem umożliwia dobrą rozdzielczość czasową pomiarów. Dodatkowo kalorymetr wysokiej granulacji będzie przeznaczony do dokładnego odtwarzania śladów cząstek [3].

**Wielki Detektor Międzynarodowy** - detektor zapewniający wysoką i stabilną wydajność w szerokim zakresie energii. Koncepcja detektora oparta jest na ciągłym odczycie z gazowej komory projekcyjnej połączonym z krzemowym detektorem śladowym dla zapewnienia wysokiej wydajności. Kalorymetry o wysokiej segmentacji umieszczone w polu magnetycznym 3,5 T zapewnią dobre odwzorowanie torów cząstek.

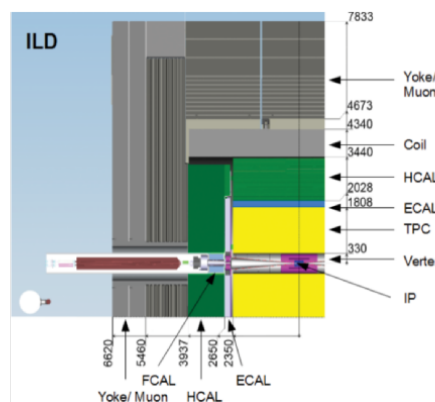
Obydwa detektory umożliwiają poprawne działanie przy energiach do kilku TeV. Ponieważ niniejsza praca związana jest z układem zaprojektowanym jako część detektora **ILD**, poniżej przedstawiono dokładniej jego budowę (rys. 1.2, 1.3).

Na rysunku 1.3 oznaczono:

- IP - miejsce zderzenia (ang. interaction point).
- Vertex - pikselowy detektor umieszczony najbliżej miejsca zderzenia (kilka cm), przeznaczony do pomiaru toru cząstek krótkożyciowych.
- TPC - komora projekcji czasowej (ang. Time Projection Chamber).
- ECAL - kalorymetr cząstek oddziałujących elektromagnetycznie i słabo (ang. Electromagnetic Calorimeter).



Rys. 1.2: Wizualizacja detektora ILD [3]



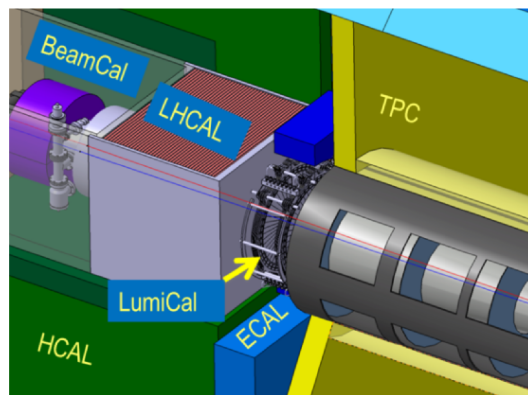
Rys. 1.3: Schemat budowy detektora ILD [3]

- HCAL - kalorymetr cząstek oddziałujących silnie (ang. Hadron Calorimeter).
- Coil - magnes nadprzewodnikowy.
- Miuon - system detekcji mionów.
- Yoke - płaszcz stalowy.
- FCAL - kalorymetr przedni.

Poświęćmy nieco uwagi kalorymetrowi przedniemu, gdyż to jeden z jego detektorów - **LumiCal** - związany jest z tematem pracy. Znajdują się w nim detektory: BeamCal, LHCAL i **LumiCal** (rys. 1.4), spełniające następujące funkcje [3]:

- **BeamCal** - detektor będący częścią systemu dynamicznego korygowania położenia wiązki oraz wspomagający pomiar świetlności.
- **LHCAL** - kalorymetr hadronowy rozszerzający pomiar detektora HCAL o zakres małych kątów.
- **LumiCal** - detektor świetlności wykorzystujący rozpraszanie Bhabha jako proces referencyjny, jego zadaniem jest dokładny pomiar świetlności każdej paczki.

Dodatkowo kalorymetr osłania detektory śladu przed cząstkami odbitymi wstecznie od rury i magnesów [4].



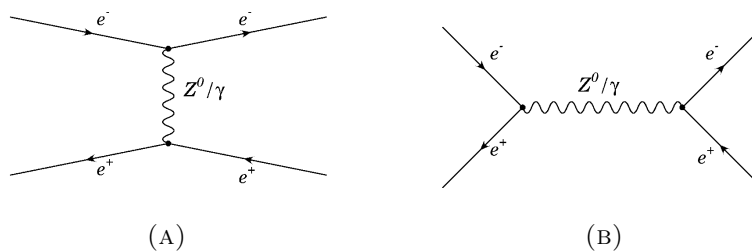
RYS. 1.4: Rozmieszczenie detektorów w kalorymetrze przednim [3]

### 1.2.1 Kalorymetr LumiCal

Zadaniem kalorymetru **LumiCal** jest dokładny pomiar świetlności każdej paczki trafiającej do detektora, poprzez obserwację procesu referencyjnego jakim jest rozproszenia Bhabha. Rozproszenie Bhabha jest elastycznym rozproszeniem elektronu na pozytonie (i odwrotnie - pozytonu na elektronie), kanały rozpadu przedstawia rys. 1.5. Świetlność  $\mathcal{L}$  wyraża się zależnością:

$$\mathcal{L} = \frac{N_e}{\sigma}, \quad (1.1)$$

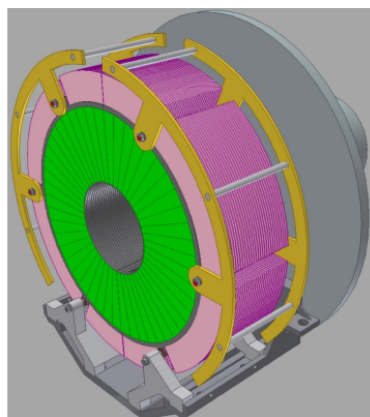
gdzie  $N_e$  - liczba zaobserwowanych przypadków rozpraszania,  $\sigma$  - przekrój czynny znany z dużą dokładnością z wyliczeń [6] i licznych pomiarów.



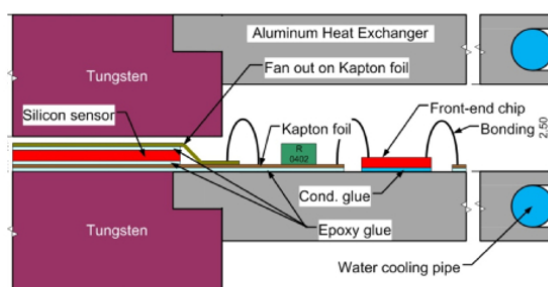
RYS. 1.5: Diagramy Feynmana rozpraszania Bhabha: A) kanał t, B) kanał s

Detektor w formie beczki, będzie złożony z dwóch półpłaszczyzn w celu łatwiejszego montażu i serwisowania bez konieczności rozłączania rury z wiązką, ukazuje go rys. 1.6.

Kalorymetr będzie składał się z 30 naprzemiennych warstw wolframu i sensorów krzemowych. Wolfram, o grubości 3,5 mm (co odpowiada jednej drodze radiacyjnej) pełni rolę absorbera. Redukuje on energię cząstek i odpowiada za produkcję kaskad niskoenergetycznych fotonów, elektronów i pozytonów (ang. electromagnetic shower), które następnie absorbowane są w aktywnych warstwach sensorów krzemowych. Odległość między warstwami

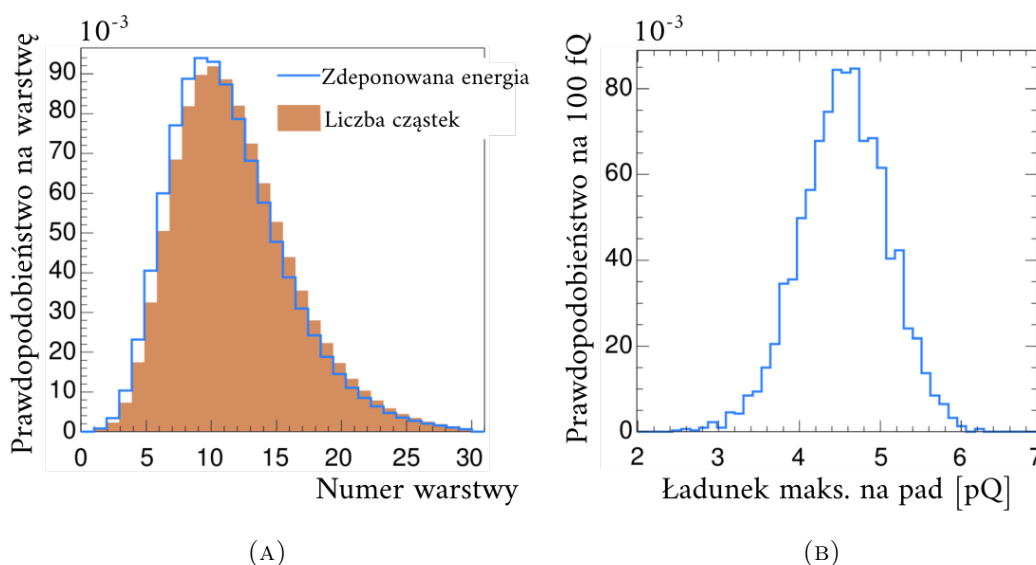


Rys. 1.6: Wizualizacja kalorymetru LumiCal [7]



Rys. 1.7: Przekrój poprzeczny przez warstwę detektora LumiCal [5]

wolframowymi wyniesie 1 mm dla zminimalizowania promienia Miliere'a<sup>4</sup>. Pozwoli to na precyzyjne odtworzenie toru rejestrowanej cząstki, ale pozostawia wąską przestrzeń na sensor i jego wyprowadzenia. Ze względu na wymaganą precyzję pomiarów, szczególny nacisk zostanie położony także na stabilność mechaniczną urządzenia i dokładność określenia pozycji sensorów. Każda warstwa sensora (grubości ok. 300  $\mu\text{m}$ ) zostanie podzielona w kącie azymutalnym na 12 części po 4 sektory w każdej. W sektorach będą radialnie rozmieszczone 64 pady. Daje to łącznie 92 160 padów, każdy wymagający indywidualnego kanału odczytu. Każde 4 sektory (zawierające 256 padów) będą posiadały wspólny kaptonowy fanout prowadzący do elektroniki odczytu. Elektronika zostanie umieszczona na brzegu zewnętrznym sensora (rys. 1.7). Z powodu tak dużej liczby kanałów, małej ilości miejsca i ograniczenia poboru mocy wymagane jest użycie dedykowanych układów scalonych.



Rys. 1.8: Wyniki symulacji dla wiązki o energii 250 GeV w układzie środka masy w formie znormalizowanych dystrybuant: A) liczby cząstek i zdeponowanej energii w funkcji głębokości wnikania [8], B) maksymalnej depozycji w padzie w funkcji ładunku [9]

<sup>4</sup>Parametr określający poprzeczny rozmiar rozwiniętej kaskady elektromagnetycznej

Wielkość padów sensora została dobrana tak, aby zachować satysfakcjonującą rozdzielczość kątową [3] i błąd względny mniejszy niż  $10^{-3}$  (dla energii zderzenia w układzie środka masy 500 GeV [10]). Detektor będzie prowadził pomiary w zakresie kątów polarnych: 31-77 mrad. Rys. 1.8 przedstawia wyniki symulacji dla wiązki o energii 250 GeV. Na ich podstawie wnioskować można, że 30 warstw wolframowego absorbera wystarcza aby zarejestrować całą kaskadę cząstek. Ponadto w padach detektora deponowane będą ładunki, których zakres wartości pokrywa kilka rzędów wielkości. od ok. 4 fQ dla cząstek minimalnie jonizujących (MIP), do ok. 6 pQ (95% wartości dystrybuanty pokrywa zakres do 5,4 pQ).



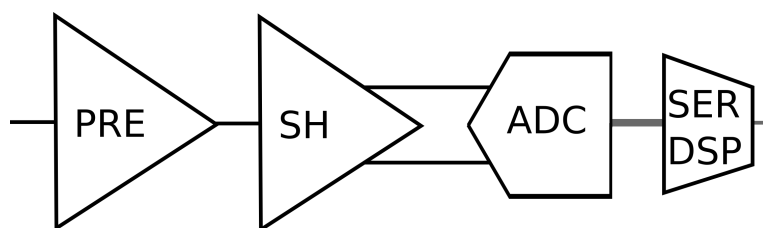
## Rozdział 2

# Spektrometryczny tor pomiarowy

Zadaniem spektrometrycznego toru pomiarowego jest odzyskanie informacji o energii cząstki na podstawie zdeponowanego przez nią ładunku w obszarze czynnym detektora. W tym celu następuje konwersja ładunku na proporcjonalny do niego sygnał elektryczny. Podstawowymi elementami toru odczytowego są:

- Sensor promieniowania.
- Przedwzmacniacz.
- Układ kształtujący.
- Przetwornik analogowo - cyfrowy.
- Blok cyfrowego przetwarzania danych.

Sensor promieniowania odpowiedzialny jest za zebranie informacji o cząstce. Tą informacja jest zdeponowany ładunek. Dalsza część toru odczytu służy wzmocnieniu, ukształtowaniu i konwersji sygnału tak, aby wygodne (i w ogóle możliwe) było jego odczytanie. Schemat blokowy elektroniki odczytu przedstawiono na rys. 2.1.



RYS. 2.1: Schemat blokowy elektroniki odczytu, od lewej: przedwzmacniacz, układ kształtujący, przetwornik **ADC** oraz blok serializacji i przetwarzania danych

## 2.1 Sensor półprzewodnikowy

W detektorze LumiCal znajdzie zastosowanie sensor półprzewodnikowy typu niesymetrycznego złącza z barierą wewnętrzną. Sensor tej kategorii posiada strukturę złącza  $p^+ - n$  spolaryzowanego zaporowo, z cienkim obszarem typu  $p^+$  o wysokiej koncentracji nośników. Obszar czynny sensora rozciąga się wewnątrz obszaru typu  $n$  na głębokość równą szerokości warstwy zaporowej (inaczej warstwy zubożonej). Aby zapewnić skończony czas trwania impulsu z detektora, polaryzuje się go napięciem dostatecznym do wytworzenia warstwy zubożonej w całej objętości sensora oraz zapewniającym niezerową wartość pola elektrycznego na jego krańcach. Ze względu na mały prąd upływu<sup>1</sup> oraz dobre opanowanie technologii produkcji, najczęściej używanym materiałem do wytwarzania sensorów jest krzem.

Wewnątrz warstwy zaporowej występuje niezerowe natężenie pola elektrycznego. Cząstka jonizująca oddziałując z medium czynnym sensora, jonizuje atomy poprzez: efekt fotoelektryczny i zjawisko Comptona dla fotonów oraz jonizację przez zderzenia lub produkcję promieniowania hamowania oddziałującego następnie z sensorem w przypadku elektronów i pozytonów. Następnie ładunek, przyspieszany w polu elektrycznym, zbierany jest przez elektrody i w układzie zewnętrznym powstaje impuls prądowy.

## 2.2 Przedwzmacniacz

W omawianej elektronice front-end zastosowano najczęściej wybieraną topologię wzmacniacza ładunkozułego. Zalicza się on do wzmacniaczy całkujących, charakteryzujących się odpowiedzią napięciową  $V(t)$  na zadany impuls prądowy  $I(t)$  o amplitudzie proporcjonalnej do ładunku  $Q_{in}$  zdeponowanego w sensorze. Można go zatem zrealizować jako klasyczny wzmacniacz operacyjny z pojemnością w ujemnej pętli sprzężenia zwrotnego. W takim układzie następuje kumulacja ładunku w pojemności i wymagany jest klucz resetujący, synchronicznie rozładowujący pojemność w sprzężeniu zwrotnym. Przeciwdziała to nasycaniu się wzmacniacza. Aby rozszerzyć zastosowania układu do impulsów asynchronicznych należy dopiąć, zamiast klucza, równolegle do kondensatora rezystor powodujący samoczynne rozładowywanie się tejże pojemności. Powstanie wtedy układ z pojemnościowo - rezystywną pętlą sprzężenia zwrotnego (rys. 2.2).

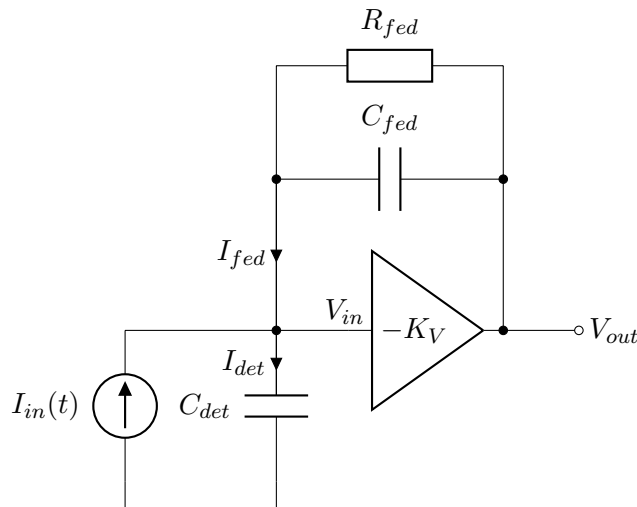
Dobrym przybliżeniem jest, że źródło prądu, którym jest impuls z sensora, dostarcza impuls quasi - dirakowski, zatem:

$$I_{in}(t) = Q_{in}\delta(t). \quad (2.1)$$

---

<sup>1</sup>Składowa prądu wywołana termiczną generacją ładunków.





RYS. 2.2: Schemat ideowy wzmacniacza ładunkoczułego z pętlą pojemnościowo - rezystywną

Przechodząc do dziedzin transformaty Laplace'a, po przyjęciu niezależnego od częstotliwości wzmocnienia wzmacniacza operacyjnego w otwartej pętli, tj.  $K_V(s) = K_V$ , otrzymujemy:

$$I_{in}(s) = Q_{in}, \quad (2.2)$$

$$I_{det}(s) = I_{fed}(s) + I_{in}(s), \quad (2.3)$$

$$V_{out}(s) = -K_V \cdot V_{in}(s). \quad (2.4)$$

Przekształcając równania z wykorzystaniem prawa Ohma w postaci operatorowej otrzymujemy:

$$V_{out}(s) = -\frac{Q_{in}}{Y_{fed}(s) + \frac{Y_{fed}(s) + sC_{det}}{K_V}} \xrightarrow{K_V \gg 1} -\frac{Q_{in}}{Y_{fed}(s)} = -\frac{Q_{in}}{C_{fed}} \cdot \frac{1}{s + \frac{1}{\tau_{fed}}}. \quad (2.5)$$

Posłużono się admitancją zastępczą elementów występujących w pętli sprzężenia zwrotnego dla zachowania przejrzystości obliczeń:

$$Y_{fed}(s) = \left( R_{fed} \parallel \frac{1}{sC_{fed}} \right)^{-1} = \frac{1 + sR_{fed}C_{fed}}{R_{fed}} = C_{fed} \left( \frac{1}{\tau_{fed}} + s \right), \quad (2.6)$$

gdzie  $\tau_{fed} \equiv R_{fed}C_{fed}$ .

Funkcja przenoszenia przedwzmacniacza ma postać:

$$F(s) = -\frac{1}{C_{fed}} \cdot \frac{1}{s + \frac{1}{\tau_{fed}}}. \quad (2.7)$$

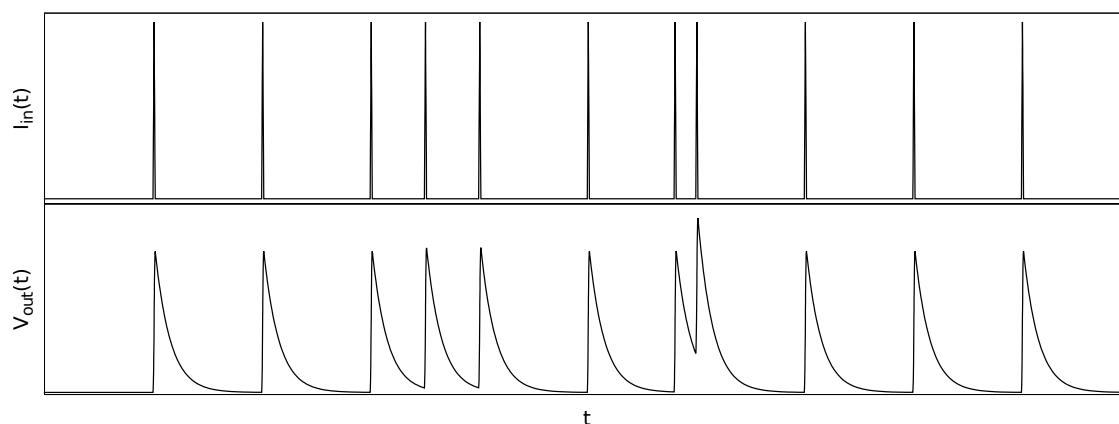
Napięcie wyjściowe w dziedzinie czasu przedstawia się jako:

$$V_{out}(t) = -\frac{Q_{in}}{C_{fed}} \cdot e^{-\frac{t}{\tau_{fed}}}. \quad (2.8)$$

Wzmocnienie ładunkowe (czułość ładunkowa) jest odwrotnie proporcjonalne do pojemności sprzężenia zwrotnego:

$$k_q \equiv \frac{V_{out\ max}}{Q_{in}} = -\frac{1}{C_{fed}}. \quad (2.9)$$

Sygnał ma charakter malejący eksponencjalnie - utrudnia to nasycenie się wzmacniacza. Rys 2.3. przedstawia w uproszczeniu przebieg wejściowy i wyjściowy wzmacniacza z pętlą pojemnościowo - rezystywną.



Rys. 2.3: Odpowiedź przedwzmacniacza z pętlą pojemnościowo - rezystywną na ciąg impulsów

## 2.3 Układ kształtujący

Rys. 2.3 ukazuje, że przy częstych zdarzeniach w detektorze amplituda sygnału wyjściowego przedwzmacniacza nie maleje do zera przed kolejnym zdarzeniem, przez co otrzymujemy fałszywie wysoką amplitudę następnego impulsu. Gdyby sygnały docierały regularnie w ten sposób, doszłoby do spiętrzania się impulsów (ang. pile up) i nasycenia wzmacniacza. Rozwiązaniem tego problemu, gdy potrzebujemy szybkiego układu<sup>2</sup>, jest zastosowanie układu kształtującego (ang. shaper). Poprawia on również stosunek sygnału do szumu (SNR). Najczęściej stosowanymi architekturami układu kształtującego są filtry:

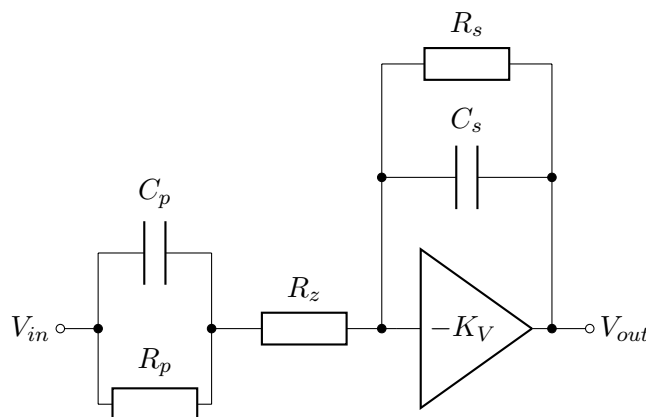
- $CR - (RC)^n$
- $(RC)^n$
- $DL - RC$ .

Ponadto, aby wyeliminować efekt powolnego powracania sygnału do poziomu stałego do filtrów dołącza się układ kompensacji biegun - zero (PZC). Służy on wyeliminowaniu bieguna funkcji przenoszenia przedwzmacniacza przez zero w funkcji przenoszenia układu

<sup>2</sup>Dla urzeczywistnienia problemu - typowe wartości elementów  $R$  i  $C$  w pętli sprzężenia zwrotnego są rzędu:  $M\Omega$  i  $pF$ , co daje w konsekwencji stałą czasową rzędu  $\mu s$ . W nowoczesnych eksperymentach zdarzenia odbywają się w odstępach setek  $ns$ .

**PZC**. Wówczas w funkcji przenoszenia całego układu front-end występują jedynie bieguny pochodzące od elementów pojemnościowo-rezystywnych układu kształtującego, o mniejszej stałej czasowej. Układ szybko powraca do poziomu stałego i nie obserwujemy efektu „długiego ogona”.

W eksperymencie **ILC** zderzenia w detektorze będą zachodziły co ok. 300 ns. Przy tej częstotliwości impulsów wymagane jest zastosowanie układu **PZC**. Jednak do uformowania impulsu wystarczy zastosowanie 1-stopniowego filtra CR-RC. Cechuje się on prostym w analizie kształtem impulsu. Filtr CR-RC z układem **PZC** został schematycznie przedstawiony na rys. 2.4.



RYS. 2.4: Schemat ideowy filtra CR-RC z **PZC**

Przy założeniu idealności wzmacniacza ( $K_V \rightarrow \infty$ ) funkcja przenoszenia układu ma następującą postać:

$$F(s) = \frac{1}{C_s R_z} \frac{s + \frac{1}{R_p C_p}}{\left(s + \frac{1}{R_s C_s}\right) \left(s + \frac{1}{C_p (R_p \parallel R_z)}\right)}. \quad (2.10)$$

Po dołączeniu na wejściu układu kształtującego z **PZC** wyjścia przedwzmacniacza otrzymamy transmitancję całego front-endu w postaci:

$$F(s) = \frac{1}{C_{fed} C_s R_z} \frac{s + \frac{1}{R_p C_p}}{\left(s + \frac{1}{R_s C_s}\right) \left(s + \frac{1}{C_p (R_p \parallel R_z)}\right) \left(s + \frac{1}{C_{fed} R_{fed}}\right)}. \quad (2.11)$$

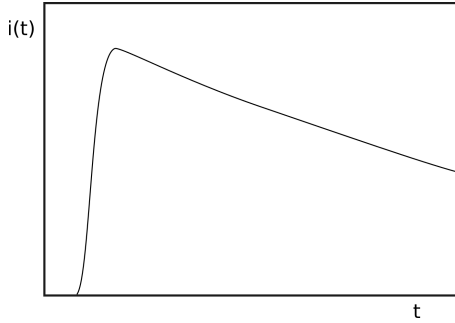
Aby układ **PZC** spełniał swoje zadanie, należy zapewnić dopasowanie odpowiednich stałych czasowych, tzn.:  $R_p C_p = R_{fed} C_{fed} = \tau_{fed}$  oraz  $R_s C_s = C_p (R_p \parallel R_z) = \tau_s$ . Wówczas funkcja przenoszenia wyraża się poprzez:

$$F(s) = \frac{1}{C_{fed} C_s R_z \left(s + \frac{1}{\tau_s}\right)^2}. \quad (2.12)$$

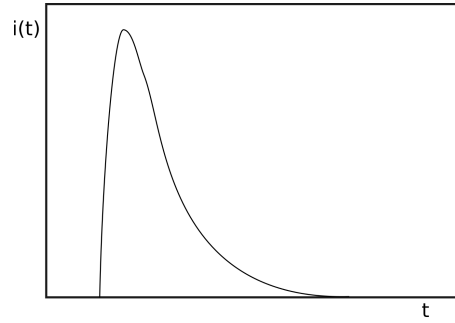
Eliminacja bieguny odbywa się bez zmiany wzmocnienia ładunkowego układu. Odpowiedź w dziedzinie czasu na wymuszenia w formie prądowej delty Diraca wyraża się zależnością:

$$V_{out}(t) = Q_{in} \frac{t}{C_{fed} C_s R_z} e^{-\frac{t}{\tau_s}}, \quad (2.13)$$

co jest tożsame z odpowiedzią idealnego filtra CR-RC [11]. Impulsy na wyjściach: przedwzmacniacza i układu kształtującego poglądowo prezentują rysunki: 2.5, 2.6.



Rys. 2.5: Kształt impulsów wyjściowych przedwzmacniacza



Rys. 2.6: Kształt impulsów wyjściowych układu kształtującego

Impuls ma kształt quasi-gaussowski, a maksimum amplitudy przypada dla  $t = \tau_s$  i wyraża się wzorem:

$$V_{outmax} = \frac{Q_{in} R_s}{C_{fed} R_z} \frac{1}{e}. \quad (2.14)$$

Układ kształtujący zmienia wzmocnienie ładunkowe, mnożąc je o stosunek  $R_s$  do  $R_z$  pomniejszony  $e$ -krotnie.

$$k_q = \frac{1}{C_{fed}} \frac{R_s}{R_z} \frac{1}{e}. \quad (2.15)$$

Dokładniejszy opis eksperymentu ILC i analogowej części spektrometrycznego toru odczytu znajduje się w poprzedniej pracy autora niniejszej [12] oraz literaturze [1, 3, 11].

## 2.4 Analiza szumowa części analogowej

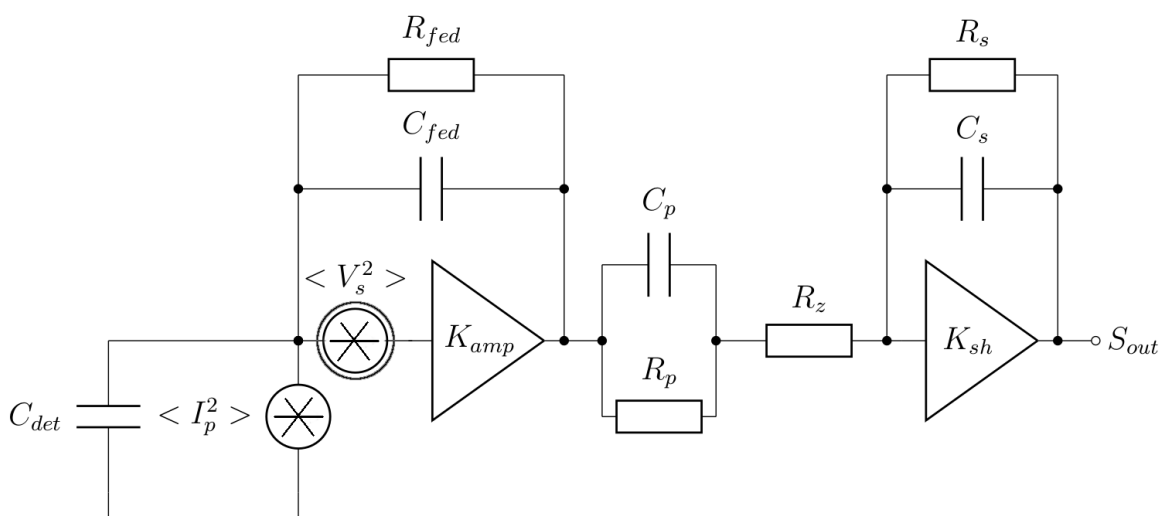
W zastosowaniach spektrometrycznych szumy odgrywają kluczową rolę. Definiują nieokreśloność pomiaru amplitudy, a zatem określają minimalny sygnał możliwy do interpretacji. Rys. 2.7 przedstawia w uproszczeniu schemat szumowy układu. Wyodrębniono źródła szumów ze struktur wzmacniaczy, co implikuje przyjęcie wzmacniaczy jako idealnych - pozbawionych szumu. Dodatkowo zakładamy duże ( $k \gg 1$ ) i niezależne od częstotliwości wzmocnienia wzmacniaczy. Widmową gęstość mocy szumów przypisaną źródłom wyrażają zależności: dla szumu prądowego:

$$\frac{d \langle I_p^2 \rangle}{df} = \alpha, \quad (2.16)$$

dla szumu napięciowego:

$$\frac{d \langle V_s^2 \rangle}{df} = \beta + \frac{A}{f}, \quad (2.17)$$

gdzie  $\alpha$  i  $\beta$  to współczynniki określające gęstość widmową szumów białych,  $A$  - szumu nadmiarowego (tzw.  $1/f$ , lub szumu różowego). Wartość powyższych współczynników definiuje architektura wzmacniaczy operacyjnych, konfiguracja układu, procesy technologiczne produkcji układu i warunki polaryzacji jego elementów. Na szum biały prądowy składają się: szum śrutowy związany z prądem upływu detektora i tranzystorów oraz szum termiczny rezystorów w sieci sprzężenia zwrotnego. Natomiast główną składową szumu napięciowego jest szum termiczny tranzystora wejściowego przedwzmacniacza. Szum nadmiarowy spowodowany jest fluktuacją liczby pułapkowanych nośników [11].



Rys. 2.7: Zastępczy schemat szumowy układu przedwzmacniacz - shaper

Na mocy prawa przenoszenia szumów możemy policzyć gęstość widmową mocy szumów na wyjściu układu:

$$V_{No}(f) = V_{Ni}(f)|F(f)|^2. \quad (2.18)$$

Przyjmując za  $F(s)$  zależność 2.7 lub 2.12, odpowiednio dla przedwzmacniacza i całego analogowego front-endu, i podstawiając do powyższego równania wraz z zależnościami 2.16, 2.17 otrzymujemy napięciową gęstość widmową szumu prądowego na wyjściu układu:

$$\frac{d \langle V_{po}^2 \rangle}{df} = \alpha |F(f)|^2 \quad (2.19)$$

oraz analogicznie dla szumu napięciowego:

$$\frac{d \langle V_{so}^2 \rangle}{df} = \left[ \beta + \frac{A_f}{f} \right] \left( (2\pi f(C_{det} + C_{fed}))^2 \right) |F(f)|^2. \quad (2.20)$$

Całkowity szum na wyjściu układu dany jest superpozycją szumu napięciowego i prądowego. Dla całego analogowego front-endu wyraża się poprzez:

$$\frac{d \langle V_{No}^2 \rangle}{df} = \left[ \alpha + \left( \beta + \frac{A_f}{f} \right) (2\pi f (C_{det} + C_{fed}))^2 \right] \left[ \frac{1}{(C_{fed} C_s R_z)^2 (4\pi^2 f^2 + \frac{1}{\tau_s^2})} \right]. \quad (2.21)$$

Całkując szum całkowity w pełnym przedziale częstotliwości otrzymamy jego wartość średniokwadratową:

$$V_{Nrms}^2 = \int_0^\infty \frac{d \langle V_N^2 \rangle}{df} df = \frac{1}{8} \left( \frac{C_{det} + C_{fed} R_s}{C_{fed} R_z} \right)^2 \left( \frac{\beta}{\tau_s} + \alpha \frac{\tau_s}{(C_{det} + C_{fed})^2} + \frac{A_f}{2} \right). \quad (2.22)$$

Definiuje ona **SNR** dla wybranego sygnału referencyjnego  $V_{outrms}$  - w dalszej części pracy będzie to maksimum amplitudy sygnału wygenerowanego przez **MIP**-a:

$$SNR = \frac{V_{outrms}}{\sqrt{V_{Nrms}^2}}. \quad (2.23)$$

Podstawiając do powyższego wyrażenia zależność 2.21 i 2.14 oraz żądając **SNR**=1 możemy wyznaczyć  $Q_{in}$  definiowany jako parametr zwany ekwiwalentnym ładunkiem szumowym (**ENC**). Jest to amplituda sygnału jaki należałoby podać na wejście układu idealnego (bezszumowego) aby uzyskać taką samą amplitudę sygnału wyjściowego jak przy odłączonym wejściu układu rzeczywistego. Dla omawianego układu wyraża się poprzez:

$$ENC = e(C_{det} + C_{fed}) \sqrt{\frac{1}{8} \left( \frac{\beta}{\tau_s} + \alpha \frac{\tau_s}{(C_{det} + C_{fed})^2} + \frac{A_f}{2} \right)}. \quad (2.24)$$

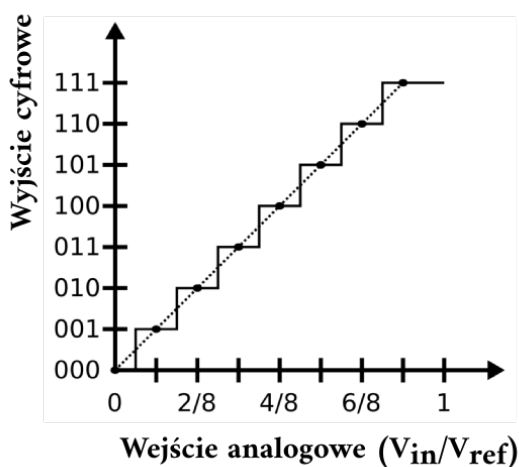
Szum biały prądowy rośnie wraz ze zwiększającą się stałą czasową układu kształtującego, jednak szum napięciowy przeciwnie. Szum nadmiarowy jest od niej niezależny. Z rosnącą pojemnością sensora lub pojemnością w sprzężeniu zwrotnym szum całkowity będzie rósł. Zastosowaniu układu kształtującego wprowadza filtrację szumów oraz powoduje wzmocnienie sygnałui **SNR** ulega znacznemu poprawieniu.

## 2.5 Przetwornik analogowo-cyfrowy ADC

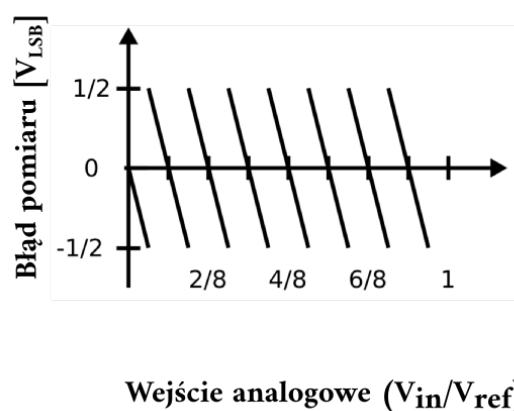
Następnym ogniwem toru pomiarowego jest przetwornik analogowo-cyfrowy **ADC**. Taki przetwornik umieszcza się w każdym kanale odczytu, aby maksymalnie skrócić drogę sygnału w formie analogowej. Poprawia to całkowity **SNR**, gdyż sygnał cyfrowy jest bardziej odporny na zakłócenia. Serializując dane wyjściowe z **ADC** można znacząco ograniczyć liczbę wyprowadzeń z **ASIC**-a (znajdującego się bezpośrednio w detektorze) do zewnętrznego układu zajmującego się obróbką i gromadzeniem danych.

Przetwornik **ADC** zmienia ciągły sygnał analogowy na ciąg próbek o skwantowanej wartości amplitudy. Obniża to oczywiście dokładność odczytu (poprzez tzw. szum kwantyzacji). Jednak gdy rozdzielczość przetwornika jest odpowiednio wysoka, błąd jest niezauważalny lub niewyróżniający się od szumu części analogowej układu. Transformacja sygnału przebiega w trzech etapach: próbkowanie, kwantyzacja i kodowanie.

Rys. 2.8 przedstawia funkcję przenoszenia idealnego przetwornika 3-bitowego. Poza błędem kwantyzacji, występującym zawsze (rys. 2.9) charakterystycznymi parametrami obrazującymi jakość odwzorowania przetwornika są: błąd przesunięcia zera, błąd skalowania, nieliniowości (całkowa i różniczkowa) oraz najbardziej znaczące: efektywna liczba bitów i stosunek sygnału do szumu.



RYS. 2.8: Funkcja przenoszenia idealnego 3-bitowego **ADC**



RYS. 2.9: Zależność błędu kwantyzacji od napięcia wejściowego

Błąd kwantyzacji idealnego przetwornika zmienia się periodycznie w granicach od  $-0,5 V_{LSB}$  do  $0,5 V_{LSB}$ . Przy czym  $V_{LSB}$  to zmiana napięcia odpowiadająca zmianie wartości najmniej znaczącego bitu (**LSB**), które wyraża się poprzez:

$$V_{LSB} = \frac{V_{ref}}{2^N} \quad (2.25)$$

gdzie  $V_{ref}$  odpowiada zakresowi dynamicznemu przetwornika, a  $N$  to liczba bitów.

Błąd kwantyzacji<sup>3</sup> wprowadza granicę górną dla **SNR** przetwornika, która w idealnym przypadku wynosi:

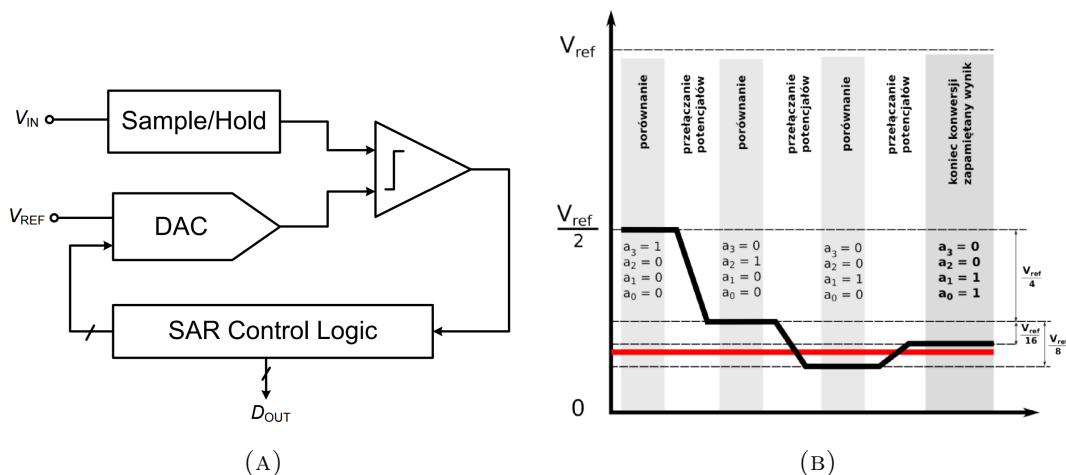
$$SNR = (6,02N + 1,76) \text{ dB}, \quad (2.26)$$

a dla przykładów rzeczywistych jest zawsze od niej mniejsza.

<sup>3</sup>Nazywany też szumem kwantyzacji z powodu posiadania cech szumu białego

W omawianym układzie zaimplementowano przetwornik z kompensacją wagową<sup>4</sup> (SAR ADC) dlatego ta architektura przetwornika ADC została pokrótce przedstawiona poniżej.

Architekturę podstawowego przetwornika opartego na metodzie kolejnych przybliżeń przedstawia rys. 2.10. Zadaniem układu próbkująco-pamiętającego (S&H) jest zapamiętywanie amplitudy na wejściu układu na poziomie z początku okresu próbkowania, aby nie zmieniła się podczas konwersji. Odbywa się to np. poprzez naładowanie i zatrzaśnięcie pojemności na wejściu przetwornika. Następnie amplituda sygnału porównywana jest z napięciem odniesienia generowanym przez przetwornik cyfrowo-analogowy (DAC) w procesie iteracyjnym kontrolowanym przez układ sterujący. Algorytm rozpoczyna się ustawianiem najbardziej znaczącego bitu (MSB) słowa przetwornika DAC na wartość "1" (stan wysoki), a pozostałych na "0" (stan niski) i porównaniu napięć na wejściach komparatora analogowego. Jeżeli napięcie sygnału wejściowego jest mniejsze od napięcia odniesienia, to pierwszy (MSB) bit słowa wyjściowego (rejestru) ustawiany jest na wartość "0". W przeciwnym wypadku zostawiana jest wartość "1". Następnie wartość rejestru wczytywana jest na wejście DAC-a z ustawieniem kolejnego bitu na wartość "1". Procedura powtarzana jest do najmniej znaczącego bitu słowa. Tak ustawione słowo danych jest cyfrową reprezentacją napięcia wejściowego.



Rys. 2.10: Podstawowy przetwornik SAR ADC: A) architektura, B) zasada działania

Najczęściej wybieraną architekturą przetwornika DAC do zastosowania w SAR ADC jest przetwornik z redystrybucją ładunku. Schemat takiego przetwornika przedstawia rys. 2.11. Górne okładki matrycy kondensatorów połączone są z wejściem komparatora. Dolne okładki przyłączane są za pomocą kluczy do masy, napięcia wejściowego, lub napięcia referencyjnego. Górna okładka również ma możliwość zwarcia do masy. W pierwszej fazie cyklu konwersji górna okładka przyłączana jest do masy, natomiast dolna do napięcia wejściowego  $V_{in}$ . Po naładowaniu pojemności klucz przy górnych okładkach jest rozłączany, natomiast dolne okładki zwierane są do masy. Na mocy zasady zachowania ładunku na górnej okładce generuje się napięcie  $-V_{in}$  [13]. Jedną z najistotniejszych zalet zastosowania

<sup>4</sup>Kompensacja wagowa bitów inaczej nazywana metodą kolejnych przybliżeń.

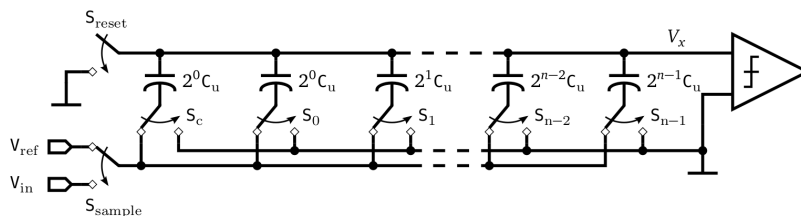


przetwornika DAC z redystrybucją ładunku w SAR ADC jest brak potrzeby stosowania oddzielnego układu pamiętającego. Pojemności w macyry przetwornika pełnią jego funkcję. Redukuje to pobór mocy konwertera. Napięcie na wyjściu przetwornika wyraża zależność:

$$V_x = -V_{in} + V_{ref}2^{-N}(a_{N-1}2^{N-1} + a_{N-2}2^{N-2}) + \dots + a_12^1 + a_02^0. \quad (2.27)$$

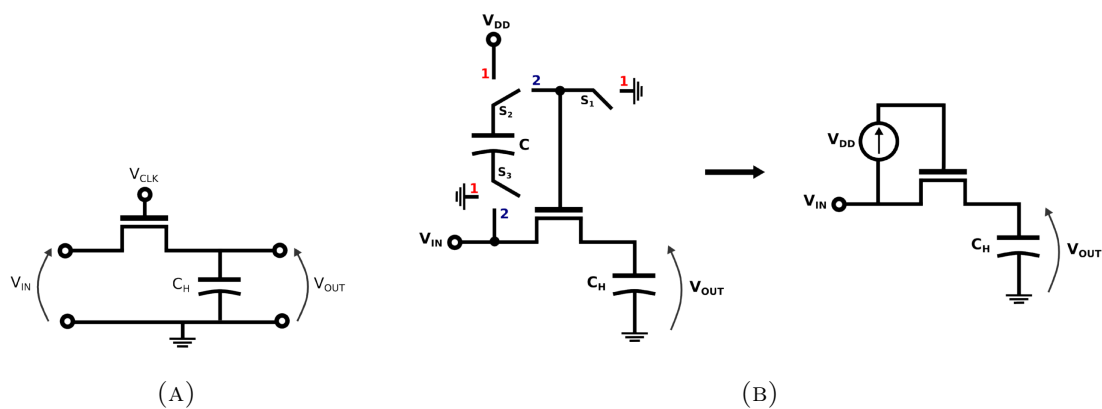
Dalej konwersja odbywa się zgodnie z algorytmem opisanym powyżej. W pierwszym cyklu bit MSB ustawiany jest na "1", co daje  $V_x = -V_{in} + V_{ref}/2$ . Wynik porównania wpisywany jest do rejestru zgodnie z równaniem:

$$a_{N-i} = \begin{cases} 1 & \text{dla } V_x < 0 \\ 0 & \text{dla } V_x > 0 \end{cases} \quad (2.28)$$



RYS. 2.11: Architektura SAR ADC z redystrybucją ładunku

Innym istotnym elementem przetwornika ADC jest układ próbkujący. Można go najprościej zrealizować jako klucz w formie tranzystora MOS zamykający się cyklicznie w celu naładowania pojemności DAC-a do napięcia  $V_{in}$ . Taki klucz zaprezentowano na rysunku 2.12 A). Podczas wysokiego stanu sygnału  $V_{CLK}$  pojemność  $C_H$  ładowana jest do napięcia  $V_{in}$  i utrzymywana do następnego wysokiego stanu zegara. Ze względu na zależność rezystancji wejściowej takiego klucza od napięcia  $V_{GS}$  tranzystora, a tym samym od napięcia  $V_{in}$  wprowadza on nieliniowość do układu. Drugim źródłem nieliniowości jest wstrzykiwanie ładunku zgromadzonego w kanale tranzystora do pojemności podczas otwierania klucza. W celu zniwelowania wyżej wymienionych efektów ubocznych wykorzystuje się bardziej zaawansowane układy próbkujące. Układem zapewniającym niezależność napięcia  $V_{GS}$  od napięcia wejściowego jest klucz typu *bootstrap* przedstawiony w uproszczeniu na rys. 2.12 B). W pierwszej fazie próbkowania przełącznik  $S_1$  jest zwarty rozłączając klucz, a pojemność  $C$  jest ładowana do napięcia  $V_{DD}$ . W drugim kroku pojemność ta jest zwierana pomiędzy bramkę i źródło tranzystora zapewniając stałość napięcia  $V_{GS}$  podczas próbkowania. Technikę tę, opartą na pompie ładunkowej, nazwano *bootstrappingiem*.



Rys. 2.12: Klucz próbkujący: A) tranzystor nMOS, B) typu *bootstrap*

Ze względu na iteracyjny charakter procesu konwersji częstotliwość próbkowania przetwornika ograniczana jest przez opóźnienie przetwornika DAC oraz komparatora, a także przez rozdzielczość przetwornika. Każdy kolejny bit, zmniejszający dwukrotnie błąd kwantyzacji, niesie za sobą konieczność wykonania jeszcze jednej operacji porównania. Jednak za sprawą posiadania tylko jednego komparatora i braku wzmacniaczy w przetworniku jest on wysoce energooszczędny. Dodatkowym jego atutem jest łatwa skalowalność z technologią produkcji.

## Rozdział 3

# Projekt elektroniki front-end

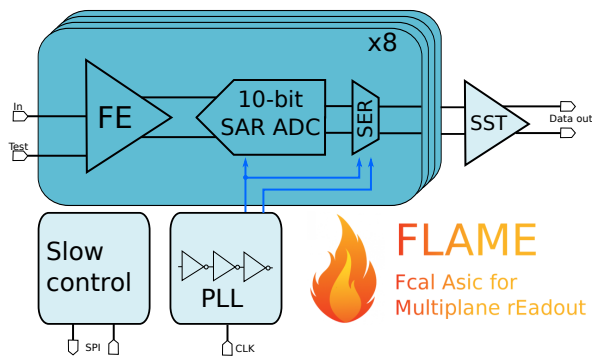
Głównym celem niniejszej pracy jest zaprojektowanie analogowej części elektroniki odczytu dla detektora [LumiCal](#). Tor analogowy składa się z przedwzmacniacza i układu kształtującego.

Elektronice odczytu detektora stawiane są następujące wymagania [3]:

- Możliwość pracy w dwóch trybach:
  - kalibracyjnym - umożliwiającym detekcję cząstek minimalnie jonizujących (o najbardziej prawdopodobnym ładunku generowanym w sensorze 4 fC)
  - fizycznym - zapewniającym poprawne odwzorowanie energii cząstki do ok. 6 pC.
- Praca z pojemnością sensora w zakresie od 8 pF (dla najmniejszych padów) do 35 pF (dla największych).
- Czas kształtowania i zaniku impulsu pozwalający na odczyt co 330 ns.
- Stosunek sygnału do szumu większy niż 20.
- Rozdzielczość przetwornika [ADC](#): 10 bitów.
- Częstotliwość próbkowania: 20 Ms/s.
- Szybkość serializacji i transmisji danych: 3.2 Gb/s ( $20 \text{ Ms/s} * 10 \text{ bitów} * 16 \text{ kanałów}$ ).

Wyślany do produkcji [ASIC](#) stanowi krok pośredni w projekcie jednego z najbardziej zaawansowanych i kompleksowych układów odczytu dla detektorów fizyki cząstek elementarnych. Poza analogowym układem front-end z czterema przełączanymi trybami wzmocnienia umieszczono w nim 10-bitowy przetwornik [SAR ADC](#), w każdym z ośmiu kanałów. Ze względu na prototypowy charakter projektu zastosowano dwa, nieco różne przetworniki [ADC](#). Następnie, w układzie znajduje się serializator, w którym układ multiplexerów łączy wszystkie linie wyjściowe [ADC](#) w jedną. Ponieważ układ zawierał 8 kanałów zastosowano w nim nieco inny serializator, a ten przeznaczony do finalnego układu został wyprodukowany jako osobny [ASIC](#). Szybki sygnał zegarowy, potrzebny do serializacji, wytwarzany jest przez [PLL](#) mogący

pracować w szerokim paśmie częstotliwości od dziesiątek MHz do kilku GHz. Dane z układu wyprowadzane są za pomocą szybkich portów komunikacyjnych. Ponadto znalazły w nim miejsce: układ wolnej kontroli, układ autokalibracji do ADC i inne porty komunikacyjne zaprojektowane przez pozostałych członków zespołu. Poglądowy schemat blokowy układu przedstawia rysunek 3.1.



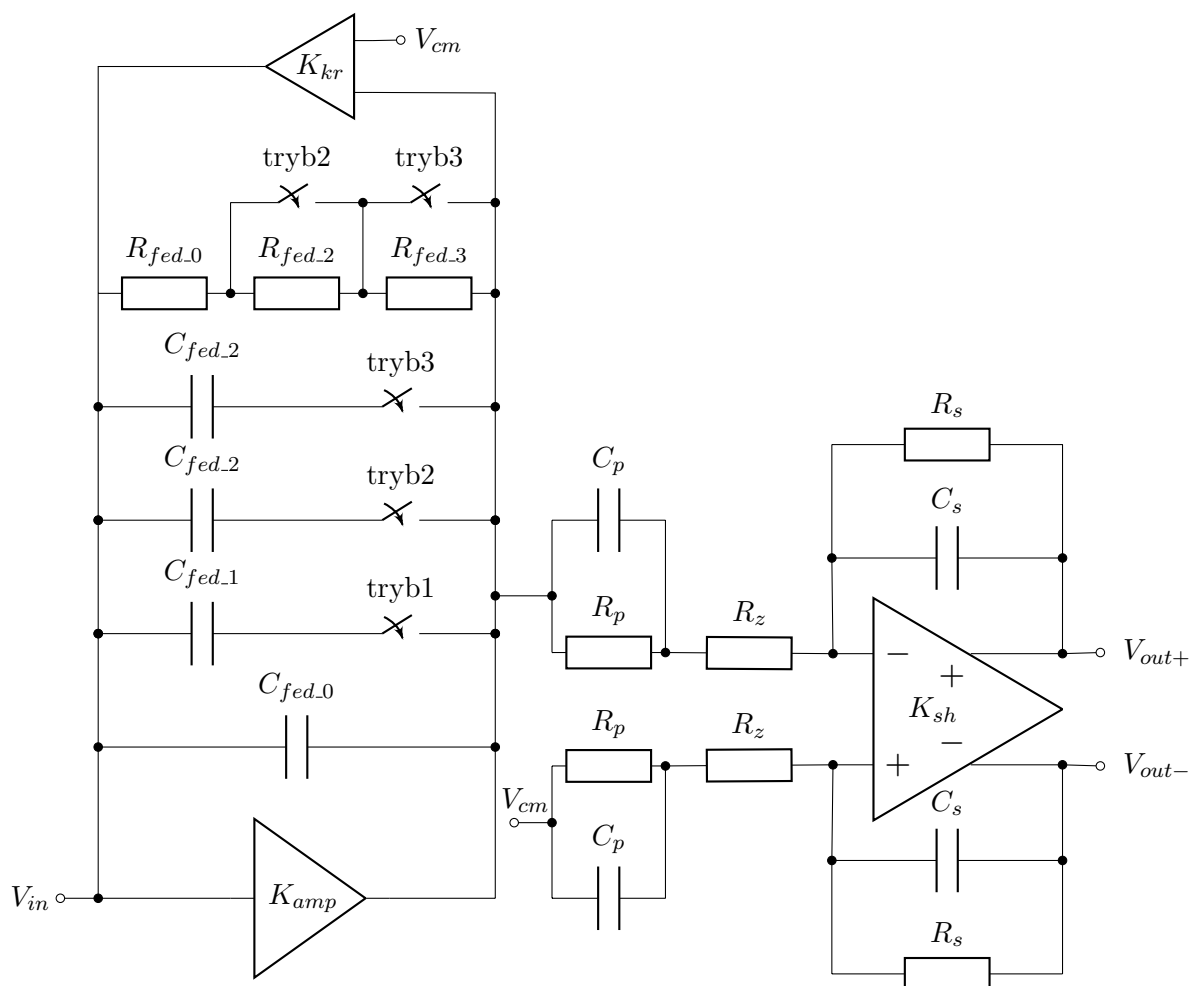
Rys. 3.1: Schemat blokowy dedykowanego układu odczytu dla detektora LumiCal

Finalny prototyp będzie zawierał 16 kanałów elektroniki front-end z ADC i serializacją danych opartą na PLL-u. Ponadto przetworniki DAC do polaryzacji wzmacniaczy i wszystkie wymienione wyżej komponenty, a także układ wyłączający prądy polaryzujące w przerwach między zderzeniami dla zmniejszenia poboru mocy. Zastosowanie takiego układu pozwoli na zmniejszenie poboru mocy o czynnik rzędu 100, ze względu na strukturę wiązki w ILC, gdzie po 1 ms zderzeń następuje 199 ms przerwy.

### 3.1 Architektura

Rysunek 3.2 przedstawia poglądowo pełen tor analogowego front-endu. Ponieważ zaprojektowany układ ma charakter prototypowy zdecydowano się na cztery, przełączane tryby wzmocnienia. Pierwszy przeznaczony do pomiaru małych impulsów do 50 fQ, z wysokim stosunkiem sygnału do szumu dla sygnału jednego MIP-a. Dwa kolejne zoptymalizowane pod pomiary na wiązce. Posiadają SNR na poziomie ok. 20 dla cząstki minimalnie jonizującej i zakres pozwalający odtworzyć sygnały do ok. 200-250 fQ. Czwarty tryb wzmocnienia pozwala mierzyć sygnały do ok. 3,5 pQ. Przełączanie odbywa się poprzez dołączanie, lub odłączanie kondensatorów i rezystorów w sieci sprzężenia zwrotnego przedwzmacniacza i PZC<sup>1</sup>. Konfigurację ustawień przedstawia tabela 3.1. Na samej górze schematu 3.2 znajduje się układ Krummenachera [15]. Pozwala on na utrzymanie poziomu stałego sygnału na wyjściu przedwzmacniacza na poziomie zadanym przez napięcie  $V_{cm}$  podczas gdy poziom stały na wejściu pozostaje na poziomie napięcia  $V_{GS}$  tranzystora wejściowego. Jego architektura opiera się na kaskodowych lustrach prądowych.

<sup>1</sup>Klucze w układzie PZC pominięto na schemacie.

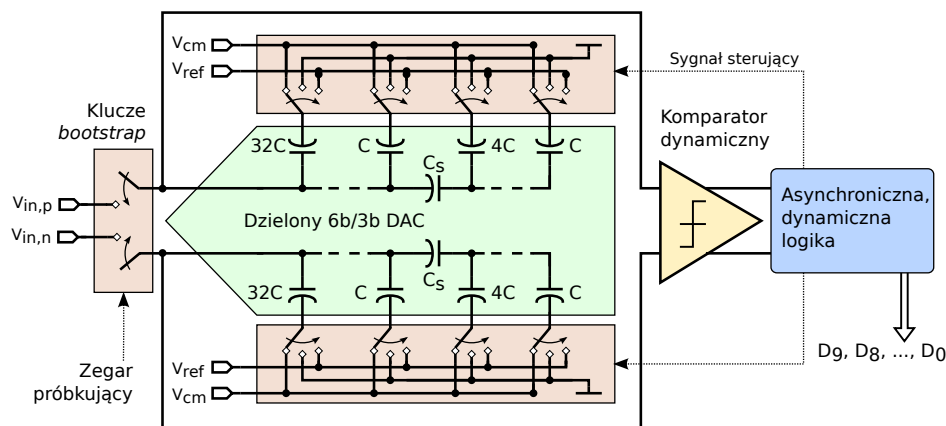
RYS. 3.2: Schemat analogowej części elektroniki front-end<sup>1</sup>

TAB. 3.1: Konfiguracja sprzężeń zwrotnych układu

Tryb	gain0	gain1	$R_{fed}$	$C_{fed}$	Wzmocnienie ładunkowe
0	0	0	300 fF	1 M $\Omega$	7,33 mV/fQ
1	0	1	900 fF	1 M $\Omega$	2,44 mV/fQ
2	1	0	1,2 pF	750 K $\Omega$	1,83 mV/fQ
3	1	1	10 pF	90 K $\Omega$	0,22 mV/fQ

Do wyjścia układu kształtującego podpięty jest 10-bitowy przetwornik [ADC](#) z układem próbkującym sygnał co 50 ns przez 5 ns. Układ próbkujący zrealizowano w formie zaawansowanego klucza *bootstrap*. Zastosowano także asynchroniczny układ logiki dodatkowo ograniczający zużycie mocy. W różnicowej architekturze [SAR DAC](#) zastosowano przetworniki cyfrowo-analogowe z redystrybucją ładunku. Schemat przetwornika [ADC](#) przedstawia rys. 3.3. W celu redukcji zajmowanej powierzchni i pojemności wejściowej zastosowano dzielone, pojemnościowe przetworniki [DAC](#). Zamiast jednego 9-bitowego [DAC](#)-a zastosowano dwa połączone szeregowo, o sumarycznej liczbie bitów równej oryginalnemu przetwornikowi. Rozdziela je pojemność  $C_s$  (w omawianym przykładzie równa co do wartości pojemności

jednostkowej<sup>2</sup>  $C_u$ ). Taki zabieg redukuje znacząco zajmowaną powierzchnię, jednak pogarsza liniowość poprzez gorsze dopasowanie. Z pośród ośmiu kanałów prototypu kanały od 0 do 3 zawierają przetworniki DAC rozdzielone na 6 i 3-bitowy, natomiast od 4 do 7 na 5 i 4-bitowy. Pierwszy wariant został już wcześniej zweryfikowany w laboratorium i posiada efektywną liczbę bitów (ENOB) równą 9,7 [13, 16]. Ze względu na doskonały rezultat wspomnianej wersji i obiecujące wyniki symulacji postanowiono w połowie kanałów prototypu umieścić przetworniki DAC o bardziej symetrycznym podziale.



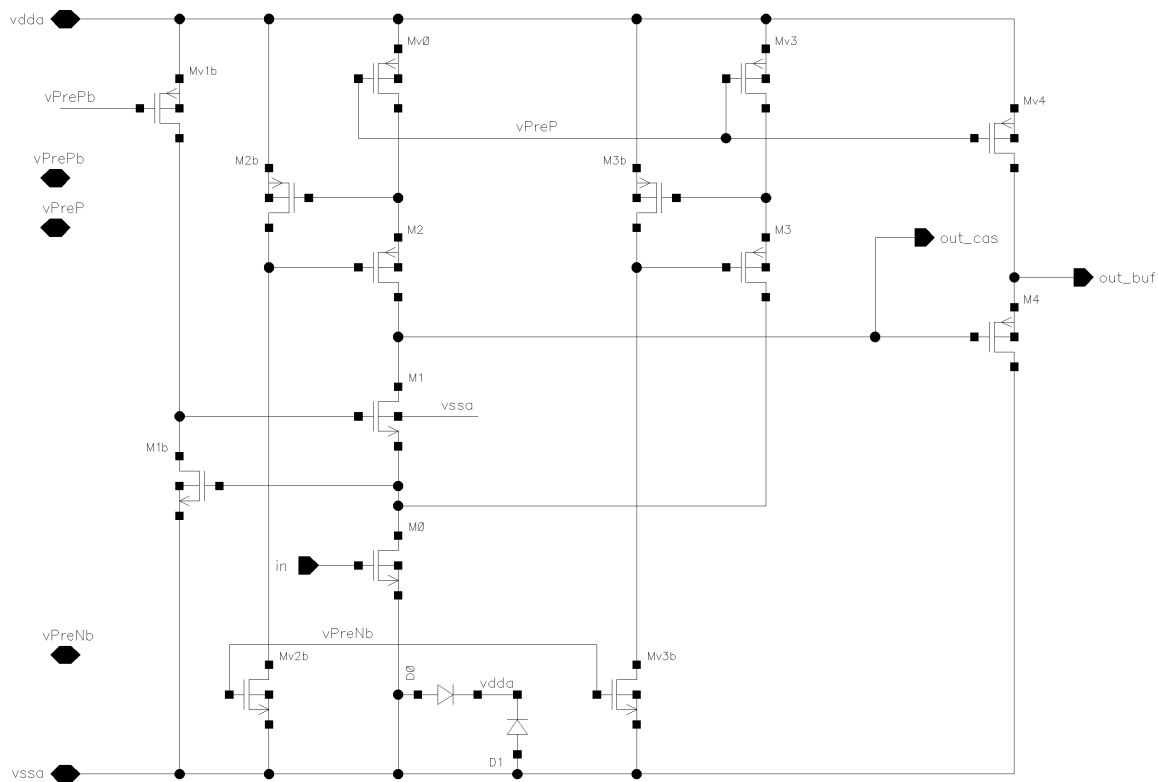
Rys. 3.3: Schemat różnicowego SAR ADC z dzielonym przetwornikiem DAC [16]

Fazę projektową autor pracy rozpoczął od symulacji wzmacniacza przedwzmacniacza i układu Krummenachera oraz wybrania architektury wzmacniacza różnicowego dla układu kształtującego. Poniżej przedstawiono najważniejsze cechy finalnych architektur wzmacniaczy operacyjnych oraz konfiguracji pojemnościowo-rezystywnej sieci sprzężeń zwrotnych.

Pierwszym elementem spektrometrycznego toru odczytu jest przedwzmacniacz, Na jego wejście trafia sygnał bezpośrednio z sensora. Dlatego najważniejszym jego parametrem jest poziom szumu. Z uwagi na to wybrano niesymetryczną architekturę wzmacniacza (z jednym wejściem, ang. single ended). Jeden tranzystor wejściowy generuje ok.  $\sqrt{2}$  razy niższą amplitudę szumu na wyjściu, co bezpośrednio wpływa na stosunek sygnału do szumu. Niemniej, taka architektura posiada gorsze parametry wrażliwości na: zakłócenia symetryczne (CMRR) oraz fluktuacje napięcia zasilania (PSRR). W omawianym front-endzie wykorzystano, sprawdzony w torach odczytu innych detektorów, układ dwustopniowego wzmacniacza przedstawiony na rysunku 3.4.

W pierwszym stopniu znajduje się układ kaskody z podbitym wzmocnieniem (ang. gain-boosted cascode) i rozdzielonym prądem. Tranzystory M0 i M1 stanowią kaskodę wejściową, a tranzystor M1b jest odpowiedzialny za efekt podbicia wzmocnienia poprzez zwiększenie transkonduktancji tranzystora M1 o wzmocnienie wzmacniacza opartego na tranzystorze M1b w układzie wspólnego źródła. Pierwszy stopień został obciążony kaskodowym lustrem prądowym z podbitym wzmocnieniem. Tranzystor M3 zapewnia separację prądów

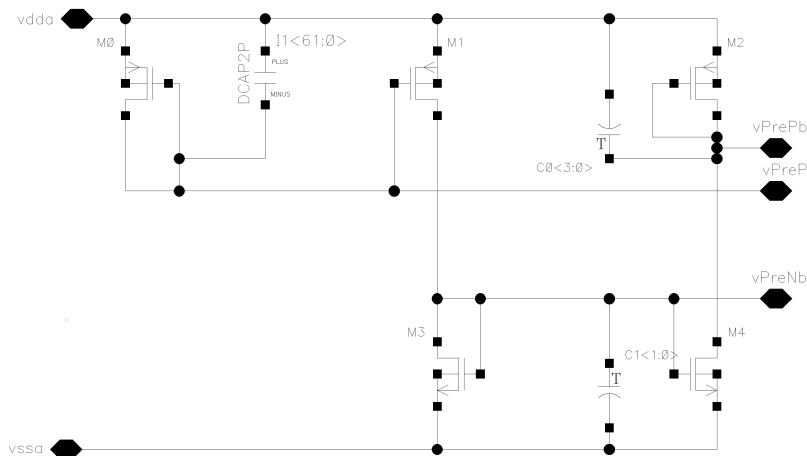
<sup>2</sup>Pojemności gromadzącej ładunek reprezentujący najmniej znaczący bit



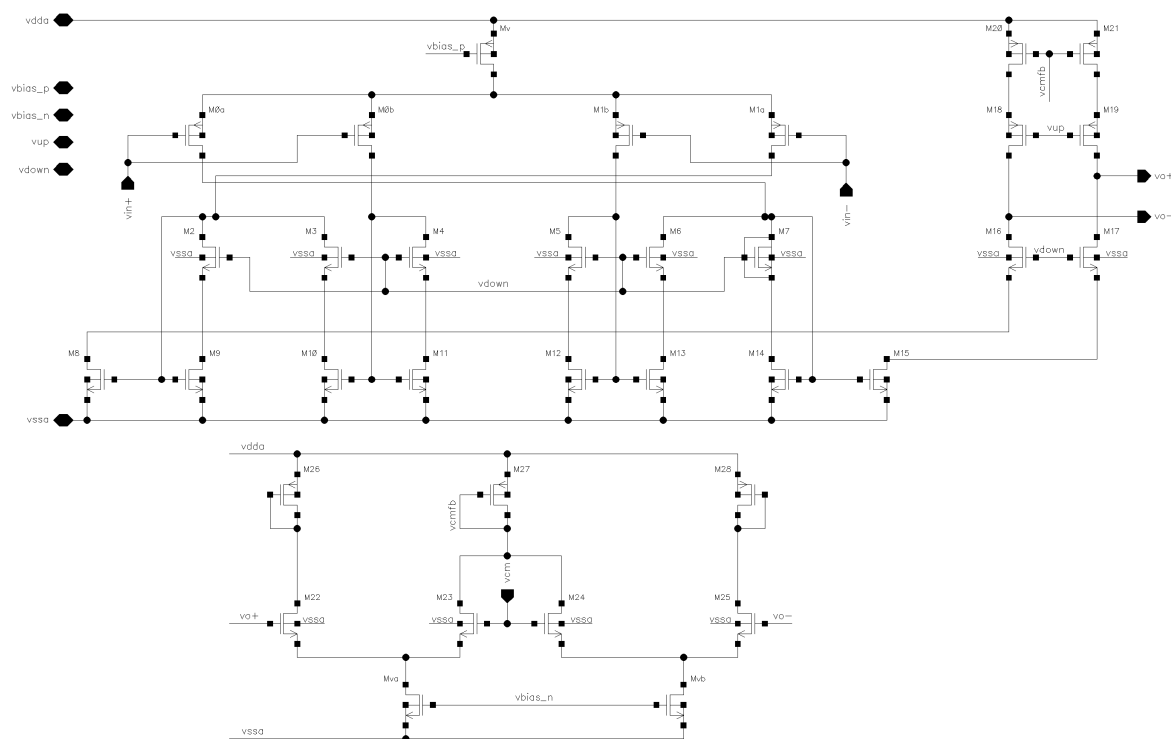
Rys. 3.4: Schemat wzmacniacza przedwzmacniacza

w tranzystorze wejściowym i obciążeniu pierwszego stopnia. Pozwala to na uzyskanie wysokiej transkonduktancji tranzystora wejściowego przy zachowaniu dużej rezystancji wyjściowej obciążenia. Tranzystory M3b i M3v zapewniają utrzymanie rezystancji wyjściowej kaskody na wysokim poziomie. Drugi stopień wzmacniacza stanowi bufor napięciowy oparty o tranzystor M4 w układzie wspólnego drenu obciążonego lustrem prądowym. Na schemacie 3.4 widzimy jedynie połówki luster prądowych, dla których napięcia polaryzujące bramek wystawia układ pokazany na rysunku 3.5. Jest on wspólny dla wszystkich kanałów. Do wejścia  $vPreP$  podłączone jest źródło prądu. Na schemacie widnieją kondensatory odsprężające I1, C0 i C1.

Następnym ogniwem toru pomiarowego jest układ kształtujący. Jego wyjście trafia na przetwornik ADC posiadający wejście różnicowe. Z tego względu zdecydowano się na architekturę w pełni symetryczną (posiadającą różnicowe wejście i wyjście, ang. fully differential). Za takim wyborem przemawiają także lepsze parametry CMRR i PSRR. Aby zapewnić jak największe wzmocnienie, tak ważne dla uzyskania wiernego kształtu impulsu, przy optymalizacji poboru mocy wybrano architekturę zawiniętej kaskody z obiegiem wtórnym (ang. recycled folded-cascode). Schemat przedstawia rys. 3.6. W górnej części widzimy jądro wzmacniacza, a poniżej układ sprzężenia zwrotnego sygnału wspólnego (CMF). Na schemacie nie uwzględniono układu polaryzującego lustra prądowe, który jest wspólny dla całego ASIC-a. Tranzystory M0a, M0b oraz M1a, M1b stanowią parę różnicową, której każde wejście



RYS. 3.5: Schemat układu polaryzującego do wzmacniacza przedwzmacniacza



RYS. 3.6: Schemat wzmacniacza układu kształtującego

jest rozdzielone na dwa tranzystory. Tranzystor  $M_v$  kontroluje prąd płynący przez wzmacniacz i został tak dobrany, aby wzmacniacz pracował poprawnie w szerokim zakresie stałego prądu polaryzacji. Umożliwia to zmianę parametrów wzmacniacza, takich jak maksymalny prąd wyjściowy, pasmo wzmocnienia i zużycie mocy podczas jego pracy, poprzez regulację napięcia polaryzującego bramkę tranzystora  $M_v$ . Tranzystory  $M_2$  do  $M_{15}$  tworzą cztery lustra prądowe odpowiedzialne za zwiększenie wzmocnienia niskoczęstotliwościowego wzmacniacza przy jednoczesnym ograniczeniu poboru mocy. Tranzystory  $M_{16}$ - $M_{21}$  to druga część zawiniętej kaskody, a  $M_{22}$  do  $M_{28}$  wraz z  $M_{v_a}$  i  $M_{v_b}$  tworzą sprzężenie zwrotne sygnału wspólnego, które utrzymuje tenże sygnał na poziomie zadanym przez  $v_{cm}$ .



Przed wybraniem architektury wzmacniacza przeprowadzono symulację także dwóch innych architektur zawiniętej kaskody z tranzystorami wejściowymi pMOS i nMOS. Wyniki symulacji porównawczych dla pewnej ustalonej konfiguracji sieci sprzężeń zwrotnych i pozostałych parametrów układu przedstawia tabela 3.2. Przeważający wpływ na wybór architektury miały: większe wzmocnienie (pozwalające na lepsze odwzorowanie kształtu impulsu) oraz pobór mocy. Należy zaznaczyć, że wybrana architektura jest trudniejsza w stabilizacji i wymaga większego kondensatora kompensującego. Nie mniej w praktyce zajmuje on ok.  $1500 \mu\text{m}^2/\text{kanał}$ , co sprawia, że jego redukcja o czynnik np. 10 nie zmieniłaby znacząco powierzchni ASIC-a.

TAB. 3.2: Wyniki porównania architektur wzmacniaczy różnicowych

Parametr	kaskoda pMOS	kaskoda nMOS	kaskoda z obiegiem wtórnym
SNR	35	37	38,5
Czas osiągnięcia maks. amp. impulsu <sup>4</sup>	65 ns	63 ns	61 ns
Wzmocnienie w otwartej pętli	45 dB	45 dB	55 dB
Margines fazy	72°	78°	70°
Wielkość kondensatora kompensującego	50 fF	200 fF	800 fF
Pobór mocy wzmacniacza	388 $\mu\text{W}$	350 $\mu\text{W}$	226 $\mu\text{W}$

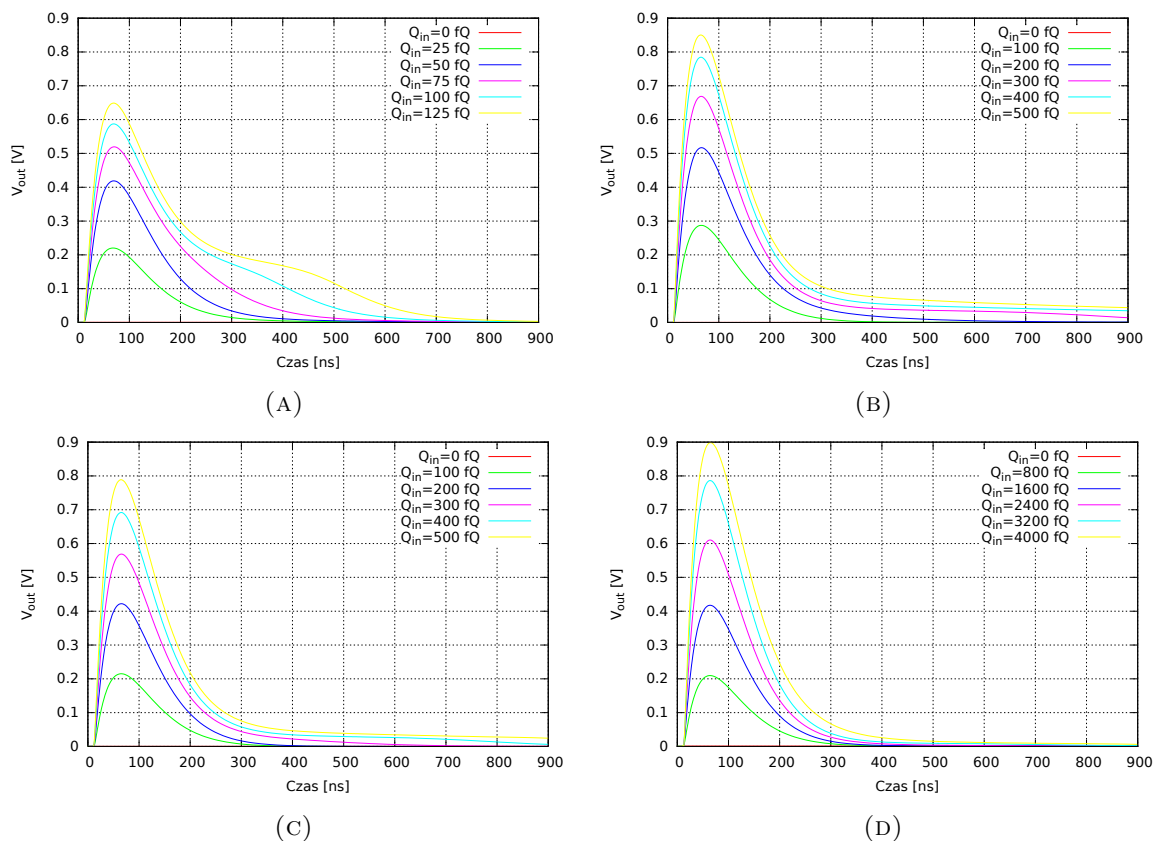
## 3.2 Wyniki symulacji

Układ elektroniki front-end został zaprojektowany w środowisku projektowym *Cadence*. Aby zweryfikować poprawność projektu wykonano szereg symulacji wzmacniaczy operacyjnych i całego układu, przy użyciu symulatora *Spectre*.

### 3.2.1 Odpowiedzi czasowe

Aby sprawdzić odpowiedzi czasowe podano na wejście układu sygnał ładunkowy w postaci szpilki prądowej (analogiczny do sygnału z sensora) i obserwowano wyjście. Rysunek 3.7 przedstawia przykładowe odpowiedzi na różne wartości ładunku wejściowego. Dla każdego trybu wzmocnienia istnieje granica powyżej której impuls przestaje mieć kształt impulsu z filtra CR-RC, a jego opadanie staje się wolniejsze. Dzieje się tak pomimo nieosiągnięcia maksymalnej amplitudy wyjściowej wzmacniacza układu kształtującego. Podając zakresy odwzorowania impulsów w rozdziale 3.1 podano wartość poniżej granicy zniekształcenia. Co prawda powyżej tej granicy amplituda maksymalna sygnału zmienia się według analogicznej zależności, jednak poprawne rozwikłanie impulsu na podstawie próbek ADC będzie niemożliwe.

<sup>4</sup>Przy założeniu idealności wzmacniaczy winien wynosić 50 ns

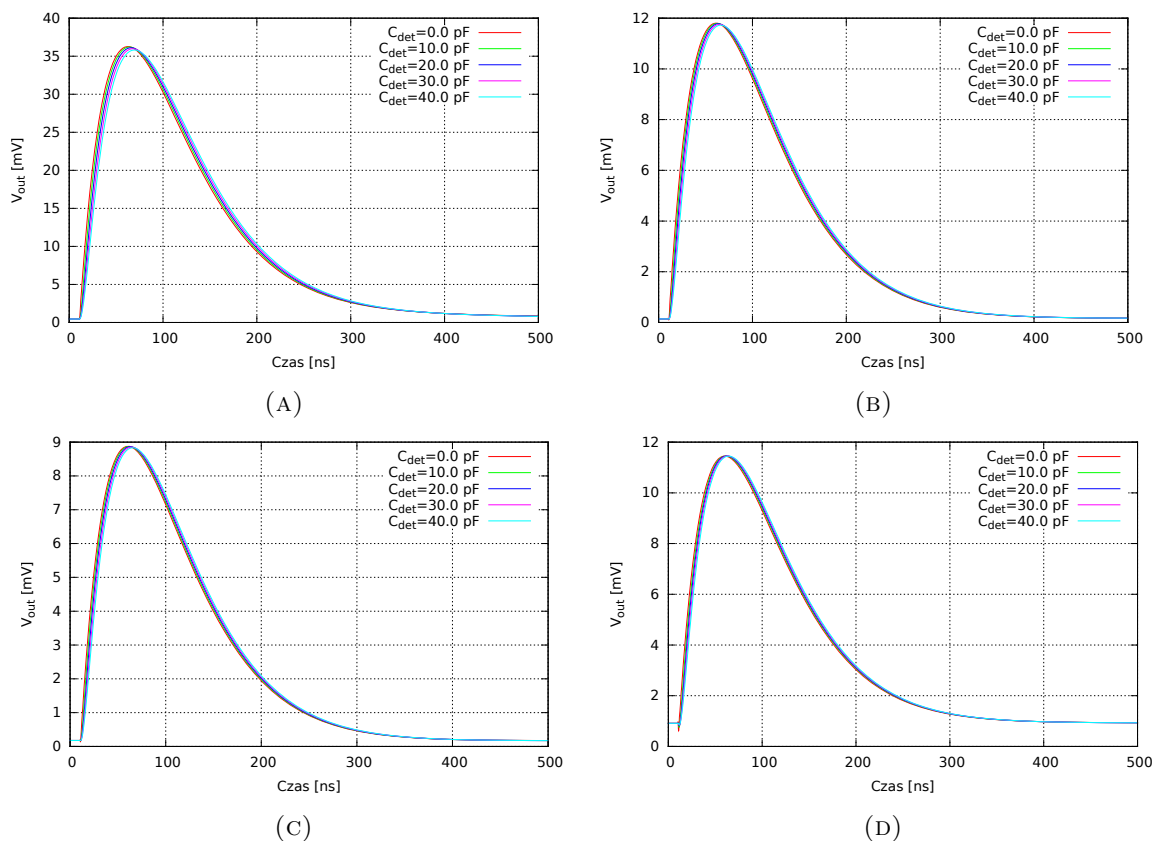


Rys. 3.7: Odpowiedzi czasowe na różne impulsy wejściowe: A) tryb 0, B) tryb 1, C) tryb 2, D) tryb 3

Prawdopodobną przyczyną tego zjawiska jest wychodzenie z punktu pracy tranzystora M1 we wzmacniaczu przedwzmacniacza (patrz rys. 3.4) dla zbyt dużych sygnałów wejściowych, co diametralnie pogarsza parametry szybkościowe wzmacniacza. Tej niedogodności nie udało się wyeliminować z powodu zbliżającego się terminu wysyłki układu do produkcji. Jednak niższe amplitudy sygnałów odwzorowywane są poprawnie. Amplituda sygnału opada poniżej 5% maksymalnej amplitudy po 330 ns, co spełnia założenia projektowe.

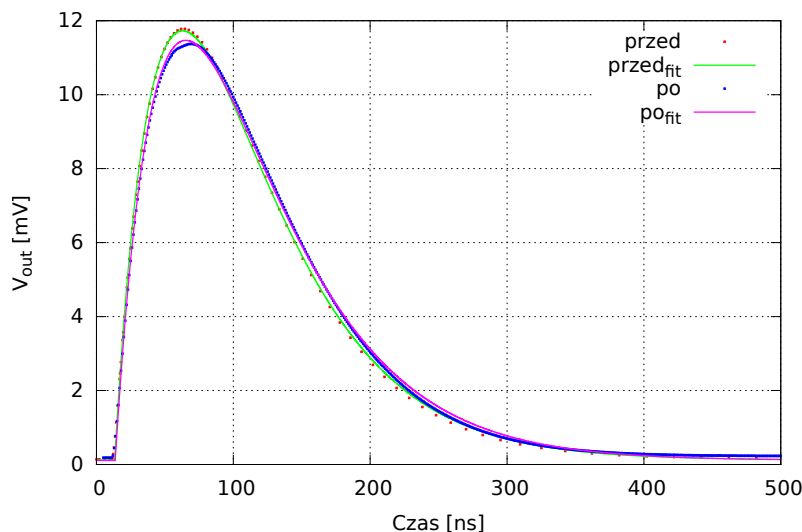
Zbadano wpływ pojemności sensora na kształt impulsu. Z racji tego, że układ będzie współpracował z różnymi pojemnościami sensora dąży się, podczas projektowania, do zminimalizowania jej wpływu, aby poprawić dokładność wyników i uprościć kalibrację układu. Rys. 3.8 prezentuje wyniki. Wraz ze wzrostem pojemności maleje nieznacznie (poniżej 1%) maksimum amplitudy, a czas jego osiągnięcia wydłuża się o nie więcej niż ok. 10%. Spowodowane jest to większą bezwładnością układu i będzie miało pomijalny wpływ w porównaniu np. z błędem kwantyzacji ADC.

Ponieważ sygnał analogowy nie będzie bezpośrednio obserwowany w układzie, a jedynie jego spróbkowana postać, przeprowadzono symulacje wpływu otwierania i zamykania kluczy wejściowych przetwornika ADC na kształt impulsu. Do wyjść układu podpięto układ próbkujący wraz z pojemnością symulującą pracę przetwornika. Podczas zamykania klucza



RYS. 3.8: Odpowiedzi czasowe dla różnych pojemności wejściowych: A) tryb 0, B) tryb 1, C) tryb 2 - ( $Q_{in} = 4 fQ$ ), D) tryb 3 ( $Q_{in} = 40 fQ$ )

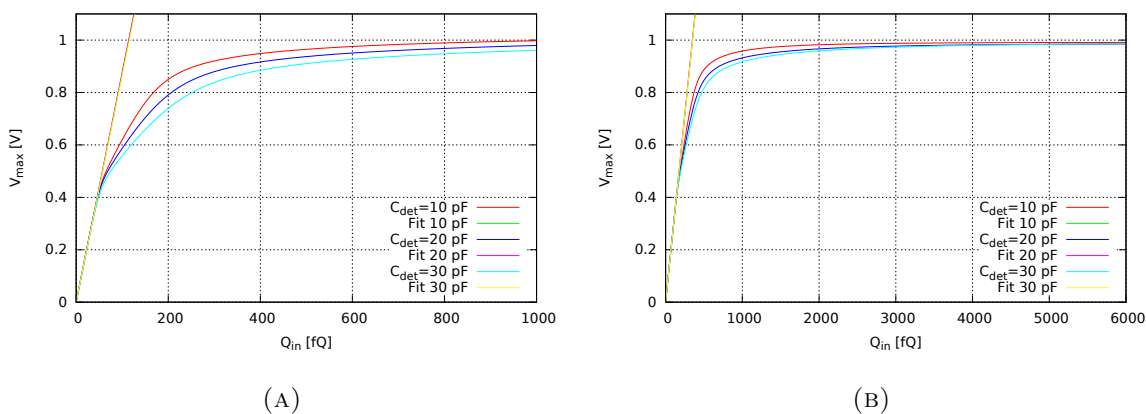
na wyjściu obserwuje się chwilowy spadek amplitudy sygnału związany z przeładowaniem dodatkowej pojemności. Klucze zamykane są na 5 ns i po tym czasie odczytywana jest wartość amplitudy sygnału, a następnie przetwarzana na słowo cyfrowe. Dla zbadania wpływu konwersji na kształt sygnału zebrano serię próbek co 50 ns ze zmiennym opóźnieniem rozpoczęcia próbkowania względem początku impulsu. Nanosząc próbki na jeden wykres odtworzono kształt sygnału po próbkowaniu i porównano z oryginalnym. Do obu krzywych dopasowano teoretyczny kształt impulsu z filtra CR-RC. Wyniki przedstawiają rys. 3.9 i A.1.1. Sygnał po próbkowaniu narasta i opada nieco wolniej. Niższa jest też jego amplituda maksymalna o ok. 3%. Tak jak w przypadku rosnącej pojemności sensora jest to spowodowane dodatkową pojemnością przeładowywaną przez jeden ze wzmacniaczy. Zauważalne jest też nieznaczne odstępstwo od kształtu w maksimum amplitudy. Ujawnia się ono w miejscu zmiany monotoniczności sygnału i jest na tyle małe, że nie powinno mieć wpływu na proces odwikłania sygnału z próbek ADC.



RYS. 3.9: Odpowiedzi czasowe przed i po próbkowaniu, tryb 1

### 3.2.2 Wzmocnienie ładunkowe

Zależność maksymalnej amplitudy sygnału od ładunku wejściowego dla kilku wartości pojemności sensora  $C_{det}$  prezentują rys.: 3.10 i A.1.2. Do liniowej części zależności dopasowano prostą w celu wyznaczenia wzmocnienia ładunkowego układu, a także zakresu liniowego - czyli maksymalnej wartości ładunku wejściowego dla której zależność jest liniowa. Ze zwiększającym się ładunkiem na wejściu następuje nasycenie wzmacniaczy operacyjnych i zależność ulega spłaszczeniu. Dochodzi ona nieco poniżej 1 V. Choć rys. 3.10 i A.1.2 ukazują, że wraz z rosnącą pojemnością sensora układ nasycy się coraz wolniej to tabela 3.3 uwidacznia, że różnice są zauważalne jedynie poza zakresem liniowym. Wartości wzmocnienia różnią się od teoretycznych (zaprezentowanych w tab. 3.1) o mniej niż 16% i jest to spowodowane uwzględnieniem w symulacji części pojemności i rezystancji pasożytniczych oraz nieidealności wzmacniaczy operacyjnych.



RYS. 3.10: Wzmocnienie ładunkowe dla różnych pojemności sensora: A) tryb 0, B) tryb 1

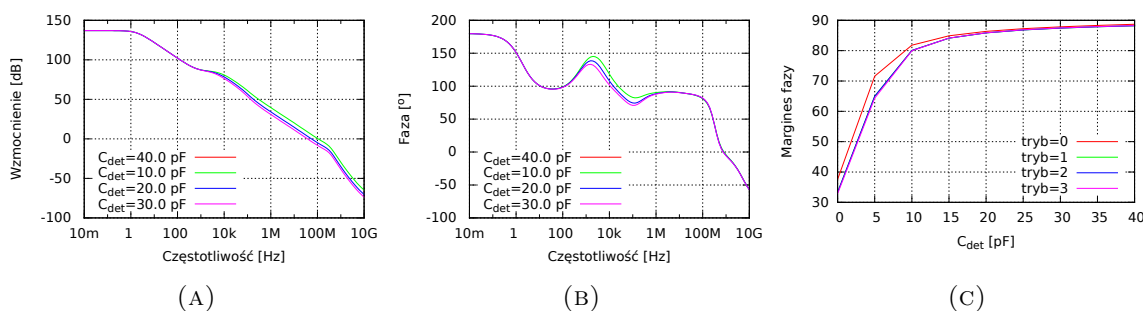
TAB. 3.3: Wzmocnienia ładunkowe układu

Tryb	$C_{det} = 10 \text{ pF}$	$C_{det} = 20 \text{ pF}$	$C_{det} = 30 \text{ pF}$	Zakres liniowy
0	8.76 mv/fQ	8.76 mv/fQ	8.67 mv/fQ	34 fQ
1	2.86 mv/fQ	2.86 mv/fQ	2.85 mv/fQ	130 fQ
2	2.14 mv/fQ	2.13 mv/fQ	2.13 mv/fQ	180 fQ
3	0.26 mv/fQ	0.26 mv/fQ	0.26 mv/fQ	1.9 pQ

### 3.2.3 Charakterystyki częstotliwościowe i stabilność

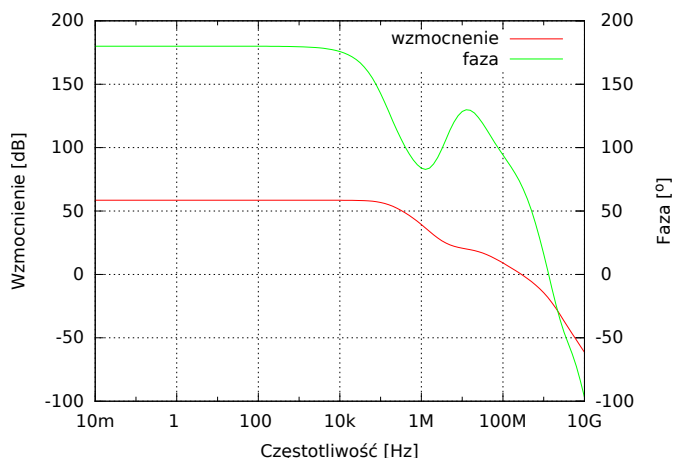
Po ustaleniu punktów pracy tranzystorów wykonano symulacje wzmocnienia i fazy wzmacniaczy w otwartej pętli sprzężenia zwrotnego.

Zależność fazy i wzmocnienia wzmacniacza przedwzmacniacza od częstotliwości dla różnych wartości pojemności sensora przedstawia rys. 3.11. Poniżej zaprezentowano wyniki symulacji dla trybu wzmocnienia 1. Dla pozostałych trybów zależność była analogiczna (rys. A.1.3). Łatwo zauważyć, że układ staje się mało stabilny dla zerowej pojemności sensora (margines fazy na poziomie  $30^\circ$ ). Jednak już od wartości pojemności 5 pF margines fazy osiąga  $65^\circ$ , a dla 10 pF ponad  $80^\circ$ , co czyni układ przedwzmacniacza zdecydowanie stabilnym. Przeprowadzono także symulacje stabilności dla każdego ze wzmacniaczy podbijających wzmocnienie oraz układu Krummenachera - wszystkie wykazywały stabilność w zadanych warunkach pracy.



RYS. 3.11: Charakterystyki częstotliwościowe w otwartej pętli sprzężenia zwrotnego: A) fazy, B) wzmocnienia, C) margines fazy w fun.  $C_{det}$

Podobne symulacje przeprowadzono dla wzmacniacza układu kształtującego. Zebrano charakterystyki częstotliwościowe dla pierwszego trybu wzmocnienia, przedstawia je rys. 3.12. Pojemności sensora nie ma wpływu na sprzężenie zwrotne układu kształtującego dlatego nie prezentuje się wyników symulacji w funkcji tego parametru. Wzmocnienie niskoczęstotliwościowe wzmacniacza wynosi 840 i posiada on biegun dominujący dla 140 KHz. Margines fazy wynosi  $70^\circ$ . Warto jednak zaznaczyć, że w momencie próbkowania sygnału wzmacniacz na swoim wyjściu widzi niemal dwa razy większą pojemność za sprawą pojemności wejściowej przetwornika ADC, co powoduje wzrost marginesu fazy do  $92^\circ$ . Dla pozostałych trybów wzmocnienia zauważono jedynie niewielkie różnice charakterystyk, poza wzmocnieniem

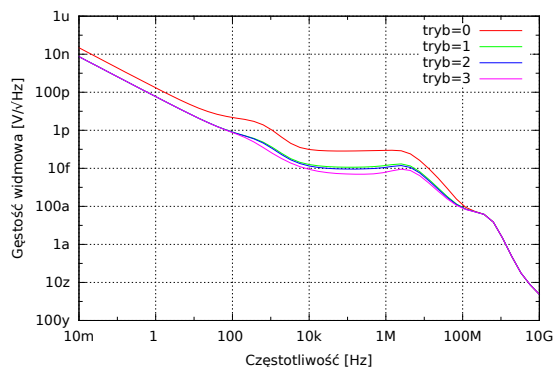


Rys. 3.12: Charakterystyki częstotliwościowe układu kształtującego w otwartej pętli sprzężenia zwrotnego dla trybu 1

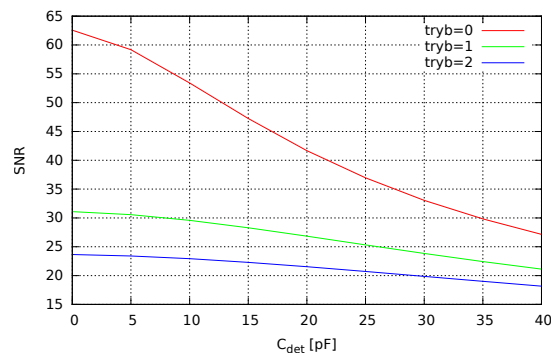
dla trybu 0, które dla niskich częstotliwości wynosi 300. Jest to wartość, która w dalszym ciągu wystarcza do poprawnego odwzorowania kształtu impulsu.

### 3.2.4 Szumy

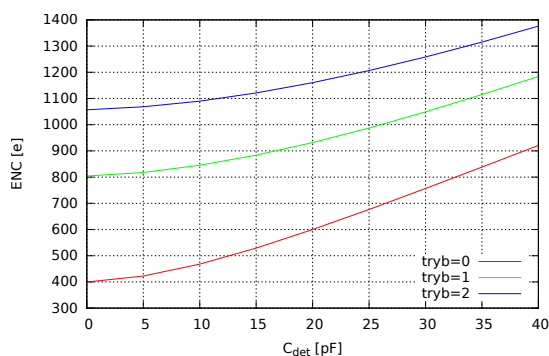
Kolejnym bardzo ważnym parametrem układu są szumy. Przykładowe widma gęstości mocy szumów na wyjściu układu kształtującego dla wszystkich trybów wzmocnienia przedstawia rys. 3.13. Całkując gęstość widmową w pewnym przedziale otrzymujemy wartość średniokwadratową mocy szumów na wyjściu w tym przedziale częstotliwości. Na podstawie wartości średniokwadratowej uzyskanej poprzez całkowanie w przedziale od 100 mHz do 1 GHz obliczono ekwiwalentny ładunek szumowy w funkcji pojemności sensora. Wyniki przedstawiono na rys. 3.15. Szum rośnie wraz z rosnącą pojemnością padów sensora, jednak nawet dla największych jego wartości pozwala na osiągnięcie stosunku sygnału do szumu powyżej 20 dla trybu wzmocnienia 1 i niewiele poniżej 20 dla trybu 2 (rys. 3.14). W trybie 0 dla pojemności sensora 20 pF SNR wynosi 42, co pozwala na dokładną rekonstrukcję MIP-ów. Uwzględniając w równaniu 2.24 jedynie współczynnik określający szum prądowy biały pochodzący od tranzystora wejściowego przedwzmacniacza otrzymano ENC równe ok. 550 elektronów dla trybu wzmocnienia 1 i pojemności sensora 20 pF. Jest to wartość o ok. 40 % mniejsza od uzyskanej w symulacji sumarycznego ładunku szumowego i pokrywa się ze szczegółową symulacją wkładu poszczególnych komponentów w ENC. Uwidacznia to przeważający wkład szumu tranzystora M0 (rys. 3.4) w amplitudę szumu na wyjściu układu.



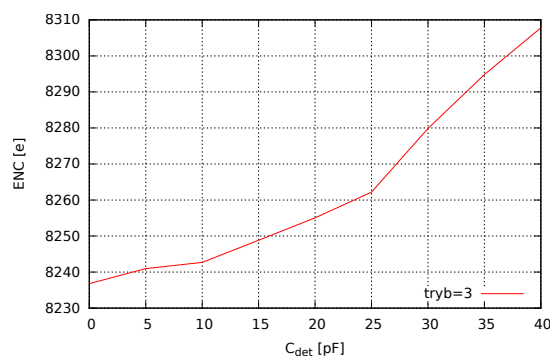
Rys. 3.13: Wyjściowa gęstość widmowa mocy szumów ( $C_{det} = 20 \text{ pF}$ )



Rys. 3.14: Stosunek sygnału do szumu w funkcji  $C_{det}$  dla 1 MIP-a



(A)



(B)

Rys. 3.15: Ekwiwalentny ładunek szumowy w funkcji  $C_{det}$ : A) tryby od 0 do-2, B) tryb 3

### 3.2.5 Niedopasowanie

Produkcja układu scalonego polega na nanoszeniu na podłoże krzemowe kolejnych warstw metodą litografii. Procesy produkcji z powodu swojej złożoności podlegają rozrzutowi statystycznemu. Na parametry układu ma także wpływ rozplanowanie masek, które opisuje rozdział 3.3. Żeby sprawdzić jak małe odstępstwa od zakładanego modelu (np. zmiany domieszkowania, czy niedokładność odwzorowania wymiarów) wpływają na układ przeprowadzono symulacje Monte Carlo rozrzutu napięcia na wyjściu układu przed pojawieniem się impulsu, czyli linii bazowej (ang. baseline) oraz marginesu fazy wzmacniacza. Wyniki symulacji reprezentuje rozkład Gaussa o wartości oczekiwanej równej wartości parametru otrzymanej w poprzednich symulacjach. Dla marginesu fazy odchylenie standardowe wynosiło  $2\text{-}3^\circ$ . Co oznacza, że w 95 % przypadków, dla standardowych warunków pracy, margines fazy wzmacniacza operacyjnego nie spadnie poniżej  $70^\circ$  - zarówno dla przedwzmacniacza jak i układu kształtującego. Jest to wartość wystarczająca do zapewnienia stabilności.

Pożądana wartość napięcia na wyjściu różnicowym przed pojawieniem się impulsu wynosi 0 V. Tyle w przybliżeniu wskazują wyniki symulacji prezentowane w rozdziale 3.2.1.

W wyniku symulacji Monte Carlo otrzymano rozkład tego parametru z odchyleniem standardowym ok. 5 mV (rys. A.1.4). Oznacza to, że w 95 % kanałów baseline zawrze się w przedziale od -10 do 10 mV. Biorąc pod uwagę, że w trybie wzmocnienia 1 i 2 odpowiedź na cząstkę minimalnie jonizującą sięga 10 mV, konieczne będzie uwzględnienie poziomu odniesienia każdego kanału osobno w analizie wyników. Dla wyeliminowania tej niedogodności istnieje możliwość umieszczenia w kolejnej wersji układu w każdym kanale przetwornika DAC, który wymuszając przepływ małego prądu przez rezystor w sprzężeniu zwrotnym układu kształtującego korygowałby wartość poziomu odniesienia na 0 V. Po przeprowadzeniu jednorazowej kalibracji przetworników nastąpi wówczas wyrównanie poziomu stałego we wszystkich kanałach.

### 3.3 Plan masek układu

Po zakończonych symulacjach układu na poziomie schematu zaprojektowano topologię masek układu front-end. Układ wykonano w technologii CMOS pozwalającej na minimalną długość kanału tranzystora polowego 130 nm (dla tranzystorów pMOS i nMOS). Dostępne były także: szereg warstw rezystancyjnych, izolacyjnych i pojemnościowych oraz 7 warstw metalicznych do połączeń elektrycznych (dwie najwyższe o zwiększonej grubości). Standardowe napięcie zasilania wynosi 1,2 V. Podczas etapu projektowania masek technologicznych należy pogodzić szereg wymagań stawianych układowi z ograniczeniami procesów technologicznych. Żeby proces produkcji przebiegał prawidłowo należy przestrzegać reguł danej technologii. Do najważniejszych z nich należą:

- minimalna długość bramki tranzystora - zapewniająca poprawność działania komponentu
- minimalna odległość pomiędzy warstwami - związana z fizycznym procesem trawienia kolejnych warstw
- minimalne pole powierzchni, szerokość warstwy - gwarantująca nieprzerwanie połączenia elektrycznego podczas procesu produkcji
- maksymalna gęstość prądu w ścieżce metalowej - w celu ograniczenia migracji nośnika i zapewnienia zakładanej żywotności układu
- i wiele innych.

Od przestrzegania powyższych reguł zależy dopuszczenie układu do produkcji. Poza nimi istnieją także zalecenia i reguły pozwalające ograniczyć wpływ aspektów stochastycznych takich jak: gradient temperatury, gradient domieszkowania, zróżnicowana grubość tlenku bramki, czy nieodwzorowanie kształtu. Oto najistotniejsze z nich:



1. Zapewnienie identycznej polaryzacji.

Ponieważ prąd płynący przez elementy rezystywne powoduje spadek napięcia należy zadbać o to, żeby doprowadzenia i kontakty do wszystkich elementów mających znajdować się na tym samym potencjale były identyczne.

2. Zgodna orientacja elementów.

Przestrzenny gradient domieszkowania lub anizotropia sieci krystalicznej monokryształu krzemu zmieniają parametry zbudowanych nań tranzystorów i innych elementów. Dlatego należy zadbać o zgodny kierunek ułożenia i zwrot przepływu prądu. Ułożenie np. dwóch identycznych tranzystorów pod kątem  $90^\circ$  może prowadzić do istotnych różnic w ich parametrach pracy.

3. Wymiarowanie poprzez multiplikację.

Jeżeli w układzie znajdują się elementy, dla których zachowanie względności wymiarów jest istotne, należy zbudować je z identycznych elementów podstawowych. Na przykład mając dwa rezystory, z których jeden powinien być dwa razy dłuższy należy połączyć go z dwóch elementów podstawowych takich, jak drugi rezystor. Albo chcąc uzyskać dwa razy szerszy tranzystor należy połączyć równolegle dwa tranzystory podstawowe. Zapewnia to lepsze dopasowanie.

4. Zapewnianie identycznego otoczenia.

Otoczenie elementów wpływa na proces produkcji i ich parametry. Często stosuje się atrapy elementów (tj. elementy nie pełniące żadnej funkcji w układzie, ang. dummy), żeby zapewnić takie samo sąsiedztwo istotnych komponentów.

5. Używanie możliwie dużych elementów.

Zniekształcenia wynikające z procesów produkcji dotyczą szczególnie brzegów obszarów.

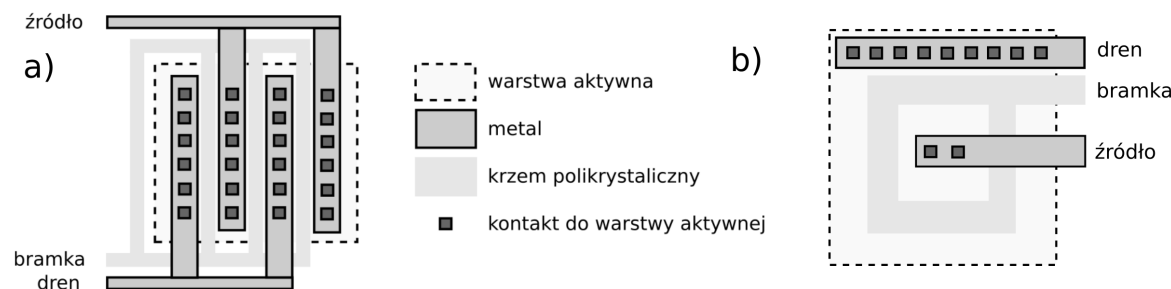
Ponadto dobrze widziane jest zajęcie jak najmniejszej powierzchni całkowitej. Z tego względu początkowo dokonano analizy i klasyfikacji komponentów pod względem istotności i czułości. Następnie bezwzględnie trzymano się zaleceń projektowych tylko wobec najistotniejszych komponentów.

Poniżej przedstawiono kluczowe aspekty planowania masek poszczególnych części układu.

### 3.3.1 Wzmacniacze

Jak już zostało wspomniane wzmacniacze przedwzmacniacza i układu Krummenachera zostały przeniesione (z drobnymi modyfikacjami) z innych, sprawdzonych torów odczytu. W układzie przedwzmacniacza dla minimalizacji rezystancji rozproszonej bramki tranzystora

wejściowego (mającej wpływ na szумы) zastosowano strukturę wielopalczystą zaprezentowaną na rys. 3.16 A). Tranzystor ów został otoczony dodatkowym, podwójnym pierścieniem ochronnym w celu minimalizacji wpływu otoczenia na pracę tranzystora.



RYS. 3.16: Layout tranzystora: a) wielopalczastego, b) zamkniętego

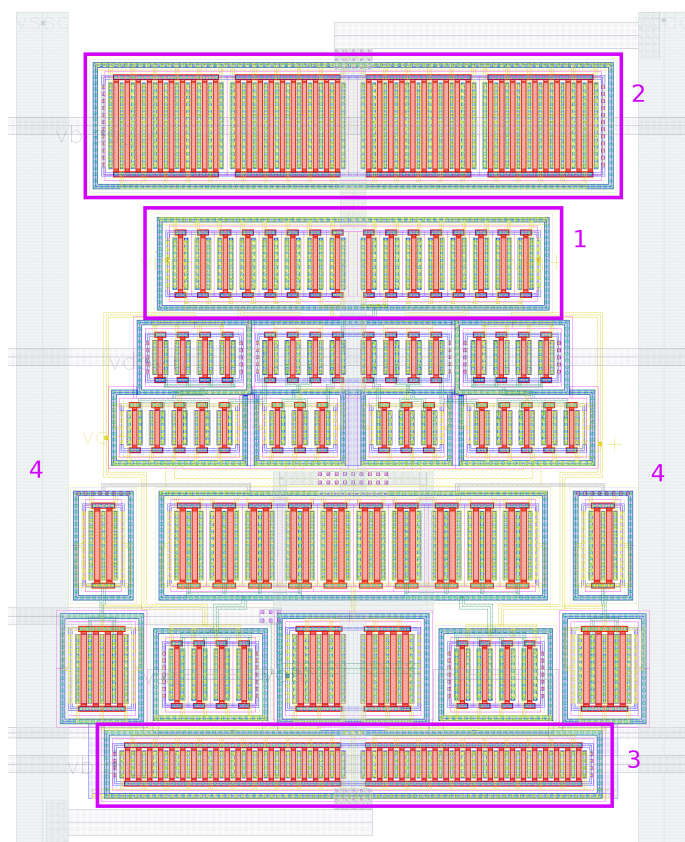
We wzmacniaczu Krummenachera, w lustrach prądowych zastosowano tranzystory o zamkniętym layoucie (ELT). W tym sposobie rysowania tranzystora stosuje się bramkę w formie zamkniętej ścieżki zamiast podłużnego paska. Dren umiejscowiony jest wewnątrz, a źródło na zewnątrz (bądź odwrotnie), co pokazano na rys. 3.16 B). W tym przypadku zdecydowano się na taki zabieg w celu redukcji prądu upływu. Przy zastosowaniu klasycznego sposobu rysowania tranzystorów stanowiłby znaczącą część prądu tranzystora. Ponadto umieszczono atrapy dookoła tranzystorów w celu zapewnienia zgodności sąsiedztwa elementów wchodzących w skład luster prądowych. Od ich dokładności zależy napięcie przesunięcia (ang. offset) na wyjściu różnicowym.

W układzie kształtującym największy nacisk położono na symetrię wzmacniacza (jako architektury w pełni różnicowej). Wszystkie tranzystory pary różnicowej zostały położone w jednym pierścieniu ochronnym (ang. guard ring) aby zapewnić możliwie identyczne środowisko. Polaryzujące lustra prądowe wykonano z takich samych, powielonych jednostek podstawowych, a ich linie napięciowe polaryzujące bramki tranzystorów odsprzęgnięto pojemnościami, których wielkość dobrano na podstawie symulacji i dostępnego miejsca w ASIC-u. Rozmieszczenie wszystkich tranzystorów i ścieżek jest w pełnej symetrii osiowej. Plan masek wzmacniacza układu kształtującego prezentuje rys. 3.17.

Wszystkie tranzystory użyte w układzie otoczone są pierścieniem ochronnym dla zatrzymania migracji ładunku przez podłoże i minimalizacji wpływu otoczenia.

### 3.3.2 Sieć sprzężeń zwrotnych

Wzmacniacze tworzą rdzeń kanału ze wspólnymi liniami zasilającymi. Dookoła rozmieszczono kondensatory i rezystory z sieci sprzężeń zwrotnych. Użyto rezystorów z warstwą o podwyższonej rezystywności w celu minimalizacji zajętego przez nie miejsca. Wykorzystano



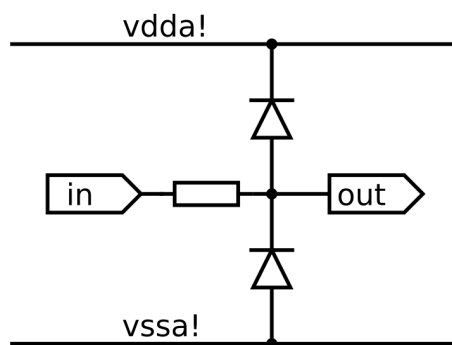
RYS. 3.17: Plan masek wzmacniacza układu kształującego: 1- para różnicowa, 2- polaryzacja wzmacniacza, 3 - polaryzacja CMF, 4 - linie zasilania

kondensatory typu metal-izolator-metal MIM, gdyż cechują się największą dokładnością, dopasowaniem i stałą pojemnością w funkcji napięcia między okładkami. Ich wadą jest zajmowanie dużej przestrzeni. Żeby dopasować pojemności w sprzężeniu zwrotnym przedwzmacniacza z układu PZC ustalono kondensator podstawowy na 300 fF i z takich kondensatorów zbudowano całą sieć. Pojemności rozmieszczono symetrycznie względem rdzenia. Rezystory złożono w siatkę o komórce podstawowej 15 kΩ. Na brzegach siatki dołożono atrapy. Szerokość kanału (ang. pitch) wynosiła 80 μm, układ jego masek zaprezentowano na rys. 3.19.

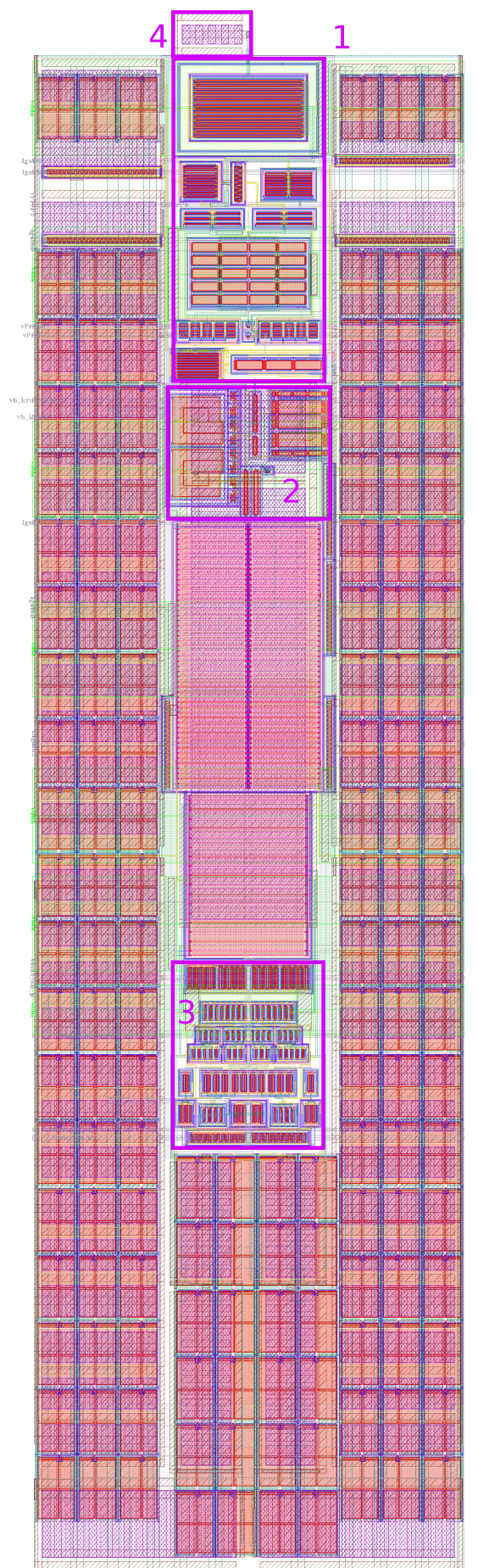
Pod kondensatorami sprzężenia zwrotnego znajdują się tranzystory w połączeniu pojemnościowym służące jako odsprężenie linii zasilających. Redukuje to powierzchnię kanału.

Na cały ASIC składa się 8 kanałów analogowego front-endu z ADC i układem cyfrowego przetwarzania danych, układy polaryzujące i pierścienie padów. W padach, z których sygnał trafia na bramki tranzystorów (np. pady wejściowe) zastosowano protekcję diodowo-rezystywną, przedstawioną na rys. 3.18. Zabezpieczenie chroni bramkę tranzystora przed wyładowaniami elektrostatycznymi mogącymi nastąpić podczas procesu montażu i podłączenia układu scalonego. Diody są spolaryzowane zaporowo i w pierwszym przybliżeniu nie mają wpływu na dalsze stopnie układu. Jednak podczas pojawienia się na wejściu sygnału

o napięciu większym od górnej lub mniejszym od dolnej szyny zasilania zapewniają odpływ ładunku.



Rys. 3.18: Schemat protekcji wejścia

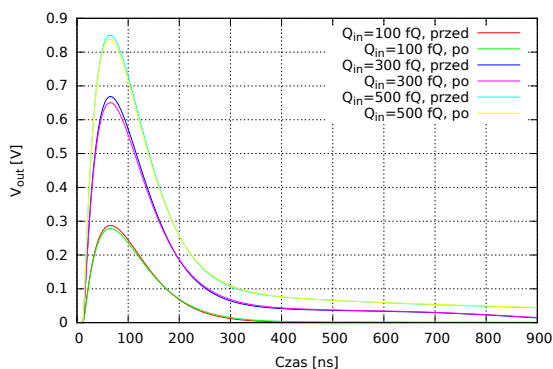


RYS. 3.19: Plan masek kompletnego kanału: wzmacniacze: 1 - przedwzmacniacza, 2 - Krumenachera, 3 - shapera, 4 - pojemność testowa, reszta to pojemnościowo-rezystywna sieć sprzężeń zwrotnych i odsprzeg zasilania

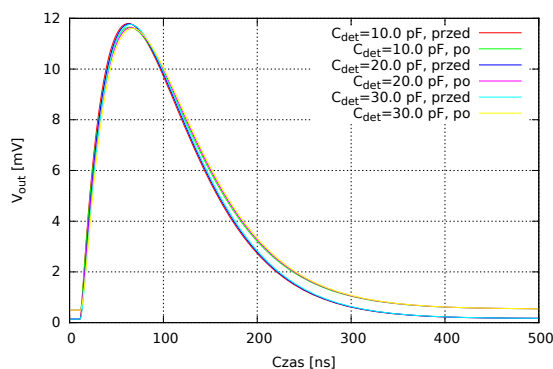
### 3.4 Symulacje z uwzględnieniem topologii warstw fizycznych

Po zakończeniu projektowania masek wykonano ekstrakcję i przeprowadzono symulacje post-layoutowe parametrów i charakterystyk układu uwzględniające rezystancje i pojemności pasożytnicze, a także sposób rozmieszczenia elementów.

Tak jak poprzednio zebrano impulsy wyjściowe dla różnych wartości ładunków wstrzykiwanych na wejście układu. Wyniki, w porównaniu do rezultatów sprzed ekstrakcji, przedstawiają rys. 3.20 i A.2.5. Dodatkowe pojemności i rezystancje pasożytnicze zmieniają delikatnie kształt impulsu, który osiąga nieznacznie niższą amplitudę i wolniej powraca do poziomu bazowego. Układ cechuje się większą bezwładnością, co było spodziewanym efektem. Jednak różnice parametrów nie przekraczają kilku procent i są najbardziej widoczne dla największego wzmocnienia (A.2.5a), które posiada najmniejszą pojemność w sprzężeniu zwrotnym przedwzmacniacza. Dlatego dodanie do niej dodatkowych pojemności doprowadzi najbardziej (proporcjonalnie) zaburza tę wartość.



Rys. 3.20: Odpowiedzi czasowe na różne impulsy wejściowe, tryb 1



Rys. 3.21: Odpowiedzi czasowe dla różnych  $C_{det}$ , tryb 1

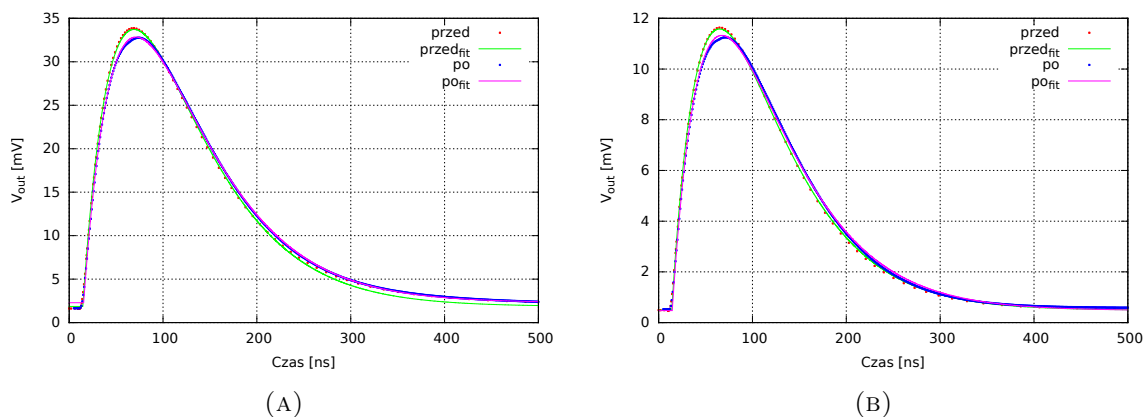
Te same obserwacje potwierdzają symulacje dla zmiennej pojemności sensora zamieszczone na rys. 3.21 i A.2.6. Dodatkowo uwidaczniają one przesunięcie linii bazowej o kilka-set  $\mu V$  do góry, które można wyjaśnić zaburzeniami symetrii architektury różnicowej wprowadzonymi przez plan masek układu. Wartość ta jest jednak znacznie mniejsza od nieokreśloności amplitudy przetwornika ADC i będzie miała znikomy wpływ na dokładność pomiarów.

Podczas badania wpływu zamykania i otwierania kluczy *bootstrap* na wejściach ADC nie zauważono różnic wprowadzanych przez sposób rozplanowania masek. Zmiana amplitudy i czasu osiągnięcia maksimum jest porównywalna z omawianą w rozdziale 3.2.1. Zdeformowanie kształtu nie pogłębiło się po wprowadzeniu *pasożytów*, co pokazuje rys. 3.22.

W tabeli 3.4 zestawiono wzmocnienia ładunkowe i zakresy liniowe wszystkich trybów wzmocnienia sprzed i po uwzględnieniu topologii masek układu dla najczęściej występującej pojemności sensora - 20 pF. Różnice są niewielkie.

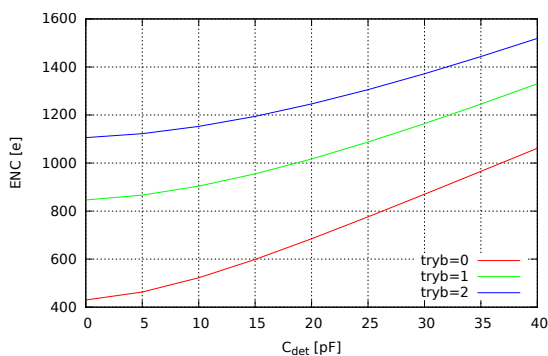
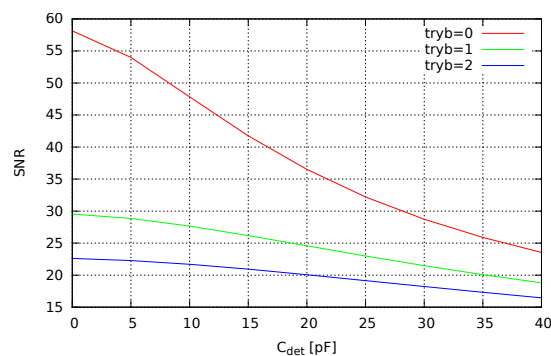
TAB. 3.4: Wzmocnienia ładunkowe układu przed i po ekstrakcji

Tryb	Wzmocnienie <i>przed</i>	Wzmocnienie <i>po</i>	Zakres liniowy <i>przed</i>	Zakres liniowy <i>po</i>
0	8,76 mv/fQ	7,91 mv/fQ	34 fQ	36 fQ
1	2,86 mv/fQ	2,74 mv/fQ	130 fQ	130 fQ
2	2,14 mv/fQ	2,06 mv/fQ	180 fQ	180 fQ
3	0,26 mv/fQ	0,25 mv/fQ	1,9 pQ	1,88 pQ



Rys. 3.22: Odpowiedzi czasowe przed i po próbkowaniu, po ekstrakcji: A) tryb 0, B) tryb 1

Zebrano charakterystyki szumowe dla wszystkich trybów wzmocnienia, przedstawia je rys. A.2.7. Na ich podstawie wyznaczono [ENC](#) i [SNR](#). Wyniki prezentują rys.: [3.23](#), [A.2.8](#) i [3.24](#). Właściwości szumowe układu uległy pogorszeniu o ok. 7-12%, był to spodziewany efekt, a [SNR](#) pozwala nadal na rozpoznanie [MIP](#)-ów w 1 i 2 trybie wzmocnienia nawet dla największych padów sensora.

Rys. 3.23: [ENC](#) w funkcji  $C_{det}$ Rys. 3.24: [SNR](#) dla 1 [MIP](#)-a

Rozrzut linii bazowej w symulacjach Monte Carlo zwiększył się o mniej niż 2%. Zaprojektowane maski nie pogłębiają niedopasowań. Rozkłady zaprezentowano na rys. [A.2.9](#).





## Rozdział 4

# Pomiary testowe elektroniki front-end

Na wyprodukowanych układach dedykowanej elektroniki front-end wykonuje się pomiary testowe. Najpierw dzieje się to w laboratorium, gdzie sygnały wejściowe są symulowane za pomocą generatorów, a następnie na wiązce testowej - co jest praktycznie równoważne pracy w prawdziwym eksperymencie.

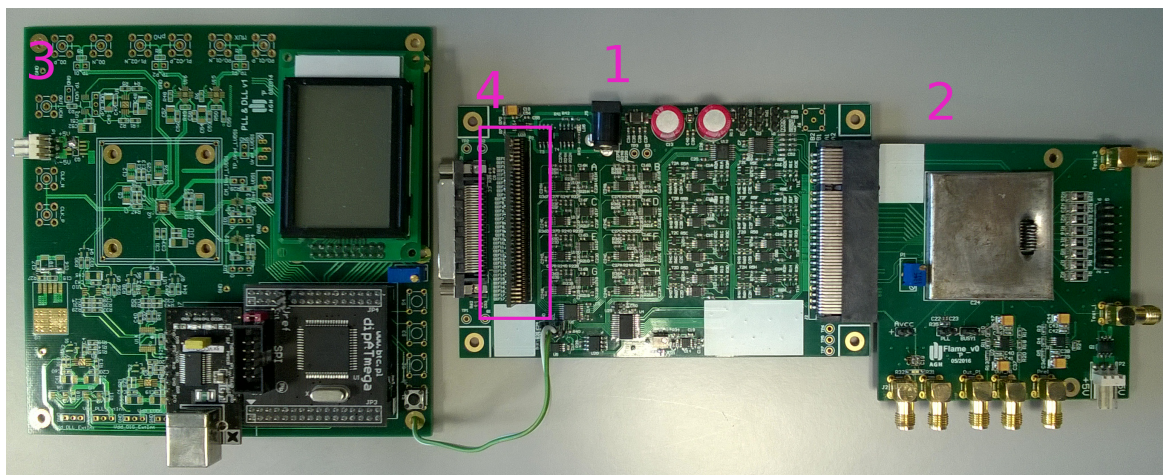
### 4.1 Stanowisko pomiarowe

W ramach niniejszej pracy przeprowadzono pomiary laboratoryjne analogowej części toru odczytu jednego (skrajnego) kanału wyprodukowanego układu scalonego.

#### 4.1.1 Kompaktowy zespół pomiarowy

Wykonane pomiary przeprowadzono przy pomocy wielofunkcyjnego zespołu pomiarowego  $\mu ASIC$  przedstawionego na rys. 4.1 i były one jednocześnie pierwszym testem tego stanowiska.

Widoczny na rysunku 4.1 mikrokontroler wykorzystywany jest do sterowania modulem głównym przez interfejs I2C i przekazywania danych do komputera za pomocą uniwersalnego, asynchronicznego protokołu nadawczego i odbiorczego (UART). W bardziej skomplikowanych pomiarach (np. przetworników ADC), gdzie strumień danych jest duży, mikrokontroler zostanie zastąpiony układem programowalnej matrycy bramek logicznych (FPGA) przekazującym dane do komputera przez Ethernet.

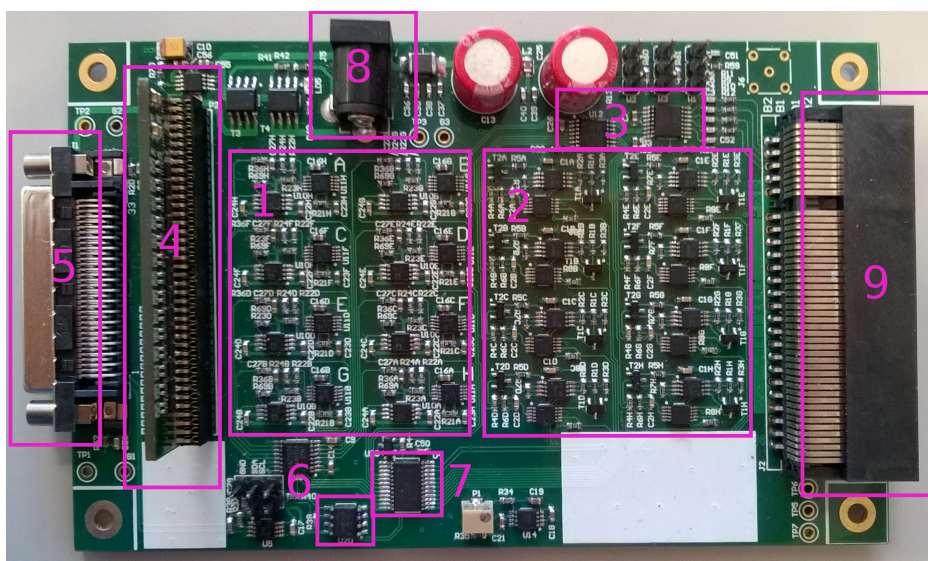


Rys. 4.1: Zespół pomiarowy  $\mu$ ASIC: 1 - moduł główny, 2 - płytki z ASIC-iem, 3 - płytki z mikrokontrolerem, 4 - konwertery

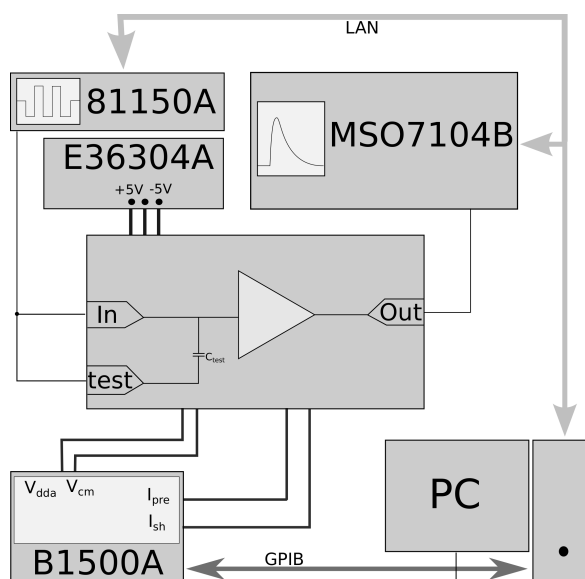
Na płycie głównej zaprezentowanej na rys. 4.2 znajdują się: 8 sterowalnych źródeł napięciowych, 8 sterowalnych źródeł prądowych, 2 przetworniki ADC, pamięć EPROM, ekspander aktywujący wyjścia napięciowe i ustawiający polaryzację wyjść prądowych oraz złącza. Źródła napięciowe i prądowe służą do zasilania i polaryzacji mierzonego układu scalonego. Ich wyjścia wyprowadzone są w złączu zaznaczonym na rys. 4.2 jako nr 9. Jest to złącze służące do podpięcia płytki z ASIC-iem. Oprócz wymienionych wyjść zasilających moduł zawiera wyprowadzenia portów niskonapięciowych sygnałów cyfrowych (LVDS) służących do przesyłania danych do układu FPGA. Do określenia kierunku transmisji tych portów służą płytki z konwerterami. Układ FPGA docelowo będzie podpinany do złącza nr 5. Przetworniki ADC mogą zostać wykorzystane do monitorowania sygnałów analogowych. Pamięć EPROM wykorzystano do zapisu współczynników kalibracji i innych parametrów układu. Dodatkowo w każdym kanale napięciowym umieszczono uniwersalny układ mierniczy INA226 do monitorowania napięcia i poboru prądu.

W przeszłości pomiary laboratoryjne analogowej elektroniki front-end przeprowadzane były z wykorzystaniem skomplikowanego stanowiska pomiarowego, którego przykład przedstawia rysunek 4.3.

W skład tego setupu wchodziły: komputer klasy PC z zaimplementowanym skrypcem w środowisku Python, generator impulsów, oscyloskop i analizator półprzewodnikowy wykorzystywany do zasilania i polaryzacji ASIC-a. Komunikacja między komputerem, a sprzętem odbywała się za pomocą interfejsów LAN i GPIB. Taki rodzaj stanowiska wymagał przygotowania specjalnej płytki pod każdy układ scalony. Płytki zawierały wiele elementów. Proces ich produkcji oraz montażu był czasochłonny i kosztowny. Stawiało to poważne ograniczenia dla przeprowadzania statystycznych pomiarów projektowanych układów.



RYS. 4.2: Płytką główną zespołu  $\mu ASIC$ : 1 - źródła napięciowe, 2 - źródła prądowe, 3 - przetworniki ADC, 4 - konwertery, 5 - złącze portów LVDS, 6 - ekspander, 7- pamięć EPROM, 8 - złącze zasilania DC, 9 - złącze do podpięcia płytki z ASIC-iem



RYS. 4.3: Stanowisko pomiarowe wykorzystane w pomiarach poprzedniej wersji układu [12]

Motywacją do zaprojektowania zespołu  $\mu ASIC$  było stworzenie uniwersalnego i kompaktowego stanowiska. Posiada on więcej niż wspomniany analizator zasilających napięciowych i prądowych, a także nie wymaga wykorzystywania interfejsu GPIB. Płytką główną jest przystosowana do mierzenia wszystkich rodzajów układów (analogowych front-endów, przetworników ADC, układów typu PLL i innych). Jedynie płytką z ASIC-iem musi być zaprojektowana do każdego projektu osobno. Jednak jej funkcjonalność została zminimalizowana, a większość komponentów przeniesiono do płytki głównej. Umożliwia to przeprowadzenie pomiarów wielu egzemplarzy układu i sporządzenie ich statystyki. Ponadto znacząco skraca czas przygotowania stanowiska dla kolejnego układu. Podpięcie do zespołu układu FPGA

stwarza możliwość zaimplementowania mikroprocesora i poddania danych wstępnej analizie, a następnie przesłania ich za pomocą szybkiego interfejsu Ethernet do komputera. Jest to istotna kwestia podczas pomiarów przetworników [ADC](#). Natomiast wykorzystanie mikrokontrolera do komunikacji z płytką pozwala na zaimplementowanie lekkiego środowiska z prostym interfejsem na potrzeby pomiarów analogowych i układów [PLL](#).

### 4.1.2 Kalibracja źródeł

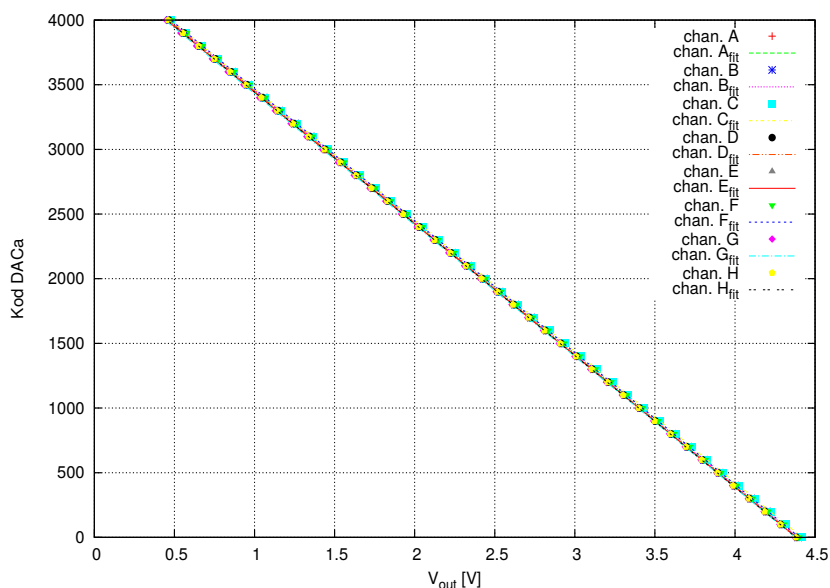
Pierwszym krokiem przygotowującym do przeprowadzenia pomiarów w laboratorium było zaprogramowanie mikrokontrolera i kalibracja zasilania zespołu  $\mu ASIC$  opisanego powyżej.

Oprogramowanie mikrokontrolera napisano w środowisku *Bascom*. Kod dołączono do pracy w dodatku [B.1](#). Po wgraniu kodu (lub resecie mikrokontrolera) wywoływana jest funkcja inicjalizacyjna, która odłącza wyjścia napięciowe, ustawia prąd źródeł prądowych na  $0 \mu A$  i przełącza je w tryb źródła prądu wpływającego (ang. sink – wyjście zwarte przez rezystor do masy). Następnie mikrokontroler czeka na komendy od komputera przesyłane za pomocą [UART](#)-a. Dostępne komendy to: ustawienie na wyjściach zadanych napięć i prądów, włączenie źródeł napięciowych, ustawienie polaryzacji prądowych, zbadanie napięcia i prądu na wyjściach napięciowych, zapis i odczyt bitów z pamięci [EPROM](#) oraz komendy kontrolne i obsługa wyświetlacza.

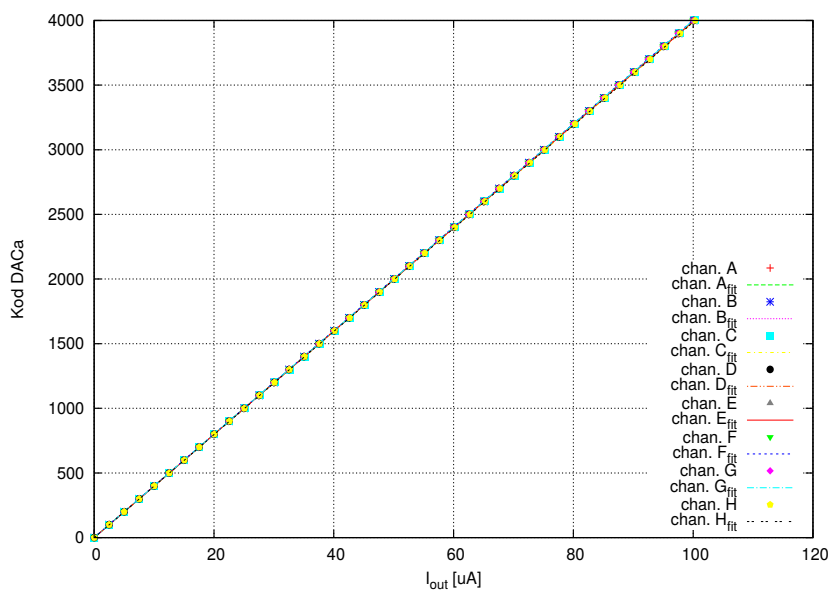
Interfejs dla użytkownika napisano w języku *Python* (dodatek [B.2](#)). Program tworzy klasę pozwalającą na zarządzanie zespołem w różnych setupach pomiarowych. Do najważniejszych jego funkcjonalności należą: przeprowadzenie kalibracji i zapisanie jej wyników do pamięci [EPROM](#), odczytanie kalibracji, ustawienie napięć i prądów z uwzględnieniem narzuconych wcześniej limitów, aktywacja wyjść napięciowych, ustawienie trybu źródeł prądowych oraz odczytanie napięć i prądów na wyjściach napięciowych. Numery komend są automatycznie importowane z kodu mikrokontrolera.

Źródła prądowe i napięciowe zbudowane są w oparciu o wielokanałowe przetworniki [DAC](#). Procedura kalibracji polega na podpięciu do wyjść kolejnych kanałów zewnętrznego miernika, za pośrednictwem małej płytki z wyprowadzeniami, i zebraniu charakterystyki napięcia (lub prądu) wyjściowego w funkcji kolejnych kodów podawanych na przetwornik. Następnie zależność jest odwracana i dopasowywane są do niej współczynniki prostej. Stanowią one współczynniki kalibracji i zostają zapisane do pamięci. Wartości wynikające z dopasowania różniły się od rzeczywistych o nie więcej niż jeden [LSB](#) przetwornika. Dopasowanie wielomianu wyższego stopnia niż pierwszy daje pomijalne poprawki. Napięcia i prądy mierzone przez układ na płytce różniły się od pomiarów miernika zewnętrznego o nie więcej niż 1 % (nie więcej niż 3 [LSB](#) przetwornika [ADC](#) wewnątrz układu pomiarowego INA226).

Charakterystyki z dopasowanymi prostymi prezentują rys. 4.4 i 4.5. Zmiana kierunku prądu na wyjściach źródeł prądowych (zmiana trybu pracy między prądem wpływającym i wypływającym) odbywa się poprzez odbicie prądu w lustrach opartych o wzmacniacz. Odbicie jest na tyle dokładne, że stwierdzono, iż kalibracja prądu w jednym kierunku będzie wystarczająca. Wartość prądu po odbiciu zmienia się mniej niż o jeden procent. Do kalibracji stanowiska  $\mu ASIC$  wykorzystano miernik Rigol DM3068.



RYS. 4.4: Kalibracja źródeł napięciowych zespołu  $\mu ASIC$

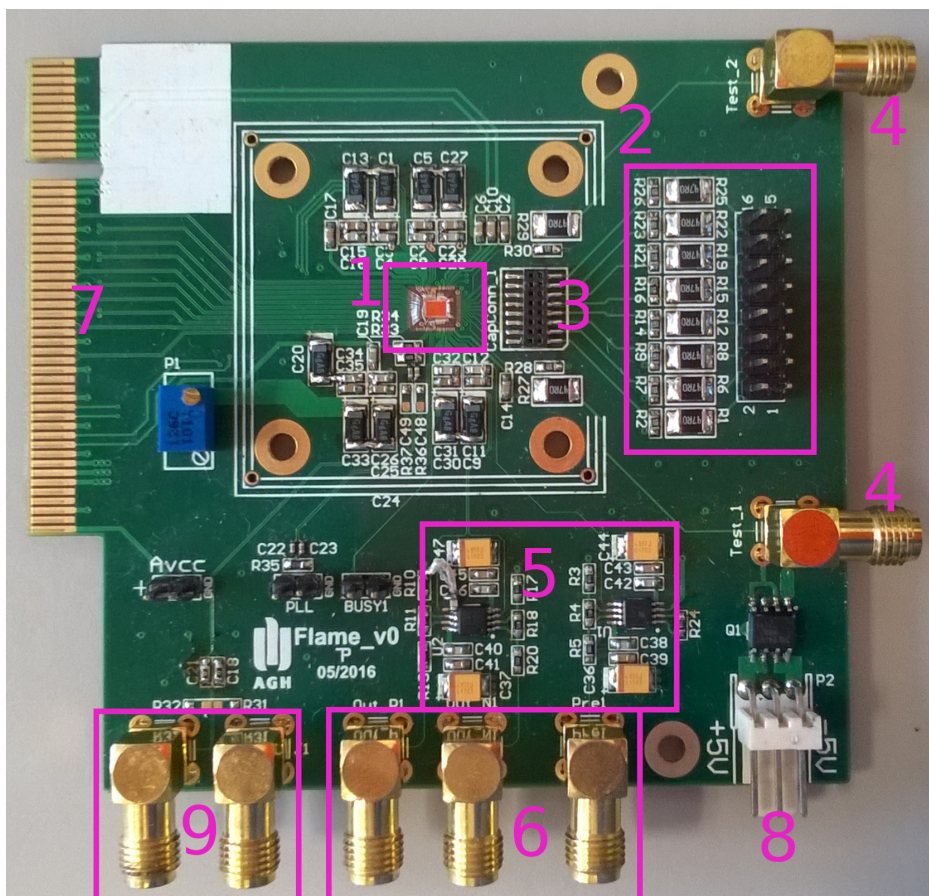


RYS. 4.5: Kalibracja źródeł prądowych zespołu  $\mu ASIC$

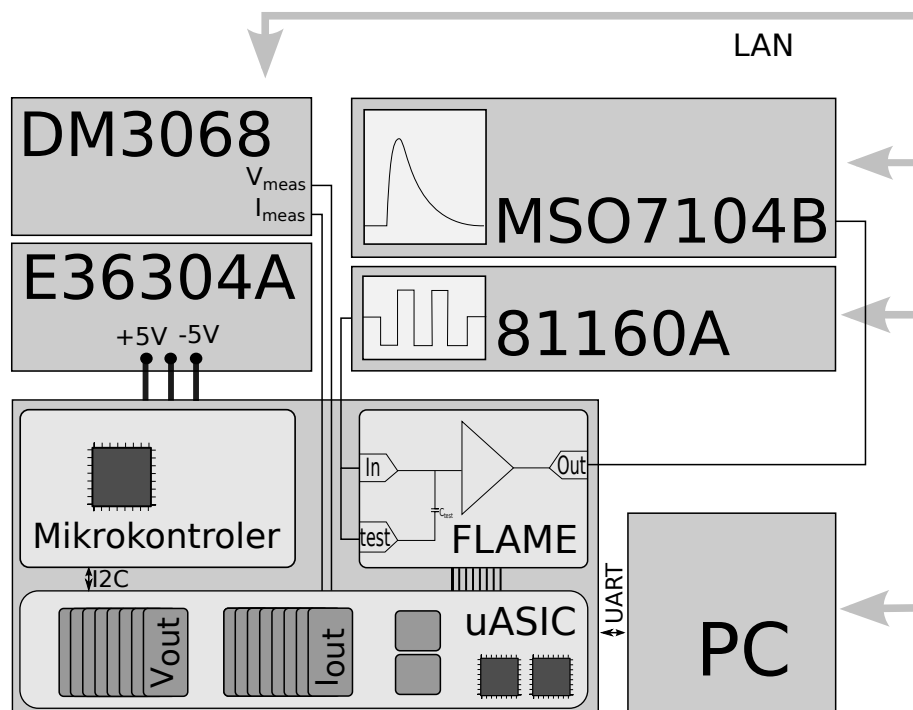
### 4.1.3 Płytką pomiarowa z ASIC-iem

Na płytce z ASIC-iem znajdują się elementy niezbędne do sterowania i zasilania układu scalonego oraz zebrania danych. Płytkę pomiarową z układem FLAME przedstawia rys. 4.6.

ASIC podczas pomiarów przykryty jest puszką aby zniwelować wpływ zakłóceń elektromagnetycznych i dostęp kurzu. Został on przyklejony i podłączony do płytki metodą spajania przewodowego (ang. wire bonding). Złącze kondensatorów symulujących pracę sensora (nr 3 na rys. 4.6) znajduje się jak najbliżej układu w celu zminimalizowania pojemności pasożytniczych i ograniczenia przesłuchu na płytce. Aby wygenerować na wejściu układu scalonego impuls w postaci delty Diraca, podaje się na te kondensatory skok napięcia. Sygnał na kondensatory trafia przez dzielnik zmniejszający dziesięciokrotnie amplitudę sygnału wejściowego (nr 2). Pozwala to na dokładniejsze pomiary, biorąc pod uwagę, że minimalnego skoku amplitudy wyjściowej generatora wynosi 1 mV. Do wstrzyknięcia impulsów o bardzo małej amplitudzie stosuje się złącza nr 4, które podłączone są do pojemności testowych wewnątrz ASIC-a (o wartości 100 fF). Kanaly parzyste podłączone są do jednego gniazda, a nieparzyste do drugiego. Wyprowadzone ze skrajnego kanału układu sygnały analogowe trafiają przez bufony (nr 5) na złącza (nr 6). To właśnie te sygnały, a przede wszystkim różnicowy sygnał wyjściowy układu kształtującego, są najbardziej istotne dla niniejszej pracy. Pozwalają na bezpośrednie zbadanie działania analogowej części toru odczytu. Pozostałe kanały mogą zostać zweryfikowane na podstawie sygnałów wyjściowych przetworników ADC.



Rys. 4.6: Płytkę pomiarową z układem FLAME: 1 - ASIC, 2 - wejścia wraz z dzielnikiem, 3 - złącze baterii kondensatorów symulujących detektor, 4 - wejścia testowe 5 - bufony wyjść analogowych, 6 - wyjścia analogowe, 7 - złącze do płytki głównej, 8 - złącze zasilania buforów, 9 - wejście i wyjście sygnałów zegarowych



Rys. 4.7: Stanowisko pomiarowe

Schemat pełnego stanowiska pomiarowego przedstawia rys. 4.7. Procedura pomiarowa polegała na podawaniu prostokątnego przebiegu z generatora (Agilent Technologies 81160A) na pojemność umieszczoną na płytce pomiarowej. Skoki napięcia różniczkowane na pojemności dawały w rezultacie quasi-dirakowski impuls prądowy (naprzemiennie o dodatniej i ujemnej amplitudzie), który symulował działanie detektora. Impulsy z wyjścia układu były przekazywane do oscyloskopu (Agilent Technologies MSO7104B), którego praca była zsynchronizowana za pomocą trygera wystawianego przez generator. Na oscyloskopie uśredniane było ponad 4 tys. impulsów o ujemnej amplitudzie, celem eliminacji szumów. Impulsy o dodatniej amplitudzie były pomijane, gdyż układ z założenia nie będzie z takowymi współpracował. Następnie dane przekazywane były do komputera, gdzie dokonywała się ich dalsza analiza i generowane były wykresy zbiorcze. Do zasilania płytek pomiarowych wykorzystano zasilacze Agilent E3630A.

## 4.2 Wyniki pomiarów

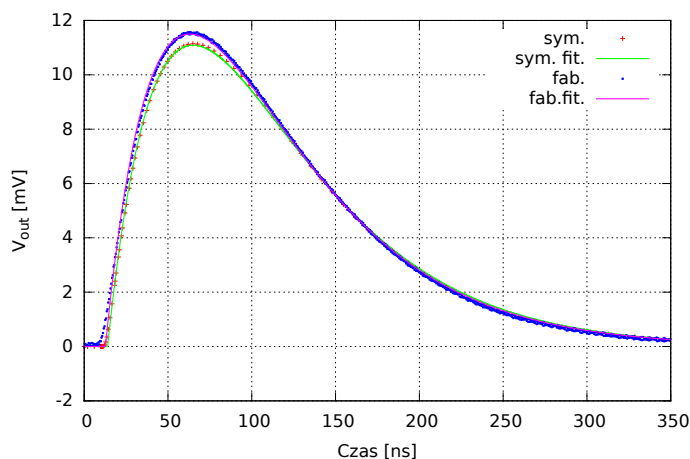
Wykonywano pomiary następujących właściwości układu:

- Amplitudy w funkcji wstrzykiwanego ładunku  $Q_{in}$  – na wejście podawano coraz większy ładunek, mierząc amplitudę maksymalną sygnału wyjściowego dla wszystkich trybów wzmocnienia.

- Wzmocnienia ładunkowego - współczynnik nachylenia prostej dla liniowej części ww. zależności.
- Zakresu liniowego - zakres wstrzykiwanego ładunku, dla którego zależność amplitudy od ładunku jest liniowa.

Najważniejszym aspektem pomiarów prototypowych układów jest nie tyle uzyskanie informacji o funkcjonowaniu układu, co porównanie rezultatów z wynikami symulacji. Zaprezentowane poniżej wyniki pochodzą z pomiarów jednego (skrajnego) kanału, jednego ASIC-a, przez co na podstawie ich analizy można wyciągnąć jedynie jakościowe wnioski.

Pierwszym przeprowadzonym pomiarem było zebranie pojedynczego impulsu. Impuls z dopasowanym kształtem odpowiedzi filtru CR-RC, dla trybu wzmocnienia 1 i pojemność sensora  $C_{det}=20$  pF, przedstawia rys. 4.8. Na ten sam wykres naniesiono wynik symulacji postlayoutowych. Skorygowano piedestał impulsów na 0 V. Amplituda i czas narastania sygnałów są bardzo zbliżone. Najważniejsze jest to, że oba impulsy dobrze odzwierciedlają zakładany kształt.

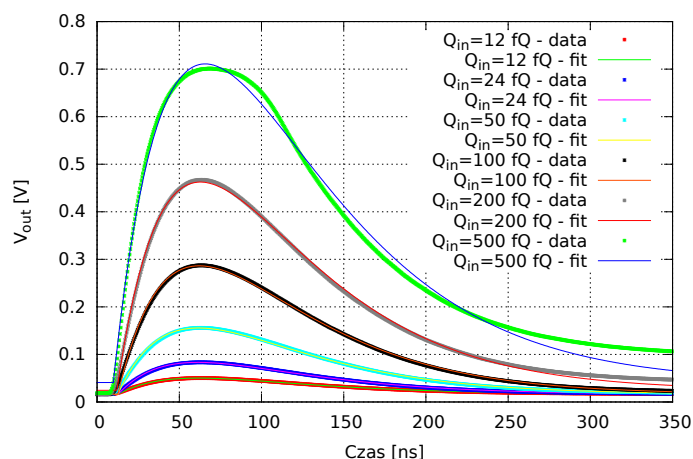


RYS. 4.8: Odpowiedzi front-endu,  $Q_{in}=4$  fQ, tryb wzm. 1

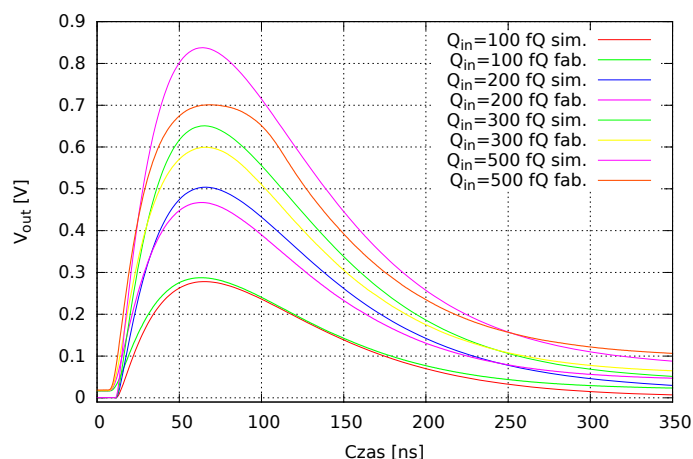
Kształt ulega zdeformowaniu dla dużych impulsów wejściowych. Przykłady odpowiedzi na różne wartości wstrzykiwanych ładunków przedstawiają rys. 4.9 i A.3.10. Dla każdego trybu wzmocnienia istnieje granica, powyżej której odstępstwo od zakładanego kształtu jest znaczące i powiększa się z rosnącym ładunkiem. Odkształcenie postępuje w podobny sposób jak w symulacjach. Porównanie kształtów większych impulsów do symulowanych (wszystkie porównania w tym rozdziale odnoszą się do symulacji postlayoutowych) prezentuje rys. 4.10. Na tym wykresie widać wyraźnie, że dla dużych ładunków, rzędu kilkuset MIP-ów, amplituda mierzonej odpowiedzi jest niższa niż symulowanej. Deformacja kształtu także jest bardziej widoczna. Ponadto linia bazowa jest na poziomie ok. 15 mV, co stanowi w przybliżeniu  $3\sigma$  w symulowanym rozkładzie tego parametru. Dla trybu wzmocnienia 0 jej wartość wynosi ok. 30 mV (rys. A.3.10). Warto w tym miejscu zaznaczyć, że możliwy wkład we wszystkie powyższe aspekty ma fakt, iż mierzony był kanał skrajny. Niesie to za sobą możliwość



wpływu niesymetrycznego otoczenia na działanie pary różnicowej, a także istnienie innej, niż w przypadku pozostałych kanałów, pojemności wejściowej, za sprawą innego otoczenia padów.



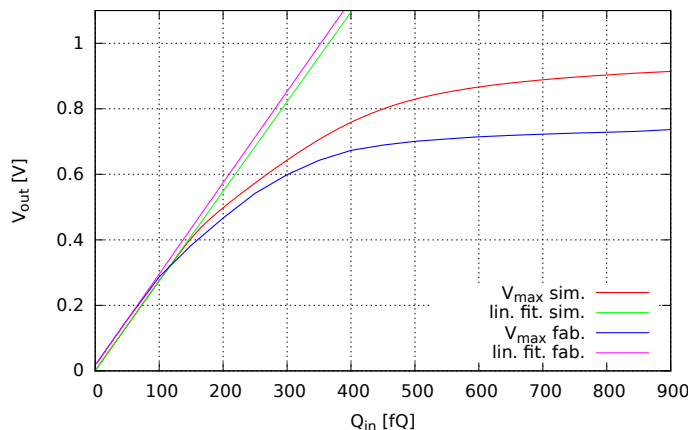
RYS. 4.9: Odpowiedzi front-endu na różne impulsy wejściowe z dopasowaniem, tryb wzm. 1



RYS. 4.10: Odpowiedzi front-endu na różne impulsy wejściowe, wyniki pomiarów i symulacji, tryb wzm. 1

W wykonanych pomiarach wzmacniacz układu kształtującego nasycy się szybciej niż wykazywały to symulacje. Pokazują to zależności maksymalnej amplitudy impulsu na wyjściu w funkcji wstrzykiwanego ładunku, zaprezentowane na rysunkach 4.11 i A.3.11. W symulacji wyjście wzmacniacza osiągało niecały 1 V, podczas gdy w pomiarach jest to mniej niż 0.8 V. Spowodowane jest to zwiększeniem się asymetrii sygnałów na wyjściach różnicowych wzmacniacza dla dużych impulsów wejściowych, co zmniejsza jego zakres dynamiczny. W pierwszych trzech trybach wzmocnienia kształt charakterystyki w zakresie liniowym jest bardzo zbliżony. Zauważamy jedynie jej równoległe przesunięcie spowodowane zmianą piedestału impulsów. W trybie wzmocnienia 3 zakres liniowy zmniejsza się ponad 2-krotnie ale maksymalna różnica wzmocnienia ładunkowego w żadnym trybie nie przekracza 3 %. Wynika

z tego, że w normalnych warunkach pracy modele symulacji dobrze odzwierciedlają zachowanie układu, a rozbieżności pojawiają się dopiero, gdy wzmacniacze zaczynają się nasycać i zaburza się symetria układu bądź też część tranzystorów wychodzi z właściwych punktów pracy. Szczegółowe wyniki prezentuje tabela 4.1.



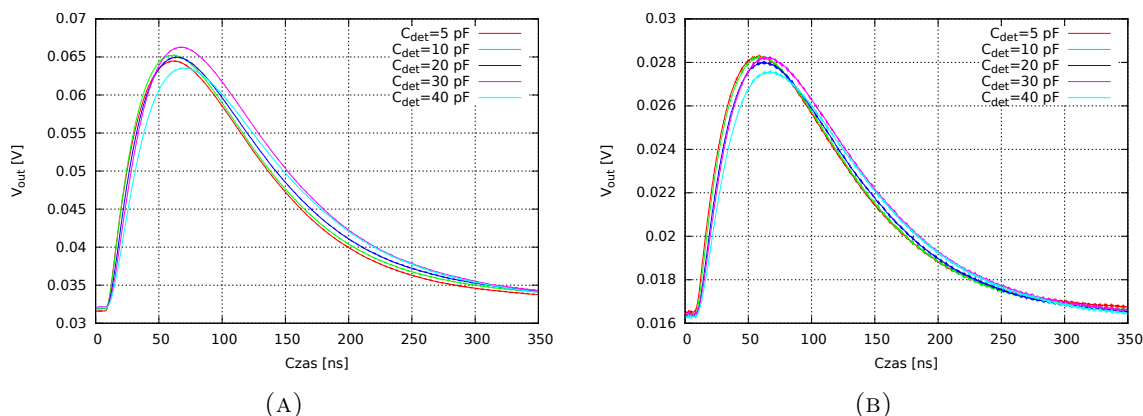
RYS. 4.11: Charakterystyka amplitudowa - wyniki symulacji i pomiarów, tryb wzmocnienia 1

TAB. 4.1: Wzmocnienia ładunkowe układu – wyniki pomiarów

Tryb	Wzmocnienie <i>pom.</i>	Wzmocnienie <i>sym.</i>	Zakres lin. <i>pom.</i>	Zakres lin. <i>sym.</i>
0	7,71 mv/fQ	7,91 mv/fQ	30 fQ	36 fQ
1	2,79 mv/fQ	2,74 mv/fQ	100 fQ	130 fQ
2	2,10 mv/fQ	2,06 mv/fQ	150 fQ	180 fQ
3	0,25 mv/fQ	0,25 mv/fQ	0,84 pQ	1,88 pQ

Kolejnym krokiem pomiarów było zbadanie odpowiedzi układu dla różnych wartości pojemności sensora. Wyniki dla pierwszych dwóch trybów wzmocnienia przedstawia rys. 4.12. Podobnie jak w wynikach symulacji amplituda sygnałów zmniejsza się, a czas osiągnięcia maksimum wydłuża się. W wynikach pomiarów krzywa dla  $C_{det}=30$  pF z niewytłumaczonych przyczyn nie pasuje do tej zależności. Jednak uwzględniając nawet ten punkt pomiarowy, różnice omawianych parametrów nie przekraczają kilku procent. Jest to bliźniaczy rezultat do wyniku uzyskanego w symulacjach. Czas osiągnięcia maksimum zebranych impulsów wahał się w granicach 60-65 ns (dla niezdeformowanych przebiegów). Jest to wynik o ok. 20% większy od symulowanego. Jednak po wnikliwej analizie impulsów można zauważyć, że impulsy zaczynają się w ok. 10-tej nanosekundzie przebiegu, czego nie obserwowano w symulacjach. Warto w tym miejscu dodać, że wyjścia układu kształtujące oscylowały podczas pierwszych pomiarów. Zdiagnozowano problem jako zbyt małe obciążenie pojemnościowe buforów znajdujących się wewnątrz ASIC-a, które nie są zasadniczą częścią toru odczytu, a jedynie wyprowadzają sygnały analogowe. Są one oparte o 1-stopniowe wzmacniacze. Ścieżki na płytce drukowanej okazały się na tyle krótkie, a pojemność wejściowa buforów na niej na tyle mała, że sumaryczne obciążenie było najprawdopodobniej mniejsze od przyjętego w symulacjach. Aby wyeliminować oscylacje, dołożono na jednej ze ścieżek

wychodzących z ASIC-a kondensator o pojemności 15 pF. Rozwiązało to problem oscylacji, jednak wprowadziło do układu nieznanne opóźnienie, które uniemożliwia wyciągnięcie ilościowych wniosków z pomiarów czasowych.



RYS. 4.12: Impulsy wyjściowe dla różnych pojemności sensora, wyniki pomiarów: A) tryb wzm. 0, B) tryb wzm. 1

Zbadano także przesłuch układu, podając sygnał na wejście sąsiedniego kanału i obserwując dotychczasowy. Zakładając, że odpowiedź obydwu kanałów jest jednakowa (z powodu braku możliwości zbadania wyjścia sąsiedniego kanału) przesłuch wynosił nie więcej niż 0,5 %. Jest to bardzo dobry wynik. Ponadto, w rzeczywistości jest on jeszcze lepszy, ponieważ w tej metodzie pomiarowej, wraz z przesłuchem samego ASIC-a mierzony jest przesłuch wynikający z prowadzenia ścieżek na płytce drukowanej i obecności baterii kondensatorów.

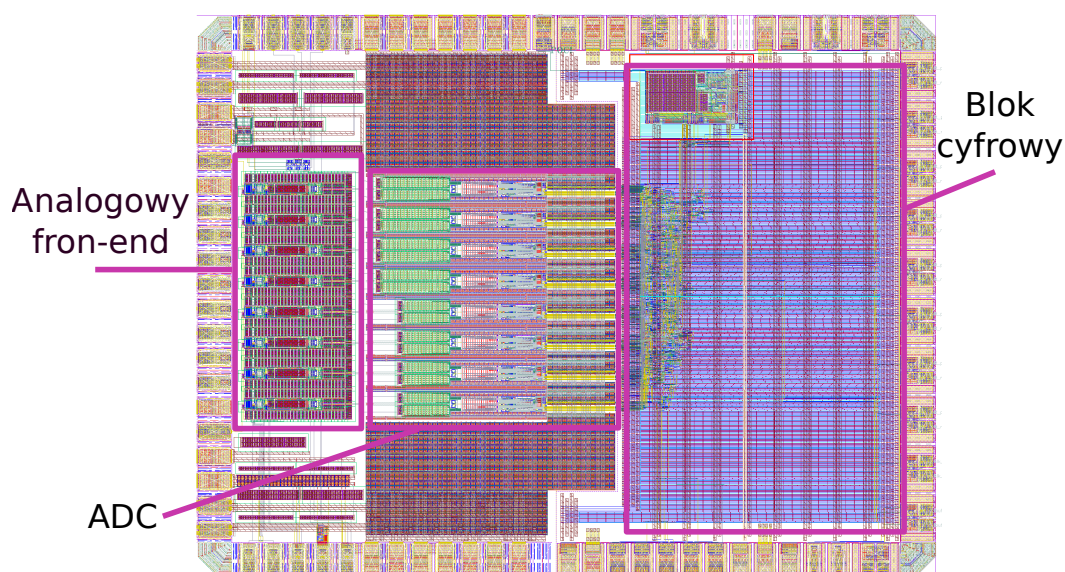
Z powodu ograniczeń czasowych nie udało się wykonać pomiaru szumu i powinien on zostać przeprowadzony jako pierwszy z pomiarów szczegółowych. Sama odpowiedź układu na sygnał jednego MIP-a obserwowana na oscyloskopie wskazywała na amplitudę szumów rzędu kilku procent maksymalnej amplitudy impulsu.

Zaprezentowane powyżej wyniki dają kompleksową informację na temat zachowania pojedynczego kanału układu. Wyniki w przeważającej większości pokrywają się z uzyskanymi podczas symulacji postlayoutowych. Zaistniałe rozbieżności mogą zostać wytłumaczone niesymetrycznym otoczeniem skrajnego kanału lub badaniem sygnałów za pośrednictwem dwóch buforów i wymagają dalszej weryfikacji.



# Podsumowanie

Celem niniejszej pracy było zaprojektowanie i weryfikacja analogowej części prototypu elektroniki front-end dla detektora światłości LumiCal budowanego na potrzeby przyszłego zderzacza liniowego. Tor analogowy składa się ze wzmacniacza ładunkoczułego oraz układu kształtującego. Plan masek całego układu przedstawiono poniżej.



RYS. 4.13: *Layout* całego układu scalonego

Realizacja postawionych celów odbyła się w dwóch etapach:

- Zaprojektowanie schematu układu scalonego, przeprowadzenie symulacji, narysowanie masek technologicznych i wysłanie układu do produkcji.
- Przygotowanie stanowiska pomiarowego i pomiary testowe.

Realizację pierwszego z zadań rozpoczęto od przeprowadzenia symulacji wzmacniaczy przedwzmacniacza i układu Krummenachera oraz wybrania architektury w pełni różnicowego wzmacniacza układu kształtującego spełniającej najlepiej stawiane wymagania. Przeprowadzono komplet symulacji wzmacniaczy oraz całego toru analogowego, w których zbadano

stabilność układu, odpowiedź na zadany impuls, wzmocnienie ładunkowe, odwzorowanie zakładanego kształtu przy wprowadzeniu próbkowania wyjścia oraz rozrzut statystyczny wybranych parametrów. Dokonano optymalizacji układu i zaprojektowano maski technologiczne. Następnie, powtarzając symulacje, z uwzględnieniem planu masek, projekt poddano weryfikacji. Po dokonaniu poprawek układ analogowy został połączony z przetwornikiem ADC oraz blokiem cyfrowym przez pozostałych członków zespołu i wysłany do produkcji.

Aby wykonać pomiary wyprodukowanego ASIC-a przygotowano stanowisko pomiarowe. Jego głównym elementem był zespół pomiarowy  $\mu ASIC$ , który został zaprogramowany i skalibrowany przez autora pracy. Program mikrokontrolera obsługiwany jest przez skrypt w *Pythonie*, który może zostać wykorzystany w wielu stanowiskach pomiarowych. Po kalibracji napięcia ustawiane są z dokładnością do 0,1 %, natomiast prądy do ok. 0,5 %. Wykorzystując opisane stanowisko wykonano pomiary analogowego toru jednego kanału układu. A wśród nich pomiary odpowiedzi układu na wstrzyknięty ładunek oraz wzmocnienia ładunkowego. Wszystkie wyniki porównano z wynikami symulacji postlayoutowych. Przeważająca część wyników pokrywała się z symulacjami, albo nieznacznie się od nich różniła. Rozbieżne były następujące parametry: linia bazowa – poza zakresem  $\pm 3\sigma$  symulowanego rozkładu i o 20 % mniejszy był zakres dynamiczny wzmacniacza układu kształtującego. Rozbieżność tych parametrów można wytłumaczyć zaburzeniem symetrii układu, która w pewnym stopniu może wynikać z tego, że był mierzony kanał skrajny. Aby pomiary były kompletne w następnym kroku powinny zostać wykonane pomiary szumowe.

Wykonane pomiary wykazały, że układ działa w zadanych warunkach pracy i spełnia stawiane mu wymagania. Poznanie jego dokładnych parametrów wymaga pomiarów pełnego toru, wraz z ADC oraz ich dokładnej analizy. Jeżeli zakres dynamiczny wzmacniaczy układu kształtującego pozostałych kanałów okaże się taki sam jak mierzonego kanału, należy dokonać jego optymalizacji w następnym prototypie. Jednak nawet przy obecnych parametrach możliwe będzie wykonanie pomiarów na wiązce i poznanie pełnej informacji o pracy układu w warunkach regularnego eksperymentu.

# Bibliografia

- [1] *Technical Design Report, Executive Summary*, International Linear Collider, 2013.
- [2] *Technical Design Report, Accelerators*, International Linear Collider, 2013.
- [3] *Technical Design Report, Detectors*, International Linear Collider, 2013.
- [4] S. Kulis, *Development of prototype luminosity detector modules for future experiments on linear colliders*, Wydział Fizyki i Informatyki Stosowanej AGH, Kraków 2012.
- [5] J. Blocki i in., *Redesign of lumical mechanical structure*, EUDET-Memo, no. 06, 2010. [Online]. [Dostęp: 8 Maja 2016]. W Internecie: <http://www.eudet.org/e26/e28/e86887/e98740/EUDET-MEMO-2010-06.doc>
- [6] R. Bonciani, A. Ferroglia, *Bhabha scattering at nnlo*, Nuclear Physics B - Proceedings Supplements, vol. 181–182, no. 0, pp. 259 – 263, 2008, Proceedings of the International Workshop on e+e- Collisions. [Online]. [Dostęp: 8 Maja 2016]. W Internecie: <http://www.sciencedirect.com/science/article/pii/S0920563208001655>
- [7] The FCAL Collaboration, *ECFA Detector R&D Panel Review Report*, AIDA-PUB-2015-005, CERN 2014. [Online]. [Dostęp: 8 Maja 2016]. W Internecie: <http://cds.cern.ch/search?p=AIDA-PUB-2015-005>
- [8] I. Sadeh, *Luminosity measurement at the international linear collider, Master's thesis*, Tel Aviv University, 2008. [Online]. [Dostęp: 8 Maja 2016]. W Internecie: <http://alzt.tau.ac.il/sadeh/mscThesis.html>
- [9] H. Abramowicz i in., *Instrumentation of the very forward region of a linear collider detector*, Nuclear Science, IEEE Transactions on, vol. 51, no. 6, pp. 2983 – 2989, dec. 2004. [Online]. [Dostęp: 8 Maja 2016]. W Internecie: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1369422>
- [10] H. Aihara i in., *Sid letter of intent*, SiD Collaboration, Tech. Rep., 2009. [Online]. [Dostęp: 8 Maja 2016]. W Internecie: <http://arxiv.org/pdf/0911.0006v1>
- [11] K. Korbel, *Szum, sygnał, filtracja w jądrowej spektrometrii amplitudowo-czasowej*, Wydawnictwo AGH, Kraków 2011.

- [12] J. Murdzek, *Pomiary testowe prototypów elektroniki front-end wykonanej w technologii CMOS 130 nm*, Wydział Fizyki i Informatyki Stosowanej AGH, Kraków 2015.
- [13] J. Moroń, *Development of novel low-power, submicron CMOS technology based, readout system for luminosity detector in future linear collider*, Wydział Fizyki i Informatyki Stosowanej AGH, Kraków 2015.
- [14] M. Firlej, T. Fiutowski, M. Idzik, S. Kulis, J. Moron, K. Swientek *A fast, ultra-low and frequency-scalable power consumption, 10-bit SAR ADC for particle physics detectors*, JINST vol. 10 P11012, 2015. [Online]. [Dostęp: 21 Maja 2016]. W Internecie: <http://iopscience.iop.org/article/10.1088/1748-0221/10/11/P11012>
- [15] R. Szczygiel *Krummenacher Feedback Analysis for High-count-rate Semiconductor Pixel Detector Readout*, Mixed Design of Integrated Circuits and Systems (MIXDES), 2010 Proceedings of the 17th International Conference, [Online]. [Dostęp: 20 grudnia 2016]. W Internecie: <http://ieeexplore.ieee.org/document/5551649/?reload=true>
- [16] J. Moron, M. Firlej, T. Fiutowski, M. Idzik, K. Świentek *Comparison of two fast, ultra-low power 10-bit SAR ADCs in CMOS 130 nm A and B technologies*, Poster prezentowany na TWEPP 2015 [Online]. [Dostęp: 3 Czerwca 2016]. W Internecie: [https://indico.cern.ch/event/357738/contributions/848945/attachments/1162632/1674696/Comparison\\_of\\_two\\_10-bit\\_SAR\\_ADCs\\_poster\\_TWEPP2015.pdf](https://indico.cern.ch/event/357738/contributions/848945/attachments/1162632/1674696/Comparison_of_two_10-bit_SAR_ADCs_poster_TWEPP2015.pdf)



# Spis rysunków

1.1	Schemat budowy zderzacza ILC [1] . . . . .	4
1.2	Wizualizacja detektora ILD [3] . . . . .	6
1.3	Schemat budowy detektora ILD [3] . . . . .	6
1.4	Rozmieszczenie detektorów w kalorymetrze przednim [3] . . . . .	7
1.5	Diagramy Feynmana rozpraszania Bhabha: A) kanał t, B) kanał s . . . . .	7
1.6	Wizualizacja kalorymetru LumiCal [7] . . . . .	8
1.7	Przekrój poprzeczny przez warstwę detektora LumiCal [5] . . . . .	8
1.8	Wyniki symulacji dla wiązki o energii 250 GeV w układzie środka masy w formie znormalizowanych dystrybuant: A) liczby cząstek i zdeponowanej energii w funkcji głębokości wnikania [8], B) maksymalnej depozycji w padzie w funkcji ładunku [9] . . . . .	8
2.1	Schemat blokowy elektroniki odczytu, od lewej: przedwzmacniacz, układ kształtujący, przetwornik ADC oraz blok serializacji i przetwarzania danych . . . . .	11
2.2	Schemat ideowy wzmacniacza ładunkoczułego z pętlą pojemnościowo - rezystywną . . . . .	13
2.3	Odpowiedź przedwzmacniacza z pętlą pojemnościowo - rezystywną na ciąg impulsów . . . . .	14
2.4	Schemat ideowy filtra CR-RC z PZC . . . . .	15
2.5	Kształt impulsów wyjściowych przedwzmacniacza . . . . .	16
2.6	Kształt impulsów wyjściowych układu kształtującego . . . . .	16
2.7	Zastępczy schemat szumowy układu przedwzmacniacz - shaper . . . . .	17
2.8	Funkcja przenoszenia idealnego 3-bitowego ADC . . . . .	19
2.9	Zależność błędu kwantyzacji od napięcia wejściowego . . . . .	19
2.10	Podstawowy przetwornik SAR ADC: A) architektura, B) zasada działania . . . . .	20
2.11	Architektura SAR ADC z redystrybucją ładunku . . . . .	21
2.12	Klucz próbkujący: A) tranzystor nMOS, B) typu <i>bootstrap</i> . . . . .	22
3.1	Schemat blokowy dedykowanego układu odczytu dla detektora LumiCal . . . . .	24
3.2	Schemat analogowej części elektroniki front-end . . . . .	25

3.3	Schemat różnicowego SAR ADC z dzielonym przetwornikiem DAC [16] . . . . .	26
3.4	Schemat wzmacniacza przedwzmacniacza . . . . .	27
3.5	Schemat układu polaryzującego do wzmacniacza przedwzmacniacza . . . . .	28
3.6	Schemat wzmacniacza układu kształtującego . . . . .	28
3.7	Odpowiedzi czasowe na różne impulsy wejściowe: A) tryb 0, B) tryb 1, C) tryb 2, D) tryb 3 . . . . .	30
3.8	Odpowiedzi czasowe dla różnych pojemności wejściowych: A) tryb 0, B) tryb 1, C) tryb 2 - ( $Q_{in} = 4 fQ$ ), D) tryb 3 ( $Q_{in} = 40 fQ$ ) . . . . .	31
3.9	Odpowiedzi czasowe przed i po próbkowaniu, tryb 1 . . . . .	32
3.10	Wzmocnienie ładunkowe dla różnych pojemności sensora: A) tryb 0, B) tryb 1 . . . . .	32
3.11	Charakterystyki częstotliwościowe w otwartej pętli sprzężenia zwrotnego: A) fazy, B) wzmocnienia, C) margines fazy w fun. $C_{det}$ . . . . .	33
3.12	Charakterystyki częstotliwościowe układu kształtującego w otwartej pętli sprzężenia zwrotnego dla trybu 1 . . . . .	34
3.13	Wyjściowa gęstość widmowa mocy szumów ( $C_{det} = 20 pF$ ) . . . . .	35
3.14	Stosunek sygnału do szumu w funkcji $C_{det}$ dla 1 MIP-a . . . . .	35
3.15	Ekwiwalentny ładunek szumowy w funkcji $C_{det}$ : A) tryby od 0 do-2, B) tryb 3 . . . . .	35
3.16	Layout tranzystora: a) wielopalczastego, b) zamkniętego . . . . .	38
3.17	Plan masek wzmacniacza układu kształtującego: 1- para różnicowa, 2- polaryzacja wzmacniacza, 3 - polaryzacja CMF, 4 - linie zasilania . . . . .	39
3.18	Schemat protekcji wejścia . . . . .	40
3.19	Plan masek kompletnego kanału: wzmacniacze: 1 - przedwzmacniacza, 2 - Krummenachera, 3 - shapera, 4 - pojemność testowa, reszta to pojemnościowo-rezystywna sieć sprzężeń zwrotnych i odspręż zasilania . . . . .	41
3.20	Odpowiedzi czasowe na różne impulsy wejściowe, tryb 1 . . . . .	42
3.21	Odpowiedzi czasowe dla różnych $C_{det}$ , tryb 1 . . . . .	42
3.22	Odpowiedzi czasowe przed i po próbkowaniu, po ekstrakcji: A) tryb 0, B) tryb 1 . . . . .	43
3.23	ENC w funkcji $C_{det}$ . . . . .	43
3.24	SNR dla 1 MIP-a . . . . .	43
4.1	Zespół pomiarowy $\mu ASIC$ : 1 - moduł główny, 2 - płytką z ASIC-iem, 3 - płytką z mikrokontrolerem, 4 - konwertery . . . . .	46
4.2	Płytką główną zespołu $\mu ASIC$ : 1 - źródła napięciowe, 2 - źródła prądowe, 3 - przetworniki ADC, 4 - konwertery, 5 - złącze portów LVDS, 6 - ekspander, 7- pamięć EPROM, 8 - złącze zasilania DC, 9 - złącze do podpięcia płytki z ASIC-iem . . . . .	47
4.3	Stanowisko pomiarowe wykorzystane w pomiarach poprzedniej wersji układu [12] . . . . .	47
4.4	Kalibracja źródeł napięciowych zespołu $\mu ASIC$ . . . . .	49
4.5	Kalibracja źródeł prądowych zespołu $\mu ASIC$ . . . . .	49

4.6	Płytką pomiarową z układem FLAME: 1 - ASIC, 2 - wejścia wraz z dzielnikiem, 3 - złącze baterii kondensatorów symulujących detektor, 4 - wejścia testowe 5 - bufor wyjść analogowych, 6 - wyjścia analogowe, 7- złącze do płytki głównej, 8 - złącze zasilania buforów, 9 - wejście i wyjście sygnałów zegarowych . . . . .	50
4.7	Stanowisko pomiarowe . . . . .	51
4.8	Odpowiedzi front-endu, $Q_{in}=4$ fQ, tryb wzm. 1 . . . . .	52
4.9	Odpowiedzi front-endu na różne impulsy wejściowe z dopasowaniem, tryb wzm. 1	53
4.10	Odpowiedzi front-endu na różne impulsy wejściowe, wyniki pomiarów i symulacji, tryb wzm. 1 . . . . .	53
4.11	Charakterystyka amplitudowa - wyniki symulacji i pomiarów, tryb wzmocnienia 1 . . . . .	54
4.12	Impulsy wyjściowe dla różnych pojemności sensora, wyniki pomiarów: A) tryb wzm. 0, B) tryb wzm. 1 . . . . .	55
4.13	<i>Layout</i> całego układu scalonego . . . . .	57
A.1.1	Odpowiedzi czasowe przed i po próbkowaniu: A) tryb 0, B) tryb 2, C) tryb 3	67
A.1.2	Wzmocnienie ładunkowe dla różnych pojemności sensora: A) tryb 2, B) tryb 3	67
A.1.3	Charakterystyki częstotliwościowe przedwzmacniacza w otwartej pętli sprzężenia zwrotnego: A) wzmocnienia, tryb 0, B) fazy, tryb 0, C) wzmocnienia, tryb 2, D) fazy, tryb 2, E) wzmocnienia, tryb 3, F) fazy, tryb 3 . . . . .	68
A.1.4	Rozrzut wartości linii bazowej: A) tryb 0, B) tryb 1, C) tryb 2, D) tryb 3 . . .	69
A.2.5	Odpowiedzi czasowe na różne impulsy wejściowe: A) tryb 0, B) tryb 2, C) tryb 3	70
A.2.6	Odpowiedzi czasowe dla różnych pojemności sensora: A) tryb 0, B) tryb 2, C) tryb 3 . . . . .	70
A.2.7	Wyjściowa gęstość widmowa mocy szumów ( $C_{det} = 20$ pF) . . . . .	71
A.2.8	ENC w funkcji $C_{det}$ dla trybu 3 . . . . .	71
A.2.9	Rozrzut wartości linii bazowej po ekstrakcji: A) tryb 0, B) tryb 1, C) tryb 2, D) tryb 3 . . . . .	72
A.3.1	Odpowiedzi front-endu na różne impulsy wejściowe, wyniki pomiarów: A) tryb 0, B) tryb 2, C) tryb 3 . . . . .	72
A.3.1	Charakterystyki amplitudowe - wyniki symulacji i pomiarów: A) tryb 0, B) tryb 2, C) tryb 3 . . . . .	73



# Spis tablic

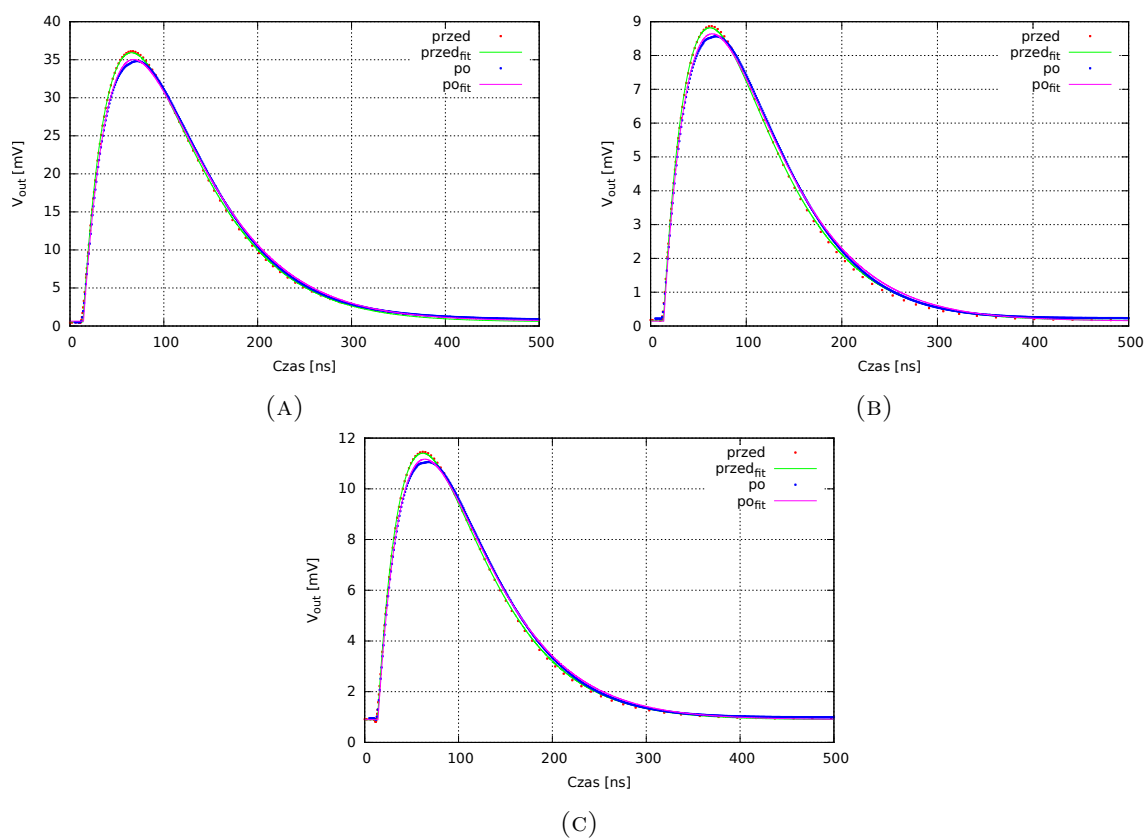
3.1	Konfiguracja sprzężeń zwrotnych układu . . . . .	25
3.2	Wyniki porównania architektur wzmacniaczy różnicowych . . . . .	29
3.3	Wzmocnienia ładunkowe układu . . . . .	33
3.4	Wzmocnienia ładunkowe układu przed i po ekstrakcji . . . . .	43
4.1	Wzmocnienia ładunkowe układu – wyniki pomiarów . . . . .	54



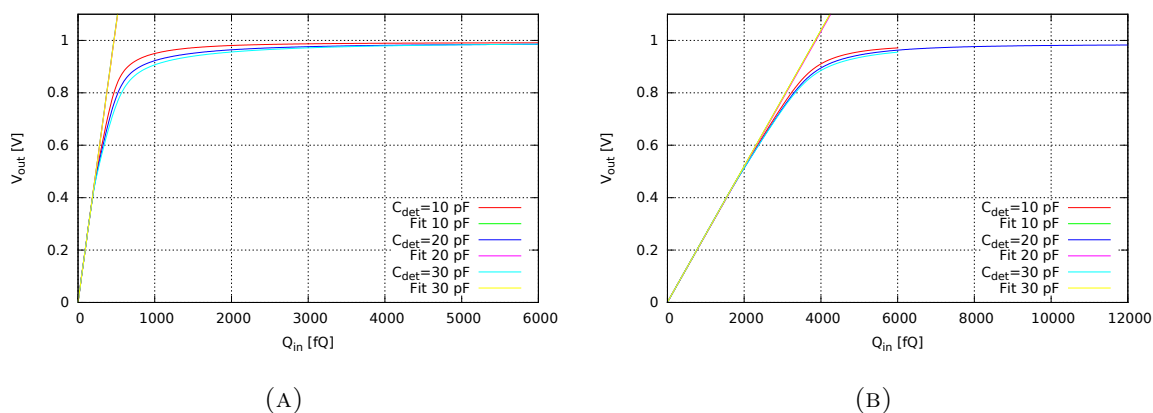
# Dodatek A

## Uzupełnienie wyników

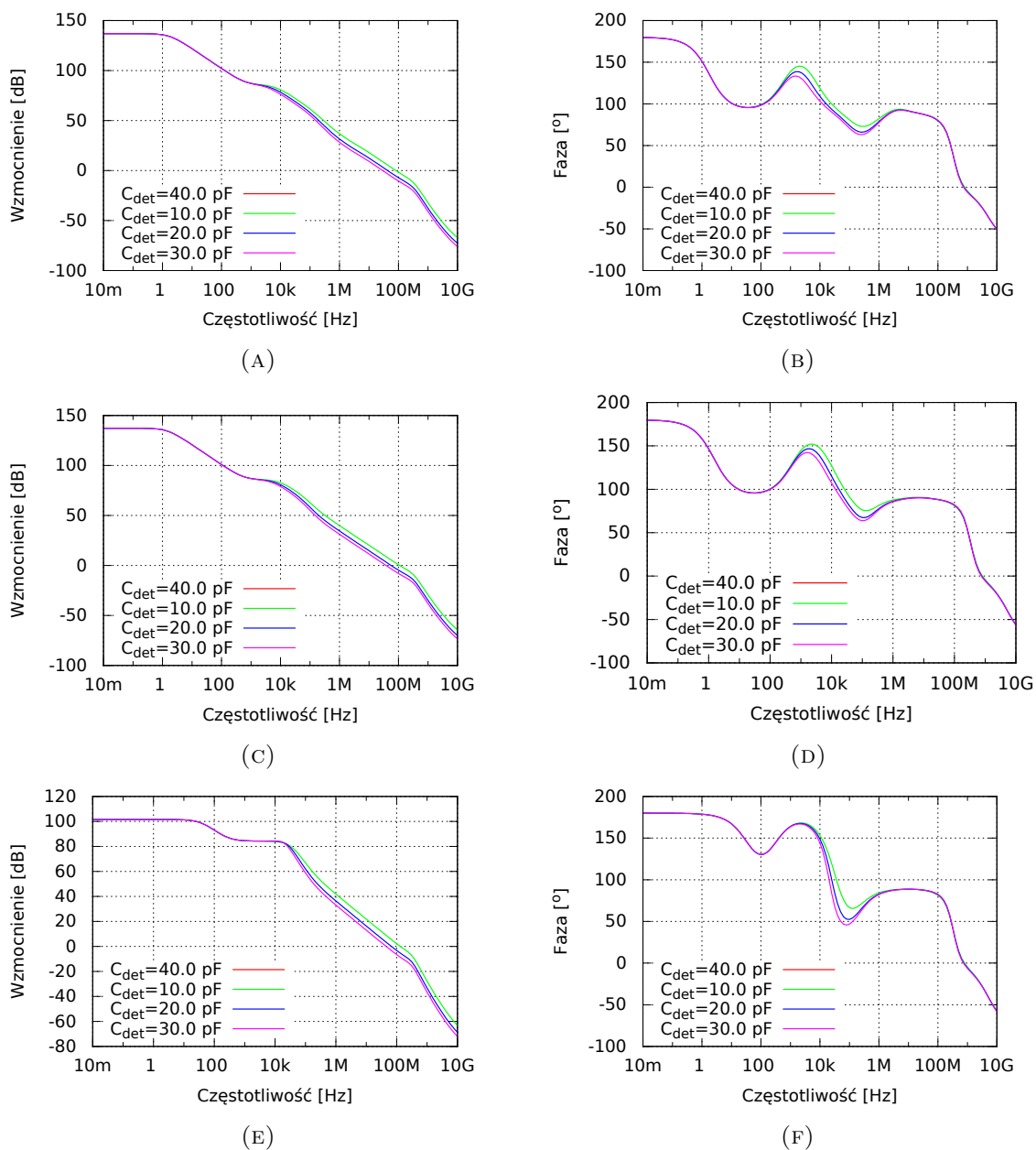
### A.1 Symulacje schematu



Rys. A.1.1: Odpowiedzi czasowe przed i po próbkowaniu: A) tryb 0, B) tryb 2, C) tryb 3

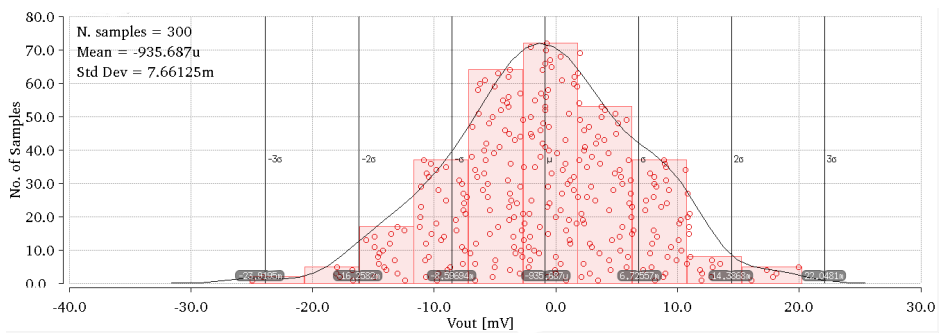


Rys. A.1.2: Wzmocnienie ładunkowe dla różnych pojemności sensora: A) tryb 2, B) tryb 3

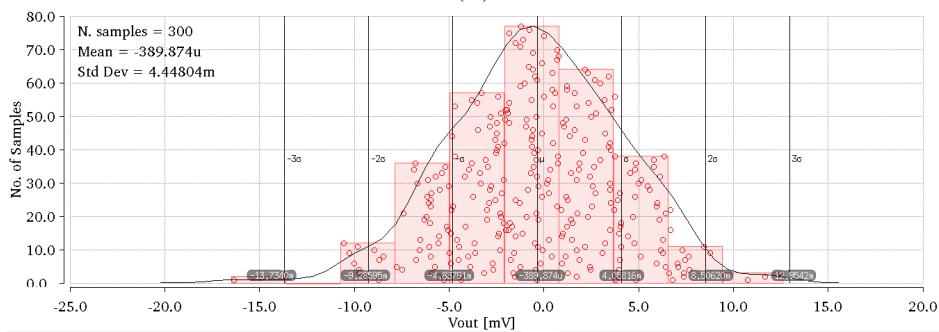


Rys. A.1.3: Charakterystyki częstotliwościowe przedwzmacniacza w otwartej pętli sprzężenia zwrotnego: A) wzmocnienia, tryb 0, B) fazy, tryb 0, C) wzmocnienia, tryb 2, D) fazy, tryb 2, E) wzmocnienia, tryb 3, F) fazy, tryb 3

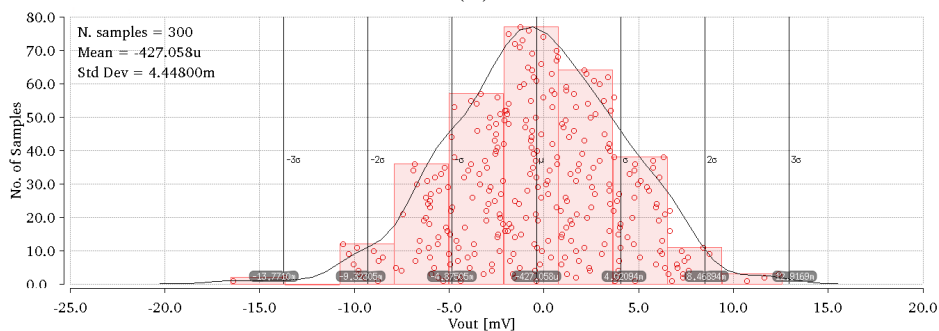




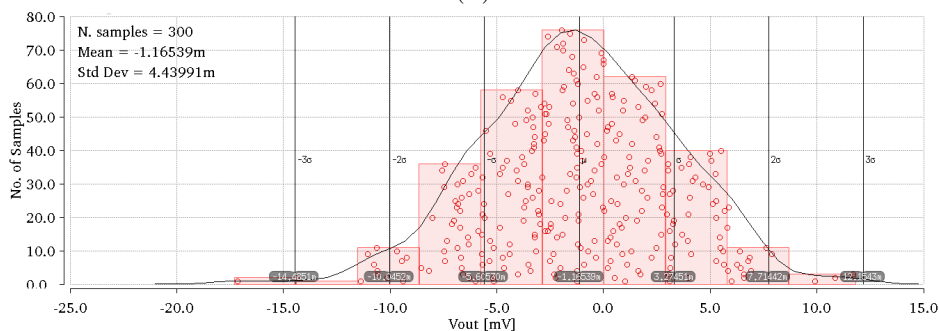
(A)



(B)



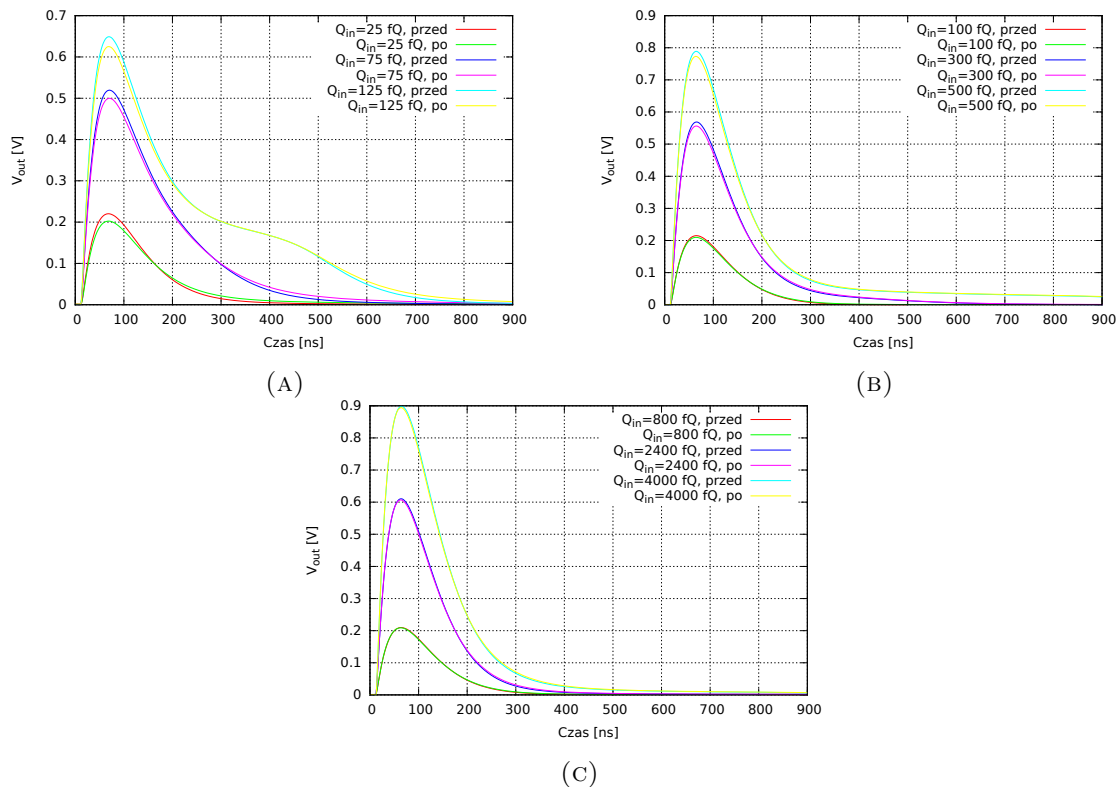
(C)



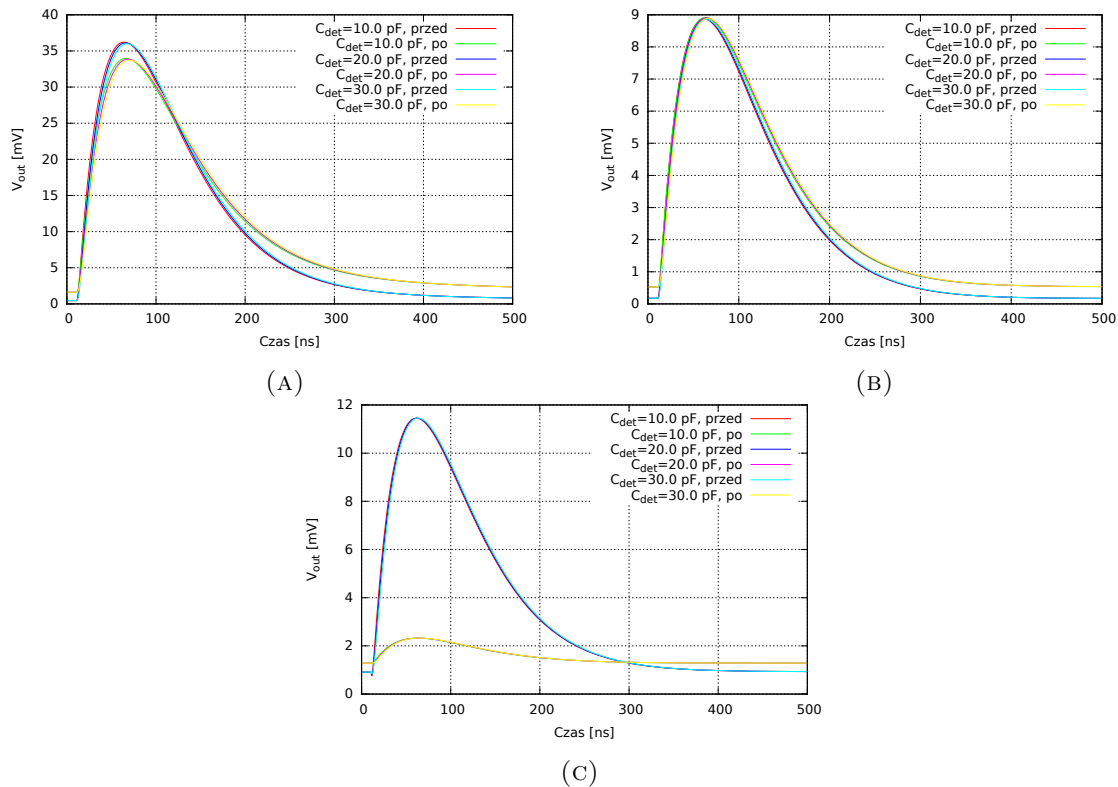
(D)

RYS. A.1.4: Rozrzut wartości linii bazowej: A) tryb 0, B) tryb 1, C) tryb 2, D) tryb 3

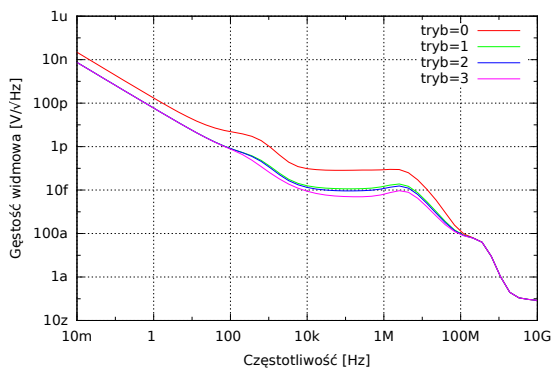
## A.2 Symulacje postlayoutowe



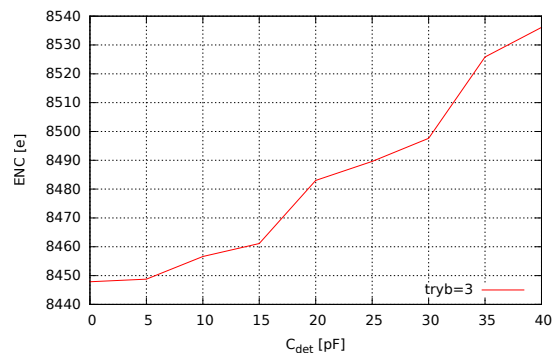
Rys. A.2.5: Odpowiedzi czasowe na różne impulsy wejściowe: A) tryb 0, B) tryb 2, C) tryb 3



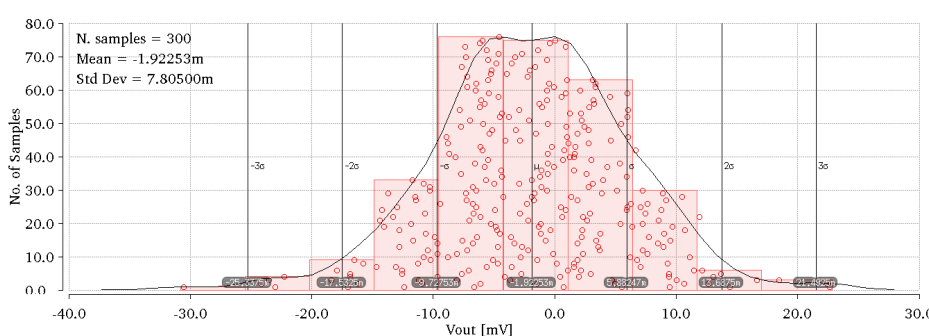
Rys. A.2.6: Odpowiedzi czasowe dla różnych pojemności sensora: A) tryb 0, B) tryb 2, C) tryb 3



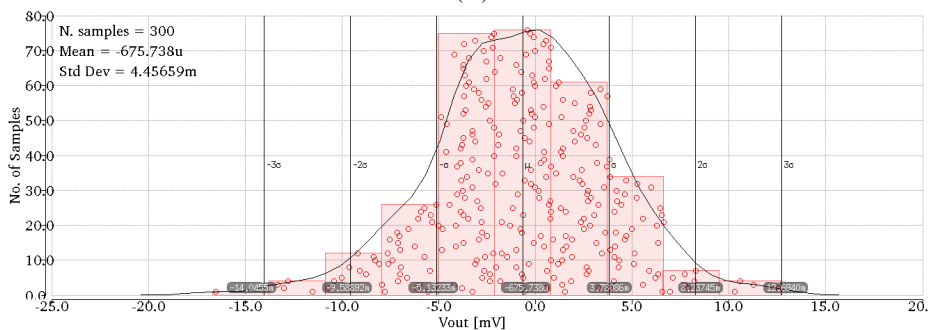
Rys. A.2.7: Wyjściowa gęstość widmowa mocy szumów ( $C_{det} = 20 \text{ pF}$ )



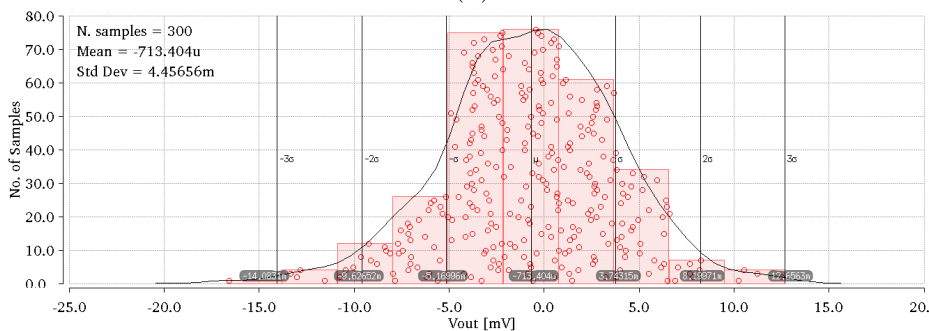
Rys. A.2.8: ENC w funkcji  $C_{det}$  dla trybu 3



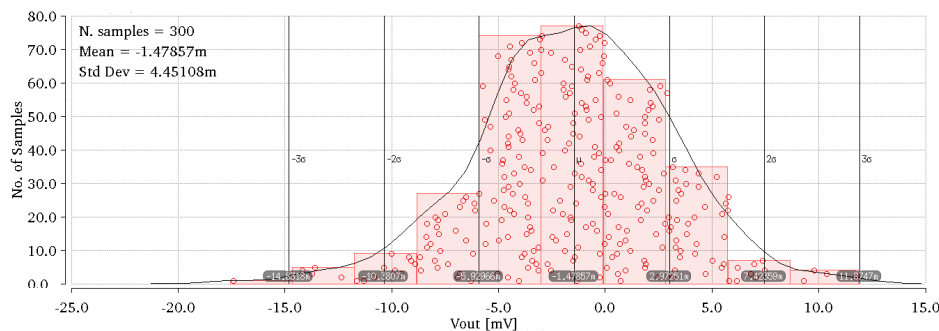
(A)



(B)



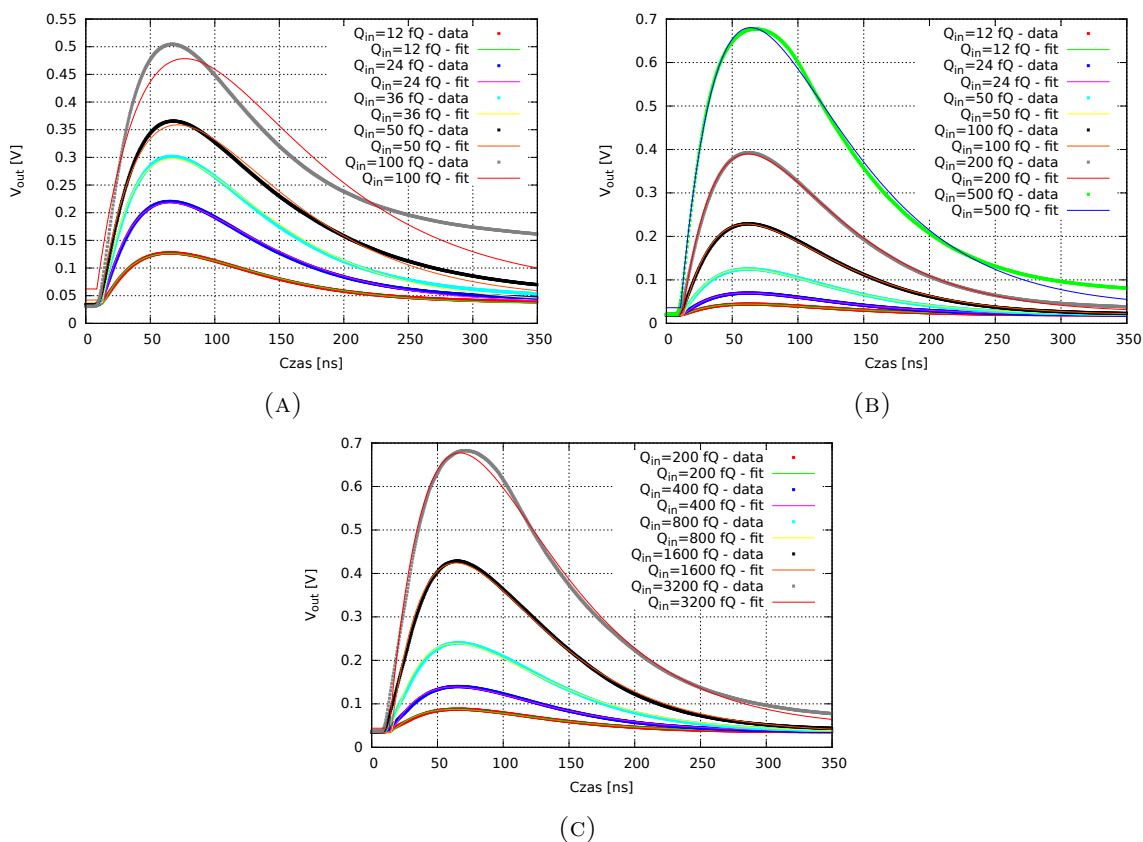
(C)



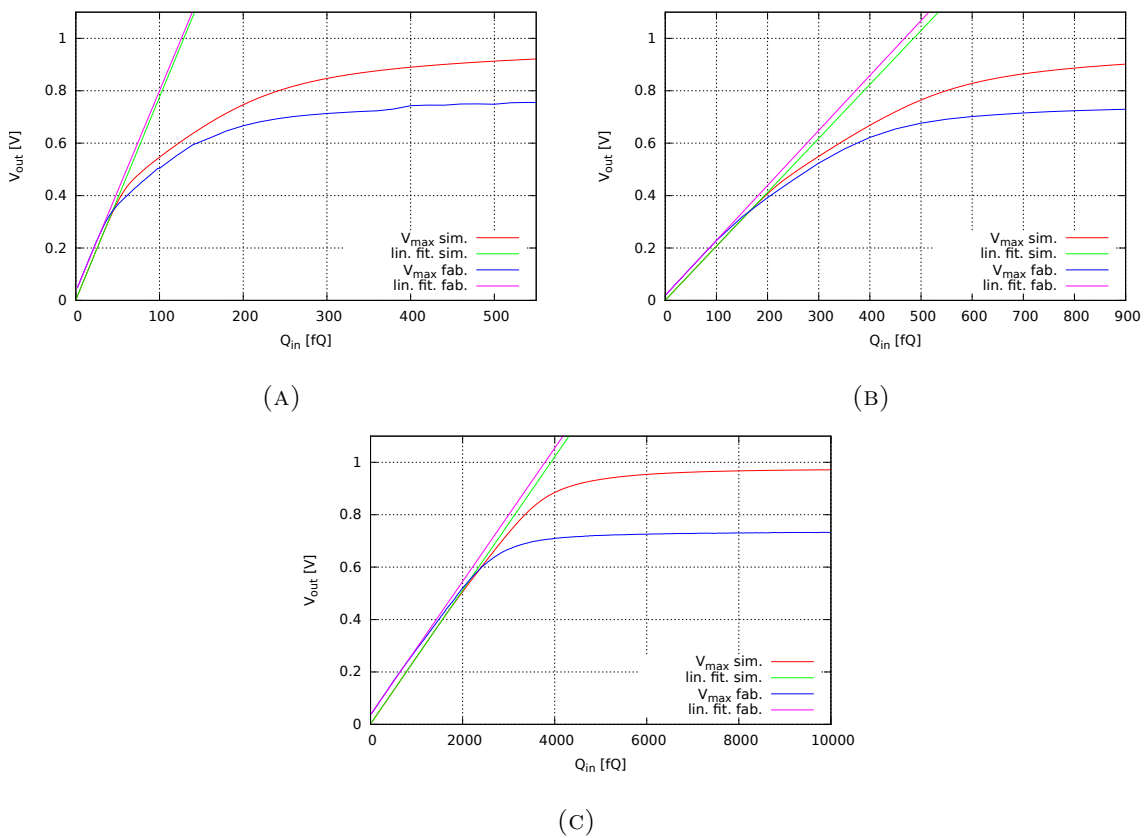
(D)

Rys. A.2.9: Rozrzut wartości linii bazowej po ekstrakcji: A) tryb 0, B) tryb 1, C) tryb 2, D) tryb 3

### A.3 Wyniki pomiarów



Rys. A.3.10: Odpowiedzi front-endu na różne impulsy wejściowe, wyniki pomiarów: A) tryb 0, B) tryb 2, C) tryb 3



RYS. A.3.11: Charakterystyki amplitudowe - wyniki symulacji i pomiarów: A) tryb 0, B) tryb 2, C) tryb 3



# Dodatek B

## Kody

### B.1 Kod mikrokontrolera

```
1  '----- Voltage DAC channels
2  Const Adj_vddA = 1
3  Const Adj_vddB = 6
4  Const Adj_vddC = 3
5  Const Adj_vddD = 4
6  Const Adj_vddE = 5
7  Const Adj_vddF = 2
8  Const Adj_vddG = 7
9  Const Adj_vddH = 0
10 '----- Current DAC channels
11 Const Adj_currA = 2
12 Const Adj_currB = 6
13 Const Adj_currC = 4
14 Const Adj_currD = 0
15 Const Adj_currE = 1
16 Const Adj_currF = 3
17 Const Adj_currG = 5
18 Const Adj_currH = 7
19 '----- Ina adress and registers
20 Const Ina_addrA = 128
21 Const Ina_addrB = 130
22 Const Ina_addrC = 132
23 Const Ina_addrD = 134
24 Const Ina_addrE = 136
25 Const Ina_addrF = 138
26 Const Ina_addrG = 140
27 Const Ina_addrH = 142
28 Const Ina_vireg = 1
29 Const Ina_vvreg = 2
30 '----- Voltage Expander enables
31 Const En_vddA = 4
32 Const En_vddB = 0
33 Const En_vddC = 5
34 Const En_vddD = 1
35 Const En_vddE = 6
36 Const En_vddF = 2
37 Const En_vddG = 7
38 Const En_vddH = 3
39 '----- Current Expander polarities
40 Const Pol_currA = 6
41 Const Pol_currB = 4
42 Const Pol_currC = 5
43 Const Pol_currD = 7
44 Const Pol_currE = 0
45 Const Pol_currF = 1
46 Const Pol_currG = 2
47 Const Pol_currH = 3
48 '----- EPROM start adress
49 Const EPROM_st_addr_msb = 0
50 Const EPROM_st_addr_lsb = 1
51
52 'StartCommands - marker for pythos scripts for commands auto-upload !!!Put all
   commands definitions into Start-End block!!!
53 '----- Command PING and others
54 Const Test_ping = 0
55 '----- Commands set values
56 Const Sset_vddA = 1
57 Const Sset_vddB = 2
58 Const Sset_vddC = 3
59 Const Sset_vddD = 4
60 Const Sset_vddE = 5
61 Const Sset_vddF = 6
62 Const Sset_vddG = 7
63 Const Sset_vddH = 8
64 Const Sset_currA = 10
65 Const Sset_currB = 11
66 Const Sset_currC = 12
67 Const Sset_currD = 13
68 Const Sset_currE = 14
69 Const Sset_currF = 15
70 Const Sset_currG = 16
71 Const Sset_currH = 17
72 Const EPROM_send_byte = 20
73 Const Sset_state_vddA = 30
74 Const Sset_state_vddB = 31
75 Const Sset_state_vddC = 32
```

```

76 Const Set_state_vddD = 33
77 Const Set_state_vddE = 34
78 Const Set_state_vddF = 35
79 Const Set_state_vddG = 36
80 Const Set_state_vddH = 37
81 Const Set_currA_pol = 40
82 Const Set_currB_pol = 41
83 Const Set_currC_pol = 42
84 Const Set_currD_pol = 43
85 Const Set_currE_pol = 44
86 Const Set_currF_pol = 45
87 Const Set_currG_pol = 46
88 Const Set_currH_pol = 47
89 '----- Commands get values
90 Const Get_currA = 64
91 Const Get_currB = 65
92 Const Get_currC = 66
93 Const Get_currD = 67
94 Const Get_currE = 68
95 Const Get_currF = 69
96 Const Get_currG = 70
97 Const Get_currH = 71
98 Const Get_vddA = 80
99 Const Get_vddB = 81
100 Const Get_vddC = 82
101 Const Get_vddD = 83
102 Const Get_vddE = 84
103 Const Get_vddF = 85
104 Const Get_vddG = 86
105 Const Get_vddH = 87
106 Const EPROM_get_byte = 90
107 'EndCommands - marker for pythos scripts for commands auto-upload !!!Put all commands
    definitions into Start-End block!!!
108 '----- Configuration
109 $regfile = "m128def.dat"
110 $crystal = 16000000
111 $hwstack = 48
112 $swstack = 32
113 $framesize = 32
114 $baud = 19200
115 Config Serialin = Buffered , Size = 5
116 Config Serialout = Buffered , Size = 5
117 Config Portb = &B11111111 : Portb = &B11111111 'n.c.
118 Config Portd = &B11111100 : Portd = &B11111111 'i2c,plldll_vdd_ena
119 Config Porte = &B11111110 : Porte = &B11111111 'rs232,dig_vddena
120 Config Portf = &B11111111 : Portf = &B01101010
121 Config Portg = &B11111111 : Portg = &B11111111
122 Config Scl = Portd.0
123 Config Sda = Portd.1
124 I2cinit
125 'Sw_port Alias Pinc
126 'Slow_rst alias Portf.1
127 'Slow_clk alias Portf.3
128 'Slow_cmd alias portf.4
129 Config Timer0 = Timer , Prescale = 256
130 Enable Timer0 : On Timer0 Prztimer0
131 Config Spi = Soft , Din = Pina.0, Dout = Portf.4 , Ss = None, Clock = Portf.3 , SPIIN
    =0 , MODE=0
132 Spiinit
133 Enable Interrupts
134 'Timer
135 Dim Dziel(2) As Byte , Dzielb As Bit , F4ms As Bit , F500ms As Bit , F200ms As Bit ,
    F1s As Bit
136 'UART
137 Dim Temp As Byte , I As Byte , Rdata(3) As Byte , Header As Byte , Do_command As Bit
138 Dim S_cmd As Byte , S_msb As Byte , S_lsb As Byte , S_st as byte
139 'DACs and INAs
140 Dim Dac_nr As Byte , Dac_value As Word
141 Dim state as Byte
142 Dim Ina_adr As Byte , Ina_reg As Byte , Ina_msb As Byte , Ina_lsb As Byte
143 'Eprom
144 Dim EPROM_lsb As Byte, EPROM_msb As Byte, EPROM_adr_msb as Byte, EPROM_adr_lsb as byte
    , EPROM_radr_msb as Byte, EPROM_radr_lsb as byte
145 'Temps
146 Dim Hb As Byte , Hw As Word
147 Dim I2chb As Byte , I2chw As Word
148 Dim Hs1 as string*12, Hs2 as string*12
149 Dim Hd as Single
150 Dim Calib_volt_a as Single, Calib_volt_b as Single
151 Dim Calib_curr_a as Single, Calib_curr_b as Single
152 'Expander registers
153 Dim VState as byte, PolState as byte', EnV as byte, EnPol as byte
154 Declare Sub VDac_setout(byval Dac_nr As Byte , Byval Dac_value As Word)
155 Declare Sub IDac_setout(byval Dac_nr As Byte , Byval Dac_value As Word)
156 Declare Sub VExpander_setout(byval chan as byte, byval state As byte)
157 Declare Sub PolExpander_setout(byval chan as byte, byval state As byte)
158 Declare Sub PowerUp_init()
159 Declare Sub Ina_getdata(byval Ina_adr As Byte , Byval Ina_reg As Byte)
160 Declare Sub Send_data(byval s_msb As Byte, byval S_lsb As Byte, byval S_st as byte)
161 Declare Sub Print_init_msg()
162 Declare Sub Print_command(byval txt as string)
163 Declare Sub EPROM_write_byte(byval EPROM_adr_msb as Byte, byval EPROM_adr_lsb as byte,
    byval e_val As Byte)
164 Declare Sub EPROM_read_byte(byval EPROM_adr_msb as Byte, byval EPROM_adr_lsb as byte)
165 I = 200
166 VState=0
167 PolState=0
168 Call PowerUp_init()
169 Config Watchdog = 2048
170 Start Watchdog
171 '-----MAIN LOOP
172 Do
173 If Ischarwaiting() = 1 And Do_command = 0 Then

```



```

174 Temp = Inkey()
175 If Temp > 127 Then
176   I = 0
177   Header = Temp
178 Else
179   If I < 200 Then
180     Incr I - 1
181     Hb = I - 1
182     Temp.7 = Header.hb
183     Select Case I
184       Case 1 : S_cmd = Temp
185       Case 2 : S_msb = Temp
186       Case 3 : S_lsb = Temp
187       Case 4 : S_st = Temp
188     End Select
189     'Rdata(i) = Temp
190     If I = 4 Then
191       Do_command = 1
192       I=200
193     End If
194   End If
195 End If
196 End If
197 If Do_command = 1 Then
198   select case of commends
199     Set Lcd_g
200     Reset Lcd_r
201     Set Lcd_b
202     Select Case S_cmd
203       Case Test_ping:
204         Call Send_data(s_msb , S_lsb , S_st)
205         ,----- Set Voltages
206         Case Set_vddA:
207           Hw = 256 * S_msb : Hw = Hw + S_lsb
208           Call VDac_setout(adj_vddA , Hw)
209           Call Send_data(s_msb , S_lsb , S_st)
210         Case Set_vddB:
211           Hw = 256 * S_msb : Hw = Hw + S_lsb
212           Call VDac_setout(adj_vddB , Hw)
213           Call Send_data(s_msb , S_lsb , S_st)
214         Case Set_vddC:
215           Hw = 256 * S_msb : Hw = Hw + S_lsb
216           Call VDac_setout(adj_vddC , Hw)
217           Call Send_data(s_msb , S_lsb , S_st)
218         Case Set_vddD:
219           Hw = 256 * S_msb : Hw = Hw + S_lsb
220           Call VDac_setout(adj_vddD , Hw)
221           Call Send_data(s_msb , S_lsb , S_st)
222         Case Set_vddE:
223           Hw = 256 * S_msb : Hw = Hw + S_lsb
224           Call VDac_setout(adj_vddE , Hw)
225           Call Send_data(s_msb , S_lsb , S_st)
226         Case Set_vddF:
227           Hw = 256 * S_msb : Hw = Hw + S_lsb
228           Call VDac_setout(adj_vddF , Hw)
229           Call Send_data(s_msb , S_lsb , S_st)
230         Case Set_vddG:
231           Hw = 256 * S_msb : Hw = Hw + S_lsb
232           Call VDac_setout(adj_vddG , Hw)
233           Call Send_data(s_msb , S_lsb , S_st)
234         Case Set_vddH:
235           Hw = 256 * S_msb : Hw = Hw + S_lsb
236           Call VDac_setout(adj_vddH , Hw)
237           Call Send_data(s_msb , S_lsb , S_st)
238         ,----- Enable Voltage Outputs
239         Case Set_state_vddA:
240           Call VExpander_setout(En_vddA , S_st)
241           Call Send_data(s_msb , S_lsb , S_st)
242         Case Set_state_vddB:
243           Call VExpander_setout(En_vddB , S_st)
244           Call Send_data(s_msb , S_lsb , S_st)
245         Case Set_state_vddC:
246           Call VExpander_setout(En_vddC , S_st)
247           Call Send_data(s_msb , S_lsb , S_st)
248         Case Set_state_vddD:
249           Call VExpander_setout(En_vddD , S_st)
250           Call Send_data(s_msb , S_lsb , S_st)
251         Case Set_state_vddE:
252           Call VExpander_setout(En_vddE , S_st)
253           Call Send_data(s_msb , S_lsb , S_st)
254         Case Set_state_vddF:
255           Call VExpander_setout(En_vddF , S_st)
256           Call Send_data(s_msb , S_lsb , S_st)
257         Case Set_state_vddG:
258           Call VExpander_setout(En_vddG , S_st)
259           Call Send_data(s_msb , S_lsb , S_st)
260         Case Set_state_vddH:
261           Call VExpander_setout(En_vddH , S_st)
262           Call Send_data(s_msb , S_lsb , S_st)
263         ,----- Set Current
264         Case Set_currA:
265           Hw = 256 * S_msb : Hw = Hw + S_lsb
266           Call IDac_setout(Adj_currA , Hw)
267           Call Send_data(s_msb , S_lsb , S_st)
268         Case Set_currB:
269           Hw = 256 * S_msb : Hw = Hw + S_lsb
270           Call IDac_setout(Adj_currB , Hw)
271           Call Send_data(s_msb , S_lsb , S_st)
272         Case Set_currC:
273           Hw = 256 * S_msb : Hw = Hw + S_lsb
274           Call IDac_setout(Adj_currC , Hw)
275           Call Send_data(s_msb , S_lsb , S_st)
276         Case Set_currD:
277           Hw = 256 * S_msb : Hw = Hw + S_lsb
278           Call IDac_setout(Adj_currD , Hw)
279           Call Send_data(s_msb , S_lsb , S_st)

```

```

280     Case Set_currE:
281         Hw = 256 * S_msb : Hw = Hw + S_lsb
282         Call IDac_setout(Adj_currE , Hw)
283         Call Send_data(s_msb , S_lsb, S_st)
284     Case Set_currF:
285         Hw = 256 * S_msb : Hw = Hw + S_lsb
286         Call IDac_setout(Adj_currF , Hw)
287         Call Send_data(s_msb , S_lsb, S_st)
288     Case Set_currG:
289         Hw = 256 * S_msb : Hw = Hw + S_lsb
290         Call IDac_setout(Adj_currG , Hw)
291         Call Send_data(s_msb , S_lsb, S_st)
292     Case Set_currH:
293         Hw = 256 * S_msb : Hw = Hw + S_lsb
294         Call IDac_setout(Adj_currH , Hw)
295         Call Send_data(s_msb , S_lsb, S_st)
296     '----- Set current outputs polarity
297     Case Set_currA_pol:
298         Call PolExpander_setout(Pol_currA , S_st)
299         Call Send_data(s_msb , S_lsb, S_st)
300     Case Set_currB_pol:
301         Call PolExpander_setout(Pol_currB , S_st)
302         Call Send_data(s_msb , S_lsb, S_st)
303     Case Set_currC_pol:
304         Call PolExpander_setout(Pol_currC , S_st)
305         Call Send_data(s_msb , S_lsb, S_st)
306     Case Set_currD_pol:
307         Call PolExpander_setout(Pol_currD , S_st)
308         Call Send_data(s_msb , S_lsb, S_st)
309     Case Set_currE_pol:
310         Call PolExpander_setout(Pol_currE , S_st)
311         Call Send_data(s_msb , S_lsb, S_st)
312     Case Set_currF_pol:
313         Call PolExpander_setout(Pol_currF , S_st)
314         Call Send_data(s_msb , S_lsb, S_st)
315     Case Set_currG_pol:
316         Call PolExpander_setout(Pol_currG , S_st)
317         Call Send_data(s_msb , S_lsb, S_st)
318     Case Set_currH_pol:
319         Call PolExpander_setout(Pol_currH , S_st)
320         Call Send_data(s_msb , S_lsb, S_st)
321     '----- send byte to EPROM
322     Case EPROM_send_byte:
323         Call EPROM_write_byte(S_msb, S_lsb, S_st)
324         Call Send_data(s_msb , S_lsb, S_st)
325     '----- get current from INA
326     Case Get_currA:
327         Call Ina_getdata(ina_addrA , Ina_vireg)
328         Call Send_data(ina_msb , Ina_lsb, S_st)
329     Case Get_currB:
330         Call Ina_getdata(ina_addrB , Ina_vireg)
331         Call Send_data(ina_msb , Ina_lsb, S_st)
332     Case Get_currC:
333         Call Ina_getdata(ina_addrC , Ina_vireg)
334         Call Send_data(ina_msb , Ina_lsb, S_st)
335     Case Get_currD:
336         Call Ina_getdata(ina_addrD , Ina_vireg)
337         Call Send_data(ina_msb , Ina_lsb, S_st)
338     Case Get_currE:
339         Call Ina_getdata(ina_addrE , Ina_vireg)
340         Call Send_data(ina_msb , Ina_lsb, S_st)
341     Case Get_currF:
342         Call Ina_getdata(ina_addrF , Ina_vireg)
343         Call Send_data(ina_msb , Ina_lsb, S_st)
344     Case Get_currG:
345         Call Ina_getdata(ina_addrG , Ina_vireg)
346         Call Send_data(ina_msb , Ina_lsb, S_st)
347     Case Get_currH:
348         Call Ina_getdata(ina_addrH , Ina_vireg)
349         Call Send_data(ina_msb , Ina_lsb, S_st)
350     '----- get voltages from INA
351     Case Get_vddA:
352         Call Ina_getdata(ina_addrA , Ina_vvreg)
353         Call Send_data(ina_msb , Ina_lsb, S_st)
354     Case Get_vddB:
355         Call Ina_getdata(ina_addrB , Ina_vvreg)
356         Call Send_data(ina_msb , Ina_lsb, S_st)
357     Case Get_vddC:
358         Call Ina_getdata(ina_addrC , Ina_vvreg)
359         Call Send_data(ina_msb , Ina_lsb, S_st)
360     Case Get_vddD:
361         Call Ina_getdata(ina_addrD , Ina_vvreg)
362         Call Send_data(ina_msb , Ina_lsb, S_st)
363     Case Get_vddE:
364         Call Ina_getdata(ina_addrE , Ina_vvreg)
365         Call Send_data(ina_msb , Ina_lsb, S_st)
366     Case Get_vddF:
367         Call Ina_getdata(ina_addrF , Ina_vvreg)
368         Call Send_data(ina_msb , Ina_lsb, S_st)
369     Case Get_vddG:
370         Call Ina_getdata(ina_addrG , Ina_vvreg)
371         Call Send_data(ina_msb , Ina_lsb, S_st)
372     Case Get_vddH:
373         Call Ina_getdata(ina_addrH , Ina_vvreg)
374         Call Send_data(ina_msb , Ina_lsb, S_st)
375     '----- get byte from EPROM
376     Case EPROM_get_byte:
377         Call EPROM_read_byte(S_msb, S_lsb)
378         Call Send_data(0 , EPROM_lsb, S_st)
379     End Select
380     Do_command = 0
381 End If
382 If F4ms = 1 Then

```

```
383     F4ms = 0
384 End If
385 If F500ms = 1 Then
386     F500ms = 0
387     Reset Watchdog
388 End If
389 If Fis = 1 Then
390     Fis = 0
391 End If
392 Loop
393 End
394
395 Prztimer0:
396     Timer0 = 6
397     'Timer0 = 131
398     Set F4ms
399     Incr Dziel(1)
400     If Dziel(1) = 125 Then
401         Dziel(1) = 0
402         Set F500ms
403         Toggle Dzielb
404         If Dzielb = 0 Then Set Fis
405     End If
406 Return
407 '----- Writes data to DAC
408 Sub VDac_setout(byval Dac_nr As Byte , Byval Dac_value As Word)
409     I2chb = 48 + Dac_nr 'calculate command byte
410     I2cstart
411     I2cwbyte 144 'slave address adr=00
412     I2cwbyte I2chb 'command byte
413     I2chw = Dac_value / 16
414     I2chb = I2chw
415     I2cwbyte I2chb
416     I2chw = Dac_value * 16
417     I2chb = I2chw
418     I2cwbyte I2chb
419     I2cstop
420 End Sub
421 'Writes data to DAC
422 Sub IDac_setout(byval Dac_nr As Byte , Byval Dac_value As Word)
423     I2chb = 48 + Dac_nr 'calculate command byte
424     I2cstart
425     I2cwbyte 148 'slave address adr=00
426     I2cwbyte I2chb 'command byte
427     I2chw = Dac_value / 16
428     I2chb = I2chw
429     I2cwbyte I2chb
430     I2chw = Dac_value * 16
431     I2chb = I2chw
432     I2cwbyte I2chb
433     I2cstop
434 End Sub
435 'Writes data to Expander Port0 - Vdd state
436
437 Sub VExpander_setout(byval chan as byte, byval state As bit)
438     VState.chan = state
439     I2cstart
440     I2cwbyte 232 'slave address adr=00
441     I2cwbyte 2 'command byte
442     I2cwbyte VState
443     I2cstop
444 End Sub
445 'Writes data to Expander Port1 - Curr polarity
446 Sub PolExpander_setout(byval chan as byte, byval state As bit)
447     PolState.chan = state
448     I2cstart
449     I2cwbyte 232 'slave address adr=00
450     I2cwbyte 3 'command byte
451     I2cwbyte PolState
452     I2cstop
453 End Sub
454 'Writes initial configuration
455 Sub PowerUp_init()
456     I2cstart
457     I2cwbyte 232
458     I2cwbyte 2
459     I2cwbyte 0
460     I2cwbyte 0
461     I2cstop
462     I2cstart
463     I2cwbyte 232
464     I2cwbyte 6
465     I2cwbyte 0
466     I2cwbyte 0
467     I2cstop
468     Call VDac_setout(adj_vddA , 4095)
469     Call VDac_setout(adj_vddB , 4095)
470     Call VDac_setout(adj_vddC , 4095)
471     Call VDac_setout(adj_vddD , 4095)
472     Call VDac_setout(adj_vddE , 4095)
473     Call VDac_setout(adj_vddF , 4095)
474     Call VDac_setout(adj_vddG , 4095)
475     Call VDac_setout(adj_vddH , 4095)
476     Call IDac_setout(Adj_currA , 0)
477     Call IDac_setout(Adj_currB , 0)
478     Call IDac_setout(Adj_currC , 0)
479     Call IDac_setout(Adj_currD , 0)
480     Call IDac_setout(Adj_currE , 0)
481     Call IDac_setout(Adj_currF , 0)
482     Call IDac_setout(Adj_currG , 0)
483     Call IDac_setout(Adj_currH , 0)
484 End Sub
485 'Reads INA226 selected register
486 Sub Ina_getdata(byval Ina_adr As Byte , Byval Ina_reg As Byte)
487     I2cstart
```

```

488 I2chb = Ina_adr
489 I2cwbyte Ina_adr
490 I2cwbyte Ina_reg
491 I2cstop
492 Incr I2chb
493 I2cstart
494 I2cwbyte I2chb
495 I2crbyte Ina_msb , Ack
496 I2crbyte Ina_lsb , Nack
497 I2cstop
498 End Sub
499 'send data to PC (twice)
500 Sub Send_data(s_msb As Byte , S_lsb As Byte, S_st as byte)
501 Printbin S_cmd
502 Printbin S_msb
503 Printbin S_lsb
504 Printbin S_st
505 'once again for data flow controll
506 Printbin S_cmd
507 Printbin S_msb
508 Printbin S_lsb
509 Printbin S_st
510 End Sub
511 'Write byte command to EPROM
512 Sub EPROM_write_byte(EPROM_adr_msb as Byte, EPROM_adr_lsb as byte, e_val As Byte)
513 I2cstart
514 I2cwbyte 160 'slave address adr=000
515 I2cwbyte EPROM_adr_msb
516 I2cwbyte EPROM_adr_lsb
517 I2cwbyte e_val
518 I2cstop
519 End Sub
520 'Read byte command from EPROM
521 Sub EPROM_read_byte(EPROM_adr_msb as Byte, EPROM_adr_lsb as byte)
522 I2cstart
523 I2cwbyte 160 'slave address adr=000
524 I2cwbyte EPROM_adr_msb
525 I2cwbyte EPROM_adr_lsb
526 I2cwbyte EPROM_adr_lsb
527 I2cstart
528 I2cwbyte 161 'slave address adr=000
529 I2crbyte EPROM_lsb , Nack
530 I2cstop
531 End Sub

```

## B.2 Kod interfejsu użytkownika

```

1 #!/usr/bin/env python
2 import serial, time, os, sys, math, struct
3 import numpy as np
4 sys.path.append(os.path.split(os.path.realpath(__file__))[0]+"/../Common")
5 from extras import *
6
7 class uAsicBoard():
8
9     commands_dict={}
10    calib_parms={}
11    eprom_adr={}
12    eprom_start_position=1 #change start number in case of eprom cell damage
13    minV=0.5 #minimum output voltage
14    maxV=1.4 #maximum output voltage
15    minC=0 #minimum output current
16    maxC=50 #maximum output current
17    mult_ip='192.168.0.24' #calibration multimeter's IP
18
19    #Initial function.
20    def __init__(self, address):
21        self.getCommands()
22        self.makeEpromAddressesDict()
23        self.ser = serial.Serial(address, 19200, timeout=1, bytesize=serial.EIGHTBITS,
24            parity=serial.PARITY_NONE, stopbits=serial.STOPBITS_ONE)
25        out = self.write_read_uart([self.commands_dict['Test_ping'],0,1,1])
26        if out[0] == "ok":
27            printc("uASIC Board is connected ... \t port: %s"%address,"green",0)
28        else:
29            printc("Board is not responding ...","err",0)
30        print out
31
32    #Make dictionary of paramenter addresses in eprom. Add to dict anything needed to
33    #write to EPROM.
34    def makeEpromAddressesDict(self):
35        q=self.eprom_start_position
36        for parm in ['year','month','day','hour','minute']:
37            self.eprom_adr[parm]=q; q+=4
38            for ch in ["A","B","C","D","E","F","G","H"]:
39                self.eprom_adr['vdd'+ch+'_a']=q; q+=4
40                self.eprom_adr['vdd'+ch+'_b']=q; q+=4
41            for ch in ["A","B","C","D","E","F","G","H"]:
42                self.eprom_adr['curr'+ch+'_a']=q; q+=4
43                self.eprom_adr['curr'+ch+'_b']=q; q+=4
44            for ch in ["A","B","C","D","E","F","G","H"]:
45                self.eprom_adr['res'+ch]=q; q+=4
46
47    #Auto-import command numbers from bascom file. Commands are imported from ||
48    #StartCommands\n ***\n EndCommands|| block.

```

```

46 def getCommands(self):
47     with open("uasic_uc.bas", 'r') as f:
48         for line in f:
49             if line.find("\'StartCommands")!==-1: break
50         for line in f:
51             if line.find("\'EndCommands")!==-1: break
52             elif line.strip()=='': continue
53             if line.split()[0].lower()=='const':
54                 self.commands_dict[line.split('=')[0].split()[1]] = int(line.split('=')[1].strip())
55
56 #Write command via uart and return read data or error. #cfg_bytes: command, val_MSB,
57     val_LSB, status. #returned value: ["err",vals.... , ...]
58 def write_read_uart(self, cfg_bytes):
59     while len(cfg_bytes)<4: cfg_bytes.append(0)
60     writeloop=True
61     runs=0
62     while writeloop:
63         runs+=1
64         head=128
65         data=""
66         #code msb of bytes in header to avoid sending values >128 except header
67         for i in range(len(cfg_bytes)):
68             val=cfg_bytes[i]
69             if val>=128:
70                 val-=128
71                 head+=int(math.pow(2,i))
72             data+=chr(val)
73         data=chr(head)+data
74         self.ser.write(data)
75         #try to read 8 bytes
76         err=["err"]
77         fifo=self.ser.read(8)
78         if len(fifo)>=8:
79             if fifo[0]==fifo[4] and fifo[1]==fifo[5] and fifo[2]==fifo[6] and fifo[3]==fifo[7]:
80                 if cfg_bytes[0]<64 or cfg_bytes[0]>=128: #only for Set command and chip
81                     if ord(fifo[1])==cfg_bytes[1] and ord(fifo[2])==cfg_bytes[2]:
82                         writeloop=False
83                         return ["ok",ord(fifo[1]),ord(fifo[2])]
84                     else:
85                         err.append("Data ping error")
86                 else:
87                     writeloop=False
88                     return ["ok",ord(fifo[1]),ord(fifo[2])]
89                 else: err.append("Data corrupted")
90             else: err.append("Data length %d, expected: 8 bytes"%len(fifo))
91             #try only 3 times
92             if runs==3: return err
93
94 #Set voltage in V; volt - voltage value in Volts; chan - string of channels. #
95     Examples: setVdd("ABE",1.0) - to set 1.0V at channels A,B and E, setVdd('all
96     ',0.6) - to set 0.6V at all chanells.
97 def setVdd(self, chan, volt):
98     if chan.lower()=='all':
99         chan = ["A", "B", "C", "D", "E", "F", "G", "H"]
100     for ch in chan:
101         if volt > self.maxV:
102             print "ERROR: VDD value is too high (max "+repr(self.maxV)+"V)!"
103         elif volt < self.minV:
104             print "ERROR: VDD value is too low (min "+repr(self.minV)+"V)!"
105         val=int(round(self.calib_parms['vdd'+ch+'_a']*volt+self.calib_parms['vdd'+ch+'_b']))
106     out=self.write_read_uart([self.commands_dict['Set_vdd'+ch],int(val/256),val%256])
107     if out[0] != "ok": print "ERROR: ",out
108     time.sleep(3) #Time for recharging load by DACs.
109
110 #Set current in uA; volt - current value in uA; chan - string of channels. #Examples:
111     setBiasCurrent("ABE",1.0) - to set 1.0uA at channels A,B and E, setBiasCurrent('
112     all',0.6) - to set 0.6uA at all chanells.
113 def setBiasCurrent(self, chan, volt):
114     if chan.lower()=='all':
115         chan = ["A", "B", "C", "D", "E", "F", "G", "H"]
116     for ch in chan:
117         if volt > self.maxC:
118             print "ERROR: Current value is too high (max "+repr(self.maxC)+"uA)!"
119         elif volt < self.minC:
120             print "ERROR: Current value is too low (min "+repr(self.minC)+"uA)!"
121         val=abs(int(round(self.calib_parms['curr'+ch+'_a']*volt+self.calib_parms['curr'+ch+'_b'])))
122     out=self.write_read_uart([self.commands_dict['Set_curr'+ch],int(val/256),val%256])
123     if out[0] != "ok": print "ERROR: ",out
124     time.sleep(3)
125
126 #Enable/disable Vdd outputs function; state - string; chan - string of channels;
127     PowerUp = all disabled. #Examples: setPowerState("ABE",'disable') - disable
128     channels A,B and E, setPowerState('all','enable') - enable all chanell.
129 def setPowerState(self, chan, state):
130     if state.lower()=='enable': st=1
131     elif state.lower()=='disable': st=0
132     else:
133         print "ERROR: Incorrect voltage state, output(s) DISABLED!"; st=0

```

```

131     if chan.lower() == 'all':
132         chan = ["A","B","C","D","E","F","G","H"]
133     for ch in chan:
134         out=self.write_read_uart([self.commands.dict['Set_state_vdd'+ch],0,0,st])
135         if out[0] != "ok": print "ERROR: ",out
136     time.sleep(0.5)
137
138     #Set Curr outputs polarity function; state - string; chan - string of channels;
139     PowerUp = all sink. #source: VDD to pin on uASIC board side (current flow from pin
140     to GND); sink: pin to GND on uASIC board side (current flow from VDD to pin). #
141     Examples: setCurrentPol("ABE",'sink') - channels A,B and E set to sink,
142     setCurrentPol('all','source') - all chanell set to source
143
144 def setCurrentPol(self,chan,state):
145     if state.lower()=='source': st=1
146     elif state.lower()=='sink': st=0
147     else:
148         print "ERROR: Incorrect polarity state, polarity set to SINK!"; st=0
149     if chan.lower() == 'all':
150         chan = ["A","B","C","D","E","F","G","H"]
151     for ch in chan:
152         out=self.write_read_uart([self.commands.dict['Set_curr'+ch+'_pol'],0,0,st])
153         if out[0] != "ok": print "ERROR: ",out
154
155     #Write resistors values to EPROM.
156 def setRes(self,chan,val):
157     if chan.lower() == 'all':
158         chan = ["A","B","C","D","E","F","G","H"]
159     for ch in chan:
160         self.epromSendData(self.eprom_adr['res'+ch],val)
161
162     #Send single byte to EPROM.
163 def epromSendByte(self,E_adr_msb, E_adr_lsb,val):
164     out=self.write_read_uart([self.commands.dict['EPROM_send_byte'],E_adr_msb, E_adr_lsb
165     ,val])
166     if 'out[0] != "ok": print "ERROR: ",out
167
168     #Send float (4 bytes) to EPROM.
169 def epromSendData(self,q,val):
170     val_bytes=struct.pack('f',val)
171     val_bytes=[ord(i) for i in val_bytes]
172     for val_b in val_bytes:
173         self.epromSendByte(int(q/256),q%256,val_b); q+=1
174
175     #Return voltage in V, chan - channel.
176 def getVdd(self,chan):
177     out=self.write_read_uart([self.commands.dict['Get_vdd'+chan]])
178     if out[0]!="ok":
179         print "ERROR: ",out
180         return 0.0
181     else: return float(out[1]*256+out[2])*1.25/1000.0
182
183     #Return current in uA, chan - channel.
184 def getCurrent(self,chan):
185     out=self.write_read_uart([self.commands.dict['Get_curr'+chan]])
186     if out[0]!="ok":
187         print "ERROR: ",out
188         return 0.0
189     else: return float(out[1]*256+out[2])*2.5/self.calib_parms['res'+chan]
190
191     #Read single byte from EPROM.
192 def epromGetByte(self,E_adr_msb, E_adr_lsb):
193     out=self.write_read_uart([self.commands.dict['EPROM_get_byte'],E_adr_msb, E_adr_lsb
194     ])
195     if out[0]!="ok":
196         print "ERROR: ",out
197         return 0.0
198     else: return out[2]
199
200     #Read float (4 bytes) from EPROM.
201 def epromGetData(self,q):
202     val_bytes=[]
203     for i in [0,1,2,3]:
204         val_bytes.append(self.epromGetByte(int((q+i)/256),(q+i)%256))
205     return struct.unpack('f',''.join(chr(i) for i in val_bytes))[0]
206
207     # Make voltage calibration of all channels. Repeat single channel oportunity.
208 def makeVddCalibration(self,Cal_f,mult):
209     printc("Starting Voltage scan ...","purple",0)
210     self.setPowerState('all','enable')
211     for ch in ["A","B","C","D","E","F","G","H"]:
212         repeat = True
213         while repeat:
214             Cal.f.write("Vdd scan channel: "+ch+"\n")
215             xp=[]; yp=[]; ina_xp=[]
216             out=self.write_read_uart([self.commands.dict['Set_vdd'+ch],0,0])
217             if out[0] != "ok": print "ERROR: ",out
218             time.sleep(1.5)
219             for val in range(0,4096,100):
220                 out=self.write_read_uart([self.commands.dict['Set_vdd'+ch],int(val/256),val%256])
221                 if out[0] != "ok": print "ERROR: ",out; time.sleep(0.5)
222                 meas=mult.getVoltageDC()
223                 ina_meas=self.getVdd(ch)
224                 print "%s\t%s\t%s"%(meas,val,ina_meas)
225                 xp.append(meas)
226                 yp.append(float(val))
227                 ina_xp.append(ina_meas)
228             printc("Fitting ...","purple",0)

```

```

222     params = np.polyfit(np.array(xp), np.array(y), 1)
223     print "a:", params[0] # a
224     Cal.f.write("a: "+repr(params[0])+"\n")
225     print "b:", params[1] # b (Dac= a * Volt + b)
226     Cal.f.write("b: "+repr(params[1])+"\n")
227     Cal.f.write("Dac= a * Volt + b \n\n")
228     #Writing data do file and to screen for control.
229     for i in range(len(xp)):
230         vals=(xp[i],yp[i],int(params[0]*xp[i]+params[1]),ina_xp[i])
231         print "%0.5f\t%d\t%d\t%0.5f"%vals
232         Cal.f.write("%0.5f\t%d\t%d\t%0.5f"%vals+"\n")
233         Cal.f.write("\n\n")
234     usr_dec = raw_input('Scan chanel Vdd'+ch+' finished! Type R to repeat scan or
                SWITCH CABLES and press enter to contunue\n')
235     if usr_dec.lower()!='r':
236         repeat = False
237     self.epromSendData(self.eprom_adr['vdd'+ch+'_a'],params[0])
238     self.epromSendData(self.eprom_adr['vdd'+ch+'_b'],params[1])
239     self.setPowerState('all','disable')
240
241     # Make current calibration of all channels. Repead single channel oportunity.
242     def makeCurrCalibration(self,Cal_f,mult):
243         printc("Starting Current scan ... ", "purple", 0)
244         #Set current plarity.
245         self.setCurrentPol('all','sink')
246         for ch in ["A","B","C","D","E","F","G","H"]:
247             repeat = True
248             while repeat:
249                 Cal.f.write("Current scan channel: "+ch+"\n")
250                 xp=[]; yp=[];
251                 out=self.write_read_uart([self.commands_dict['Set_curr'+ch],0,0])
252                 if out[0] != "ok": print "ERROR: ",out; time.sleep(1.5)
253                 for val in range(0,4096,100):
254                     out=self.write_read_uart([self.commands_dict['Set_curr'+ch],int(val/256),val
                %256])
255                     if out[0] != "ok": print "ERROR: ",out
256                     time.sleep(0.5)
257                     meas=mult.getCurrentDC()
258                     print "%s\t%s"%(meas,val)
259                     xp.append(meas)
260                     yp.append(float(val))
261                 printc("Fitting ...", "purple", 0)
262                 params = np.polyfit(np.array(xp), np.array(y), 1)
263                 #print params
264                 print "a:", params[0] # a
265                 Cal.f.write("a: "+repr(params[0])+"\n")
266                 print "b:", params[1] # b (Dac= a * Volt + b)
267                 Cal.f.write("b: "+repr(params[1])+"\n")
268                 Cal.f.write("Dac= a * Volt + b \n\n")
269                 #Writing data do file and to screen for control.
270                 for i in range(len(xp)):
271                     vals=(xp[i],yp[i],int(params[0]*xp[i]+params[1]))
272                     print "%0.5f\t%d\t%d"%vals
273                     Cal.f.write("%0.5f\t%d\t%d"%vals+"\n")
274                     Cal.f.write("\n\n")
275                 usr_dec = raw_input('Scan chanel Curr'+ch+' finished! Type R to repeat scan or
                SWITCH CABLES and press enter to contunue\n')
276                 if usr_dec.lower()!='r':
277                     repeat = False
278                 self.epromSendData(self.eprom_adr['curr'+ch+'_a'],params[0])
279                 self.epromSendData(self.eprom_adr['curr'+ch+'_b'],params[1])
280
281     # Main make calibration function.
282     def makeCalibration(self,mult_ip,mode):
283         from dm3068 import dm3068
284         printc("Connecting to DM3068 Multimeter (" +mult_ip+":5555) ... ", "green", 0) #
                Multimeter communication.
285         mult=dm3068("ip:"+mult_ip+":5555")
286         Cal_f=open('uASIC_calibration.txt','w') #Calibration results file.
287         Cal.f.write("uASIC Calibration: "+time.strftime("%d/%m/%Y")+ " "+time.strftime("%H
                :%M:%S")+ "\n\n")
288         self.epromSendData(self.eprom_adr['day'],float(time.strftime("%d")))
289         self.epromSendData(self.eprom_adr['month'],float(time.strftime("%m")))
290         self.epromSendData(self.eprom_adr['year'],float(time.strftime("%Y")))
291         self.epromSendData(self.eprom_adr['hour'],float(time.strftime("%H")))
292         if mode==1 or mode ==2: #Vdd calibration
293             self.makeVddCalibration(Cal_f,mult)
294         if mode==1 or mode ==3: #Curr calibration
295             self.makeCurrCalibration(Cal_f,mult)
296         Cal_f.close(); print "Calibration finished"
297
298     #Read calibration from EPROM and write to dict.
299     def getCalibration(self):
300         print "Calibration date: "+repr(int(self.epromGetData(self.eprom_adr['day'])))+" / "+
                repr(int(self.epromGetData(self.eprom_adr['month'])))+" \
301         "/" +repr(int(self.epromGetData(self.eprom_adr['year'])))+" " + \
302         repr(int(self.epromGetData(self.eprom_adr['hour'])))+" :"+repr(int(self.epromGetData(
                self.eprom_adr['minute'])))
303         for ch in ["A","B","C","D","E","F","G","H"]:
304             self.calib_parms['vdd'+ch+'_a']=self.epromGetData(self.eprom_adr['vdd'+ch+'_a'])
305             self.calib_parms['vdd'+ch+'_b']=self.epromGetData(self.eprom_adr['vdd'+ch+'_b'])
306             self.calib_parms['curr'+ch+'_a']=self.epromGetData(self.eprom_adr['curr'+ch+'_a'])
307             self.calib_parms['curr'+ch+'_b']=self.epromGetData(self.eprom_adr['curr'+ch+'_b'])

```

```

308     self.calib_parms['res'+ch]=self.epromGetData(self.eprom_adr['res'+ch])
309
310 def selectMenu(self):
311     print "Select operatio:"
312     print "1 - Make full calibration."
313     print "2 - Make voltage calibration."
314     print "3 - Make current calibration."
315     print "4 - Set resistors valuse for INA current measurements."
316     print "5 - Show calibration."
317     print "q - quit"
318
319 #Main function.
320 if __name__=="__main__":
321     board=uASICBoard("/dev/ttyUSB0")
322     board.selectMenu()
323     opt=raw_input()
324     if opt.lower()=='q': exit()
325     if int(opt) in [1,2,3]:
326         print "Cables connection:"
327         print "Voltage measurement: 0 to GND, Input to chnnel output pin. Schithing Input
328         cable is needed!"
329         print "Current measurement: 0 to AVCC, Input to chnnel output pin. Schithing Input
330         cable is needed! Switch Rigol into uA scale after first meas. if needed."
331     print "Current Rigol IP: "+board.mult_ip+" press enter or type new one."
332     new_ip=raw_input()
333     if new_ip!="":
334         board.mult_ip=new_ip
335     board.makeCalibration(board.mult_ip,int(opt))
336 elif int(opt)==5:
337     board.getCalibration()
338     for k,v in sorted(board.calib_parms.items()): print k,v
339 elif int(opt)==4:
340     print "Current resistors values:"
341     for ch in ["A","B","C","D","E","F","G","H"]:
342         print "Res_"+ch+": "+repr(board.epromGetData(board.eprom_adr['res'+ch]))+" Ohm"
343         print "To change type: string of channels space value. Ex: A 1.0; ABDG 10.2; All
344         0.1. When done type: d."
345     res_new=raw_input()
346     while res_new.lower()!='d':
347         board.setRes(res_new.split()[0],float(res_new.split()[1]))
348         res_new=raw_input()
349 else:
350     print "ERR: Incorrect parameter. Try again"
351     board.selectMenu()

```

---