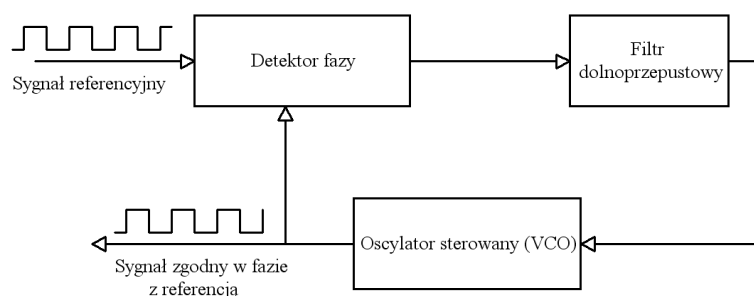


Badanie pętli fazowej I i II rodzaju

Opracowali: Jakub Moroń, Mirosław Firlej

1 Wstęp teoretyczny

Pętle fazowe (ang. phase-locked loops (PLL)) zostały wynalezione w 1930 roku i od razu znalazły zastosowanie w elektronice i komunikacji. Od wielu lat są powszechnie stosowane w telewizji do synchronizacji pionowej i poziomej obrazu, gdzie ciągły przebieg zegarowy musi być synchronizowany do przychodzących impulsów. Układy te stosowane są również powszechnie w całej dziedzinie transmisji sygnałów, a ponadto do syntezy dużych częstotliwości, modulacji i demodulacji fazy i częstotliwości, układach odzyskiwania zegara i danych oraz synchronizacji przebiegów zegarowych względem siebie.



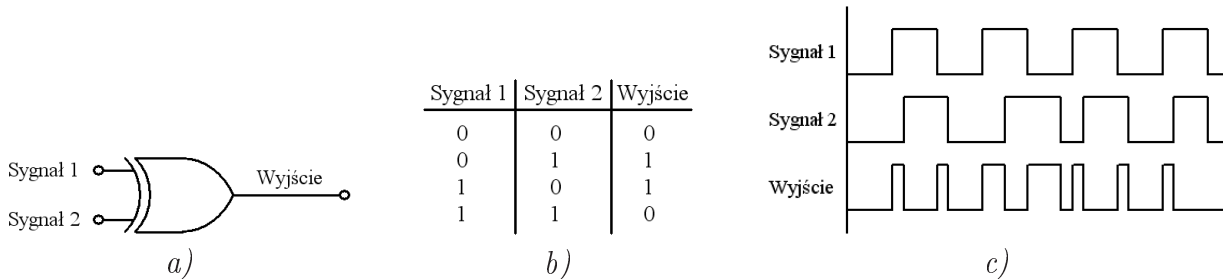
Rysunek 1: Uproszczony schemat blokowy pętli fazowej

Na rysunku 1 widać uproszczony schemat blokowy typowej pętli fazowej. Zadaniem układu jest dopasowanie częstotliwości wyjściowej do sygnału referencyjnego, tak aby wyjście odtwarzało referencję. Oba przebiegi (wyjściowy i referencyjny) podawane są na detektor fazy, którego wyjścia trafiają potem na filtr dolnoprzepustowy. W efekcie zostaje wytworzony wolnozmienny sygnał sterujący oscylator. Dzięki ujemnemu sprzężeniu zwrotnemu poziom napięcia sterującego VCO ustawia się na takiej wartości, aby częstotliwość sygnału na jego wyjściu zgadzała się z sygnałem referencyjnym. Do poprawnego działania pętli fazowej konieczne są następujące bloki:

- Detektor fazy (ang. phase detector (PD)). Jest to nieliniowy układ, którego wyjście zawiera informację o różnicy faz dwóch sygnałów wejściowych (sygnał referencyjny i wyjście z oscylatora).
- Oscylator sterowany napięciem (ang. voltage controlled oscillator (VCO)). Generuje on przebieg zegarowy o częstotliwości zależnej od napięcia panującego na jego wejściu sterującym.
- Filtr dolnoprzepustowy (ang. loop filter (LF)). W najprostszym przypadku jest to klasyczny filtr RC. Jego zadaniem jest uśrednienie (wygładzenie) odpowiedzi impulsowej powstałej po detekcji różnicy faz, tak aby uzyskać wolnozmienny poziom napięcia potrzebny do sterowania oscylatora.

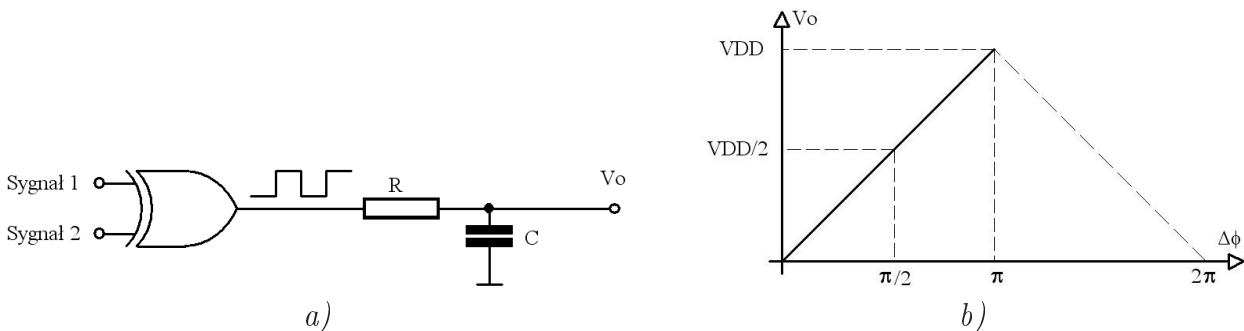
1.1 Pętla fazowa pierwszego rodzaju

Pętle fazowe są układami nieliniowymi i nie mogą istnieć bez detektora fazy i oscylatora sterowanego napięciem¹. W przypadku cyfrowej pętli fazowej można w prosty sposób zaprezentować ideę działania detektora fazy, gdyż w najprostszym przypadku jest on bramką XOR.



Rysunek 2: Idea działania najprostszego detektora fazy, bramki XOR. a) - symbol bramki XOR, b) - tabela prawdy oraz c) - przykładowe przebiegi wejściowe i wyjściowe

Rysunek 2 przedstawia zasadę działania najprostszego detektora fazy. Gdy oba sygnały są zgodne w fazie, to na wyjściu bramki XOR jest stan niski. W przypadku gdy nastąpi przesunięcie w fazie jednego z sygnałów to na wyjściu pojawia się sygnał błędny, będący odpowiedzią na różnicę poziomów logicznych na dwóch wejściach bramki. Po dołączeniu filtra dolnoprzepustowego, zgodnie z rysunkiem 3 sygnał błędny zostanie uśredniony.



Rysunek 3: Zastosowanie filtra dolnoprzepustowego do uśredniania sygnału błędny. a) - schemat detektora fazy wraz z najprostszym filtrem dolnoprzepustowym oraz b) - średnia wartość napięcia sterującego oscylator w zależności od różnicy faz przebiegów wejściowych

Łatwo zauważyć, że gdy przebiegi prostokątne będą się różnić dokładnie o 1/4 okresu (różnica faz $\Delta\phi = \pi/2$) to na wyjściu detektora fazy powstanie przebieg o wypełnieniu równym 50%. Dzięki elementom RC w filtrze, na wyjściu V_o ustali się wtedy potencjał równy połowie napięcia zasilania. Ogólnie wartość napięcia na wyjściu filtru przedstawia następujący wzór:

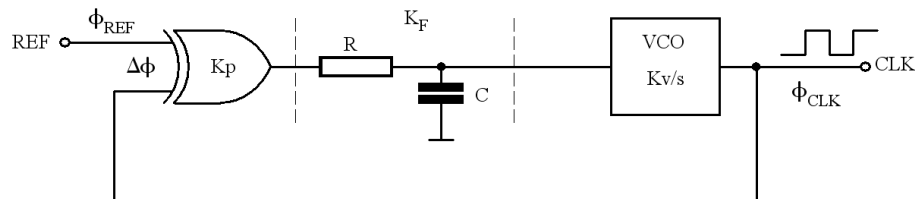
$$V_o = VDD \cdot \frac{\Delta\phi}{\pi} = K_p \cdot \Delta\phi \quad (1)$$

gdzie: V_o - jest wartością napięcia na wyjściu filtru RC, $\Delta\phi$ - to różnica faz przebiegów na wejściu detektora fazy, a K_p - wzmacnienie detektora fazy. Wzmacnienie to wyraża się zatem prostą zależnością:

$$K_p = \frac{VDD}{\pi} \left[\frac{V}{\text{radian}} \right] \quad (2)$$

¹dokładniejszy opis w podrozdziale 1.3

Dla lepszego zrozumienia działania pętli pomocny będzie rysunek 3. Kiedy oba przebiegi na wejściu detektora fazy są zgodne w fazie to napięcie V_o jest równe 0. Oscylator generuje wtedy mniejszą częstotliwość niż referencyjna i przez to z czasem przebiegi przesuwają się względem siebie. Pojawiająca się różnica faz $\Delta\phi$ powoduje wzrost średniej wartości napięcia V_o (sterującego VCO) i jednocześnie wzrost częstotliwości generowanej przez oscylator, co w efekcie kompensuje wzrastającą wartość $\Delta\phi$. Przykładem stabilnej pracy pętli jest stan, w którym napięcie $V_o = VDD/2$. Należy jednak tutaj założyć, że oscylator dla napięcia równego



Rysunek 4: Schemat blokowy pętli fazowej z detektorem fazy na bramce XOR

$V_{center} = V_o = VDD/2$ będzie generował częstotliwość podstawową (f_{center}) równą częstotliwości referencyjnej (rysunek 3b). Ponieważ pętla fazowa ma zwarte sprzężenie zwrotne, sygnał wyjściowy z oscylatora w takim przypadku musi być przesunięty w fazie o $1/4$ okresu względem przebiegu wzorcowego. Tylko wtedy sygnał błędu z detektora fazy będzie wymuszał generację odpowiedniej częstotliwości, zgodnej z referencyjną i nastąpi zsynchronizowanie pętli fazowej. Opisywany układ PLL przedstawiony jest na rysunku 4. W literaturze nazywany jest mianem pętli fazowej pierwszego rodzaju.

Fazowa funkcja przenoszenia dla pętli z rysunku 4 może zostać wyznaczona na podstawie następującego równania:

$$\phi_{CLK} = \frac{K_V}{s} K_F K_P \Delta\phi = \frac{K_V}{s} K_F K_P (\phi_{REF} - \phi_{CLK}) \quad (3)$$

gdzie: $\Delta\phi = \phi_{REF} - \phi_{CLK}$ oraz $s = j\omega$. Po prostych przekształceniach uzyskujemy funkcję fazową $H(s) = \frac{\phi_{CLK}}{\phi_{REF}}$. Dla dalszej analizy pętli wprowadza się uproszczenie poprzez pominięcie funkcji przenoszenia filtra $K_F = 1$. W rezultacie, na podstawie odwrotnej transformaty Laplace'a, odpowiedź pętli na skok częstotliwości wejściowej o wartość ω_i w dziedzinie czasu wygląda następująco²:

$$\phi_{CLK}(t) = \omega_i t + \frac{\omega_i}{K_P K_V} \cdot e^{-K_P K_V t} - \underbrace{\frac{\omega_i}{K_P K_V}}_{\text{offset fazy}} \quad (4)$$

Z równania 4 jednoznacznie widać, że pętla fazowa wprowadza przesunięcie fazowe (offset) zależne od wartości wzmocnienia $K_P K_V$. Częstość wyjściowa $\omega_{CLK}(t)$ w dziedzinie czasu wyraża się poprzez pochodną $\phi_{CLK}(t)$ po czasie, co daje następującą formułę:

$$\omega_{CLK}(t) = \frac{d\phi_{CLK}(t)}{dt} = \omega_i - \underbrace{\omega_i \cdot e^{-K_P K_V t}}_{= 0 \text{ dla } t \rightarrow \infty} \quad (5)$$

Eksponencjalny składnik z czasem zmierza do 0, a zmiana częstości wyjściowej podąża za skokiem częstości na wejściu. Aby pokazać w jaki sposób parametry filtra wpływają na stabilność pracy pętli fazowej należy do równania na $H(s)$ wprowadzić funkcję przenoszenia K_F najprostszego filtra dolnoprzepustowego (RC) przedstawioną następującym wzorem:

$$K_F = \frac{1}{1 + sRC} \quad (6)$$

²wyprowadzenie wzorów zawarte jest w załączniku B

Po wprowadzeniu nowych zmiennych³ (ω_n - częstość własna, ξ - współczynnik tłumienia):

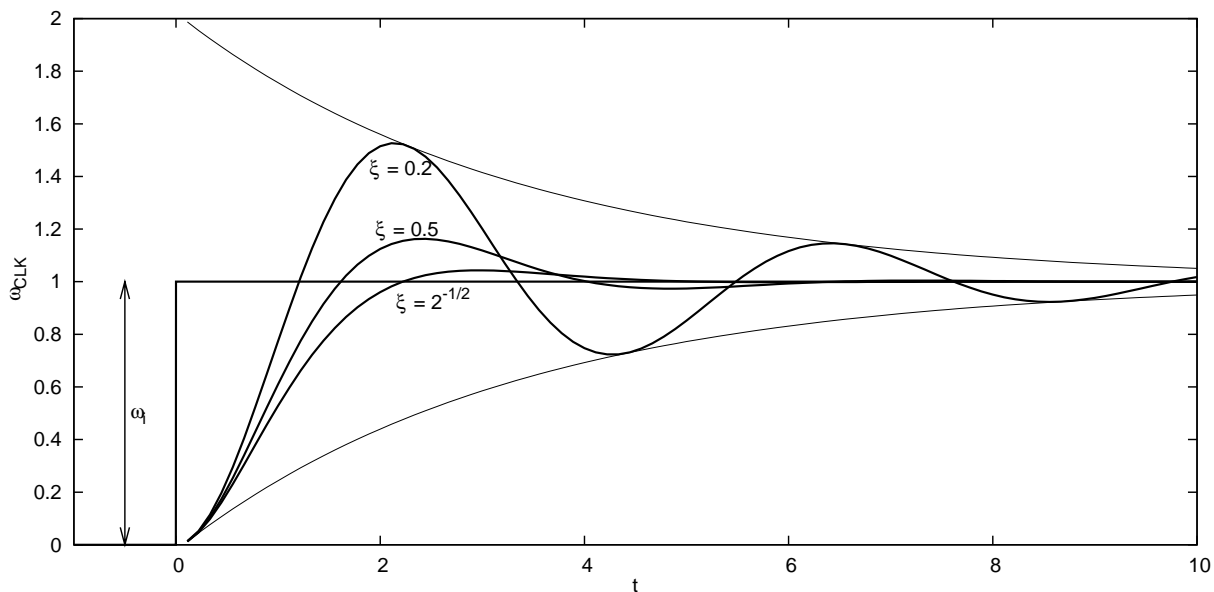
$$(a) \quad \omega_n = \sqrt{\frac{K_P K_V}{RC}} \quad (b) \quad \xi = \frac{1}{2} \cdot \sqrt{\frac{1}{K_P K_V RC}} \quad (7)$$

Równanie na $H(s)$ przyjmuje postać:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{\omega_{CLK}}{\omega_{REF}} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \quad (8)$$

Celem dalszej analizy jest wyznaczenie w dziedzinie czasu odpowiedzi na skok częstości sygnału referencyjnego ω_i . Powstała funkcja posiada trzy bieguny, jednym z nich jest wartość $s_0 = 0$ (wynika ze skoku jednostkowego $\frac{\omega_i}{s}$), a pozostałe dwa zależą od wartości współczynnika tłumienia ξ^2 . Możliwe są 3 przypadki rozwiązania. Dla $\xi^2 > 1$ lub $\xi^2 = 1$ działanie pętli fazowej jest zawsze stabilne i nie mogą powstawać oscylacje. W ostatnim przypadku, najważniejszym z punktu widzenia analizy stabilności ($\xi^2 < 1$), odpowiedź pętli fazowej posiada parę biegunów zespolonych sprzężonych i w dziedzinie czasu przyjmuje zwartą postać⁴:

$$\omega_{CLK}(t) = \omega_i - \omega_i \cdot e^{-\xi\omega_n t} \cdot \frac{1}{\sqrt{1 - \xi^2}} \cdot \sin\left(\omega_n \sqrt{1 - \xi^2} \cdot t + \arccos \xi\right) \quad (9)$$



Rysunek 5: Odpowiedź wyjścia pętli fazowej na skok częstości referencyjnej wraz z porównaniem oscylacji na wyjściu w zależności od współczynnika ξ

Jak widać zmiana częstości $\omega_{CLK}(t)$ po pewnym czasie osiągnie wartość taką samą jak skok częstości referencyjnej ω_i , ponieważ drgania zostaną stłumione przez występujący we wzorze czynnik $e^{-\xi\omega_n t}$. Na rysunku 5 przedstawiona jest przykładowa zależność odpowiedzi wyjścia pętli fazowej na wymuszenie w postaci skoku jednostkowego częstości referencyjnej. Drgania będą tłumione szybciej gdy częstość graniczna filtra $\omega_{LP} = \frac{1}{RC}$ będzie większa, ale przez to przebieg impulsowy z detektora fazy będzie słabo całkowany (wygładzony). Na podstawie wzorów 7 przedstawić współczynnik w wykładniku eksponenty jako:

$$\xi\omega_n = \frac{1}{2} \cdot \omega_{LP} \quad (10)$$

³poniższe wzory są pomocne przy doborze elementów RC filtra pętli fazowej

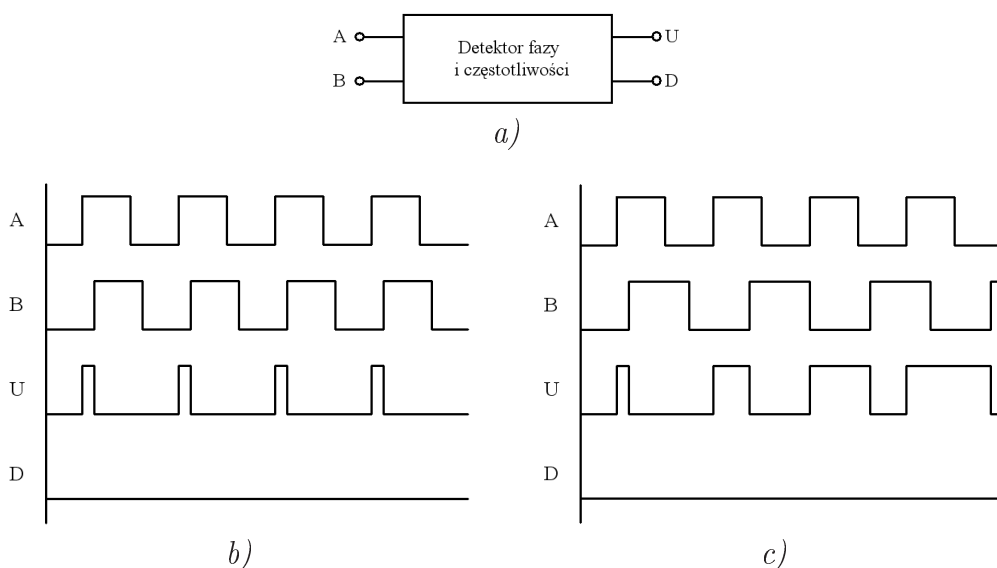
⁴wyprowadzenie wzorów zawarte jest w załączniku C

W rezultacie tej zależności wymagane jest znalezienie optimum między dobrą filtracją napięcia sterującego VCO, a niskimi oscylacjami częstości na wyjściu pętli fazowej. Wykres 5 przedstawia także wpływ parametru ξ na tłumienie oscylacji w odpowiedzi pętli fazowej. Dla wartości współczynnika tłumienia $\xi < 0.5$, powstały na wejściu skok częstości powoduje duże i wolno gasnące oscylacje. Dla wartości $\xi > \frac{\sqrt{2}}{2}$ oscylacje na wyjściu są tak małe, że można je zaniedbać.

Pętla fazowa pierwszego rodzaju jest układem prostym w konstrukcji, jednak posiada sporo wad. Prosty detektor fazy sprawia, że pętla może się synchronizować na częstotliwości harmonicznej przebiegu referencyjnego, co jest zjawiskiem niepożądanym. Pociąga to za sobą konieczność stosowania oscylatorów o zakresie częstości od $> 0.5 \cdot f_{center}$ do $< 2 \cdot f_{center}$, aby nie było możliwości wygenerowania przebiegu wyjściowego o częstotliwości harmonicznej. Filtr użyty w tym rodzaju pętli fazowej jest najprostszym dolnoprzepustowym filtrem RC. Napięcie na wyjściu tego filtra oscyluje nawet w chwili gdy pętla uzyskała już synchronizację, co powoduje modulację częstości wyjściowej. Pętla fazowa pierwszego rodzaju nie potrafi utrzymać synchronizacji dla dużych skoków częstości wejściowej ω_i w stosunku do stałej ω_{LP} filtra, a także wprowadza offset fazy zależny od wzmocnienia.

1.2 Pętla fazowa drugiego rodzaju

W celu wyeliminowania wad pętli fazowej pierwszego rodzaju, wprowadza się detekcję częstości oscylacji. Dzięki temu nie ma możliwości żeby pętla zatrzaskała się na częstości harmonicznej podawanej referencji i oscylator może mieć szeroki zakres przestrajania. W takim układzie występują zatem dwie pętle sprzężenia zwrotnego, jedna związana jest z detektorem fazy i pierwszym filtrem, natomiast druga pętla sprzężenia zwrotnego zapięta jest poprzez detektor częstości i drugi filtr dolnoprzepustowy. Ideą działania jest porównanie częstości wyjściowej z oscylatora VCO z częstością referencyjną i wygenerowanie odpowiedniego stałego poziomu sterującego na wyjściu filtra 2. Gdy różnica częstości $\omega_{out} - \omega_{in}$ jest niewielka wtedy zaczyna działać detektor fazy i tak dostraja napięcie na VCO, żeby fazy sygnałów się zgodziły. Efektem tego ma być sygnał wyjściowy idealnie dopasowany do przebiegu referencyjnego pod względem fazy i częstości.

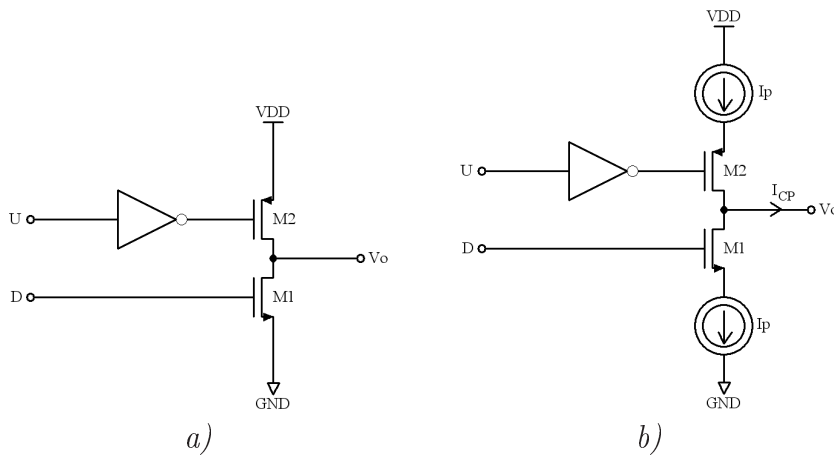


Rysunek 6: Idea działania detektora fazy i częstości. a) - symbol detektora fazy i częstości, b) - odpowiedź na wyjściu dla sygnałów A i B różniących się fazą, c) - odpowiedź na wyjściu dla sygnałów A i B o różnej częstości.

W wielu przypadkach możliwe jest połączenie detektora fazy i detektora częstotliwości w jeden układ tworząc detektor fazy i częstotliwości (ang. Phase-Frequency Detector (PFD)). Układ taki działa dobrze gdy na oba jego wejścia podawane są przebiegi okresowe, gdyż działanie opiera się na wykrywaniu zbocz narastających (lub opadających) obu sygnałów. Rysunek 6 przedstawia ideę działania detektora fazy i częstotliwości.

Układ ten oparty jest na logice sekwencyjnej i działa w następujący sposób. Jeśli w stanie początkowym na obu wyjściach U i D jest poziom niski, pierwsze zbocze narastające na wejściu A ustawia stan wysoki na wyjściu U. Taki stan utrzymuje się do momentu, gdy na wejściu B nie pojawi się zbocze narastające, po którym wszystko wraca do stanu początkowego. Dla wejścia B działanie jest podobne, z tym że impulsy ustawiane są na wyjściu D. Gdy przebiegi różnią się tylko fazą (rysunek 6b), to na jednym z wyjść detektora fazy pojawiają się impulsy o stałej szerokości. Taki stan utrzymuje się do momentu aż pętla nie zgra ze sobą przebiegu wyjściowego i referencyjnego. Gdy natomiast częstotliwości sygnałów na obu wejściach PFD są różne (rysunek 6c), to szerokość impulsów z detektora fazy zwiększa się wraz z rosnącym przesunięciem fazowym między przebiegami. Daje to silniejsze sterowanie w kierunku przywrócenia tych samych częstotliwości. Oscylator VCO jest sterowany napięciem będącym średnią wartością z różnicy sygnałów U i D, za pośrednictwem jednego z dwóch opisywanych niżej układów wyjściowych.

Wyjścia detektora fazy i częstotliwości muszą zostać zamienione na pojedynczy sygnał napięciowy aby umożliwić sterowanie oscylatorem. W literaturze spotyka się najczęściej dwa rozwiązania, pierwsze nazywane wyjściem trójstanowym (ang. tri-state output), a drugie pompą ładunkową (ang. charge pump (CP)). Oba rozwiązania przedstawia rysunek 7. Napięcie V_o zaznaczone na wyjściach obu układów odkłada się na występującym dalej filtrze dolnoprzepustowym. W układzie z wyjściem trójstanowym, gdy oba sygnały U i D są w stanie niskim to



Rysunek 7: Możliwe układy wyjściowe dla detektora fazy. a) - z wyjściem trójstanowym oraz b) - pompa ładunkowa

wyjście V_o jest w stanie wysokiej impedancji wyjściowej. Jeśli pojawiają się impulsy na wejściu D to V_o będzie zwierane do masy, a jeśli impulsy będą na wejściu U to V_o będzie łączone z szyną zasilania. Bardzo poważną wadą tego rozwiązania jest wpływ tętnień napięcia zasilania na sygnał V_o w momencie kiedy tranzystor M2 jest otwarty, co przyczyni się do modulacji częstotliwości wyjściowej VCO. Drugim problemem jest filtracja oscylacji napięcia sterującego V_o , gdyż sprawa jest bardzo podobna jak w przypadku omawianego wcześniej detektora fazy na bramce XOR.

Druga konfiguracja pokazana na rysunku 7b działa na podobnej zasadzie, jednak tym razem tranzystory w takt pojawiających się sygnałów U i D, pompują prąd ze źródeł I_P na pojem-

ność filtru dolnoprzepustowego. Źródła prądowe można wykonać odporne na wahania napięcia zasilania, a zatem nie może tu być mowy o modulacji częstotliwości pracy oscylatora poprzez zmiany zasilania, w rozumieniu takim jak dla układu z wyjściem trójstanowym.

Zakładając że oba przebiegi na wejściach detektora fazy i częstotliwości mają tę samą częstotliwość f oraz, że są względem siebie przesunięte w skali czasowej o Δt , możemy napisać różnicę ich faz w postaci:

$$\Delta\phi = \frac{\Delta t}{T} \cdot 2\pi \text{ [radian]} \quad (11)$$

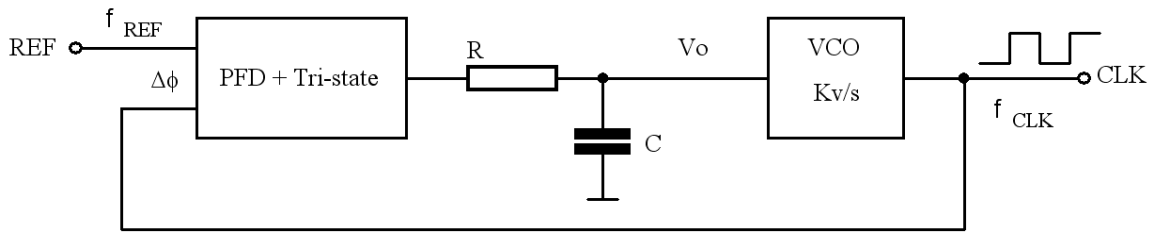
gdzie: Δt - przesunięcie czasowe przebiegów względem siebie
 T - okres przebiegów wejściowych

Do dalszych obliczeń użyty został układ z wyjściem trójstanowym. Średnie napięcie na wyjściu detektora fazy wyraża się następująco:

$$V_{PD} = \frac{V_{DD}}{4\pi} \cdot \Delta\phi \quad (12)$$

a zatem:

$$K_P = \frac{V_{DD}}{4\pi} \left[\frac{V}{\text{radian}} \right] \quad (13)$$



Rysunek 8: Schemat blokowy pętli fazowej drugiego rodzaju

Analogicznie jak w przypadku pętli fazowej pierwszego rodzaju zmianę fazy ϕ_{CLK} na wyjściu oscylatora można przedstawić w następujący sposób:

$$\phi_{CLK}(s) = K_P \cdot \frac{1}{1 + sRC} \cdot \frac{K_V}{s} \cdot \Delta\phi = K_P \cdot \frac{1}{1 + sRC} \cdot \frac{K_V}{s} \cdot (\phi_{REF} - \phi_{CLK}) \quad (14)$$

co po przekształceniach daje postać:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{K_P \cdot \frac{1}{1 + sRC} \cdot K_V}{s + K_P \cdot \frac{1}{1 + sRC} \cdot K_V} \quad (15)$$

Jak widać równanie 15 jest identyczne jak w przypadku pętli fazowej pierwszego rodzaju, zatem wprowadzamy nowe zmienne⁵ (ω_n - częstość własna, ξ - współczynnik tłumienia):

$$(a) \quad \omega_n = \sqrt{\frac{K_P K_V}{RC}} \quad (b) \quad \xi = \frac{1}{2} \cdot \sqrt{\frac{1}{K_P K_V RC}} \quad (16)$$

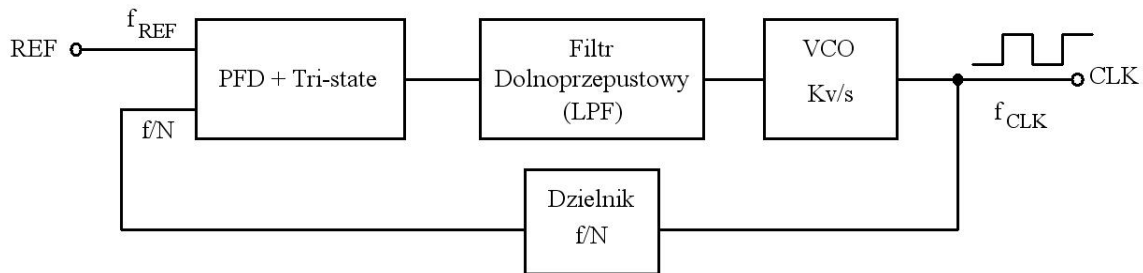
Rozważamy tutaj przypadek $\xi^2 < 1$, co poprowadzi do pojawienia się dwóch biegunów zespolonych sprzężonych i gasnących oscylacji w odpowiedzi układu na skok jednostkowy. Odpowiedź wyjścia na skok jednostkowy częstości referencyjnej przedstawia się następująco:

$$\omega_{CLK}(t) = \omega_i - \omega_i \cdot e^{-\xi\omega_n t} \cdot \frac{1}{\sqrt{1 - \xi^2}} \cdot \sin\left(\omega_n \sqrt{1 - \xi^2} \cdot t + \arccos \xi\right) \quad (17)$$

⁵poniższe wzory są pomocne przy doborze elementów RC filtru pętli fazowej

Wyjście pętli fazowej drugiego rodzaju zachowuje się podobnie jak w przypadku pętli pierwszego rodzaju. Skok fazy pojawiający się na wejściu układu powoduje odpowiednią reakcję na wyjściu. Tłumienie drgań zależy od współczynnika ξ występującego w wykładniku funkcji eksponencjalnej. Kiedy częstotliwości przebiegów na wyjściu i wejściu pętli są zbliżone, detektor fazy i częstotliwości dostraja fazy sygnałów do momentu, aż różnica faz nie będzie równa 0. Jest to dużą zaletą w stosunku do pętli pierwszego rodzaju, która wprowadza offset fazy sygnału zależny od wzmocnienia. Gdy różnica faz $\phi_{CLK} - \phi_{REF}$ osiągnie 0, wtedy PFD nie będzie wystawiał sygnałów U i D, jego wyjście będzie w stanie wysokiej impedancji i napięcie sterujące oscylator pozostanie stałe. Częstotliwość i przesunięcie fazowe sygnału na wyjściu będą dryfować, gdyż występujące w układzie szumy dadzą losową modulację częstotliwości VCO. Z biegiem czasu różnica faz może się zwiększać, na co zareaguje detektor fazy i pojemność na filtrze zostanie doładowana.

Bardzo ważnym zastosowaniem pętli fazowych drugiego rodzaju jest powielanie częstotliwości. Pozwala to na podstawie precyzyjnego przebiegu referencyjnego, podawanego z zewnątrz układu uzyskać częstotliwość kilkukrotnie większą. Idea działania pętli w takiej konfiguracji przedstawiona jest na rysunku 9. Kluczem do powielania częstotliwości jest wykorzystanie



Rysunek 9: Wykorzystanie pętli fazowej do powielania częstotliwości

dzielnika częstotliwości w sprzężeniu zwrotnym pętli fazowej. Oscylator VCO musi pracować na częstotliwości środkowej N razy większej niż referencyjna, gdzie N to stopień podziału dzielnika. Przebieg po wyjściu z dzielnika ma zatem częstotliwość równą referencji, a ponieważ dzielenie częstotliwości jest zawsze operacją dokładną to na wyjściu oscylatora uzyskuje się przebieg o częstotliwości N razy większej od referencji. W efekcie gdy detektor fazy tak wysteruje pętlę aby częstotliwości: referencyjna i podzielona były jednakowe, to zagwarantuje tym samym stabilność, powielonej N razy, częstotliwości oscylatora.

Łatwo zauważyć iż dołożenie dzielnika w sprzężeniu zwrotnym pętli fazowej sprawi, że częstość naturalna i współczynnik tłumienia będą się teraz wyrażać wzorami:

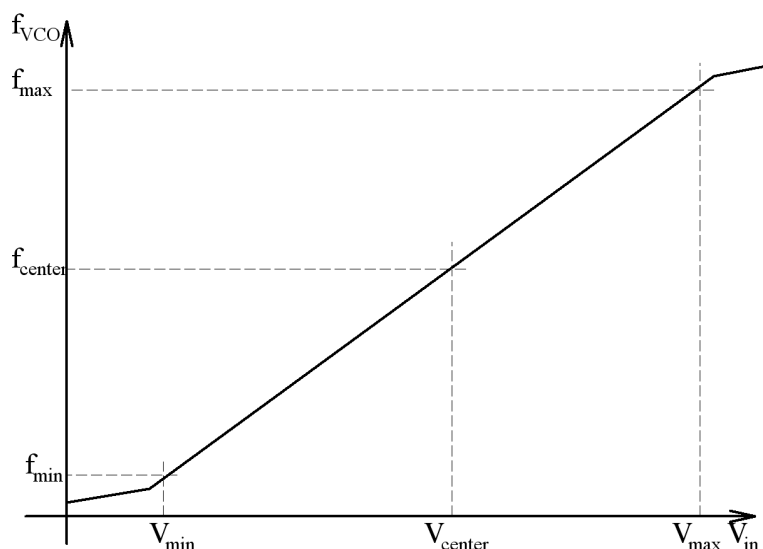
$$(a) \quad \omega_n = \sqrt{\frac{K_P K_V}{N \cdot RC}} \quad (b) \quad \xi = \frac{1}{2} \cdot \sqrt{\frac{1}{K_P K_V \cdot N \cdot RC}} \quad (18)$$

Równania 18 są słuszne także dla pętli fazowej pierwszego rodzaju.

1.3 Oscylator sterowany napięciem (VCO)

Generator sterowany napięciem (ang. Voltage Controlled Oscillator, VCO) jest układem wytwarzającym przebieg prostokątny o ściśle określonym zakresie częstotliwości. Wyboru okresu oscylacji dokonujemy poprzez zmianę stałego napięcia sterującego podawanego na wejście VCO. Częstotliwość na wyjściu układu jest liniową funkcją napięcia podawanego na wejście.

Ważnym parametrem oscylatora sterowanego jest jego wzmocnienie K_V , wyrażone w MHz/V . Mówi ono o zmianie częstotliwości wyjściowej w odpowiedzi na zmianę napięcia sterującego. Rysunek 10 przedstawia częstotliwość wyjściową w funkcji napięcia sterującego oscylator. Wspo-



Rysunek 10: Zależność częstotliwości oscylacji od napięcia sterującego VCO

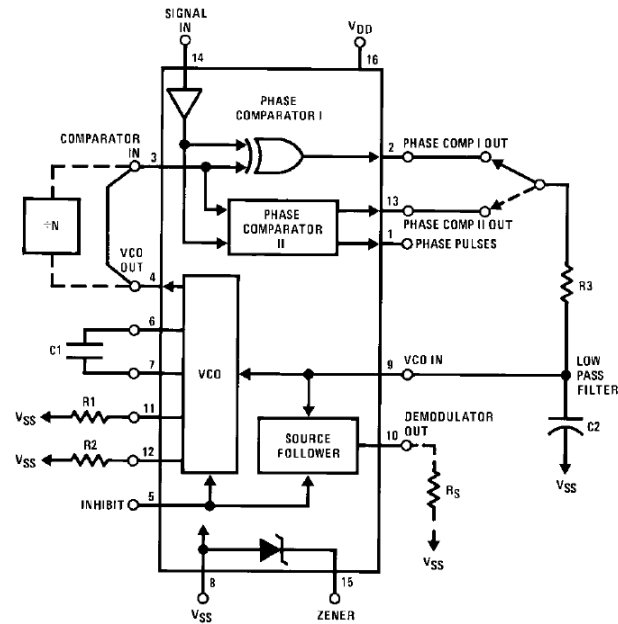
mniane wzmocnienie oscylatora K_V jest tutaj współczynnikiem nachylenia liniowego odcinka charakterystyki. Gdy napięcie sterujące osiąga wartość środkową (V_{center}), to oscylator pracuje na częstotliwości podstawowej (środkowej) f_{center} . Zwykle VCO zaprojektowany jest w taki sposób aby $V_{center} = VDD/2$. Znając minimalną (f_{min}) i maksymalną (f_{max}) częstotliwość oscylacji oraz napięcia dla jakich te częstotliwości występują, można w prosty sposób wyprowadzić wzór na wzmocnienie:

$$K_V = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} \left[\frac{Hz}{V} \right] \quad (19)$$

2 Opis stanowiska pomiarowego

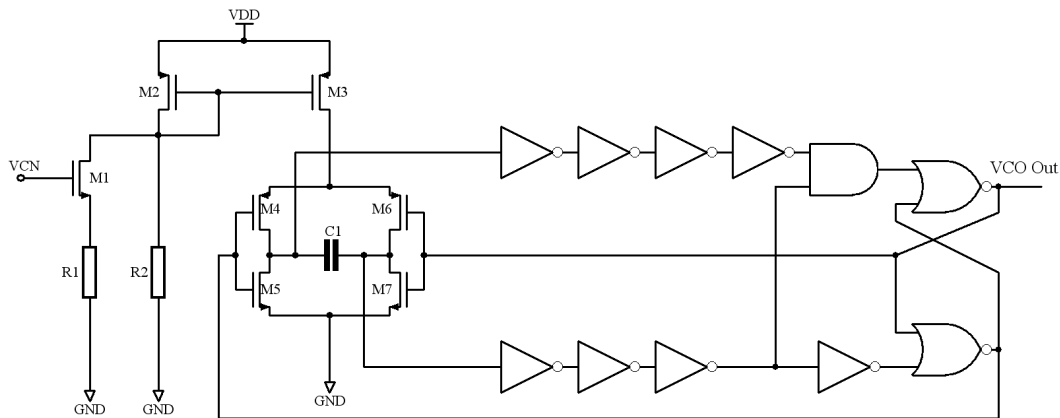
Pętla fazowa zbudowana została w oparciu u okład CD4046 [4], który zawiera w sobie kompletny układ pętli fazowej I i II rodzaju. Schemat blokowy CD4046 przedstawiony jest na rysunku 11. Zawiera on w swojej strukturze oscylator sterowany napięciem, którego częstotliwość pracy oraz zakres regulacji częstotliwości dobierane są za pomocą zewnętrznych elementów ($C_1 R_1 R_2$). Układ CD4046 zawiera także dwa typy detektorów fazy, co umożliwia zbudowanie pętli pierwszego lub drugiego rodzaju. Oba wejścia (Phase comp I out, Phase comp II out) detektorów fazy wyprowadzone są na zewnątrz układu scalonego, podobnie jak wyjście przebiegu z oscylatora sterowanego (VCO out). Umożliwia to opcjonalne zastosowanie dzielnika częstotliwości w obwodzie sprzężenia zwrotnego pętli fazowej.

Rysunek 12 przedstawia uproszczony schemat ideowy oscylatora VCO wchodzącego w skład układu CD4046. Częstotliwość pracy zależy od wartości elementów R_1 , R_2 oraz C_1 . Kondensator C_1 jest tutaj cyklicznie ładowany i rozładowywany od napięcia około VDD do $-VDD$, gdyż dzięki tranzystorom $M_4 - M_7$ zmieniający jest kierunek przepływu prądu przez kondensator. Stałej wartości prądu ładującego C_1 dostarcza lustro prądowe zbudowane na tranzystorach M_2 i M_3 . Tranzystor wejściowy M_1 steruje prądem lustra M_2-M_3 w zakresie zależnym od wartości rezystancji R_1 oraz R_2 . Pierwszy rezystor odpowiedzialny jest za wzmocnienie regulacji, a dokładniej zależy od niego jaki maksymalny prąd może przepływać przez w pełni otwarty



Rysunek 11: Schemat blokowy CD4046

tranzystor M1. Prąd maksymalny popłynie przez R1 przy napięciu na bramce tranzystora M1 równym napięciu zasilania. Rezystor R2, ustala przesunięcie (offset) częstotliwości, jego wartość ustala minimalny prąd (a zatem minimalną częstotliwość pracy VCO) jaki płynie przez lustro M2-M3 w przypadku gdy tranzystor M1 jest odcięty.



Rysunek 12: Oscylator sterowany wewnątrz CD4046

Rysunek 13 przedstawia uproszczony schemat stanowiska pomiarowego (dla uproszczenia pominięto obwody zasilania). Kostka U3 (CD4046) jest kompletną pętlą fazową i stanowi serce całego układu badawczego. Wejścia obu detektorów fazy (PD_IN oraz IN) są ze sobą wewnętrznie połączone, sygnały trafiają jednocześnie na oba detektory. Do wejścia referencyjnego IN trafia sygnał z generatora za pośrednictwem złącza F_IN. Na drugie wejście detektora fazy podawany jest sygnał z dzielnika, albo bezpośrednio z wyjścia oscylatora za pomocą sieci zworek GP0. Można tym samym wybrać stopień podziału częstotliwości w sprzężeniu zwrotnym pętli ($N = 1, 2, 4, 8, 16, \dots$). Jako dzielnik zastosowany został układ scalony CD4040 (14-bitowy licznik binarny). Przebieg sygnału na wyjściu oscylatora można oglądać za pomocą złącza VCOout, natomiast przebieg na wyjściu dzielnika, a tym samym na wejściu detektora fazy jest dostępny na złączu PD_IN/DIV_OUT.

Elementy RC współpracujące z oscylatorem VCO wybierane są za pomocą sieci rezystorów i

kondensatorów (Wybór R1 i Wybór C1). Wyjątkiem stanowi tutaj wartość R2, która wybierana jest spośród jednej z trzech wartości za pomocą zworki GP201. Minimalna wartość R1 to 10k (ustalana przez R111), a minimalna wartość C1 to 47pF (ustalana poprzez C112).

W celu wyznaczenia wartości elementów R1, R2 i C1 sterujących częstotliwością oscylatora VCO należy wyliczyć minimalną (f_{min}) i maksymalną (f_{max}) częstotliwość oscylacji. Te wielkości wiążą z założoną częstotliwością środkową f_{center} i zakresem pracy oscylatora f_{range} poprzez następujące zależności

$$f_{range} = f_{max} - f_{min} \quad (20)$$

$$f_{center} = f_{min} + \frac{f_{range}}{2}$$

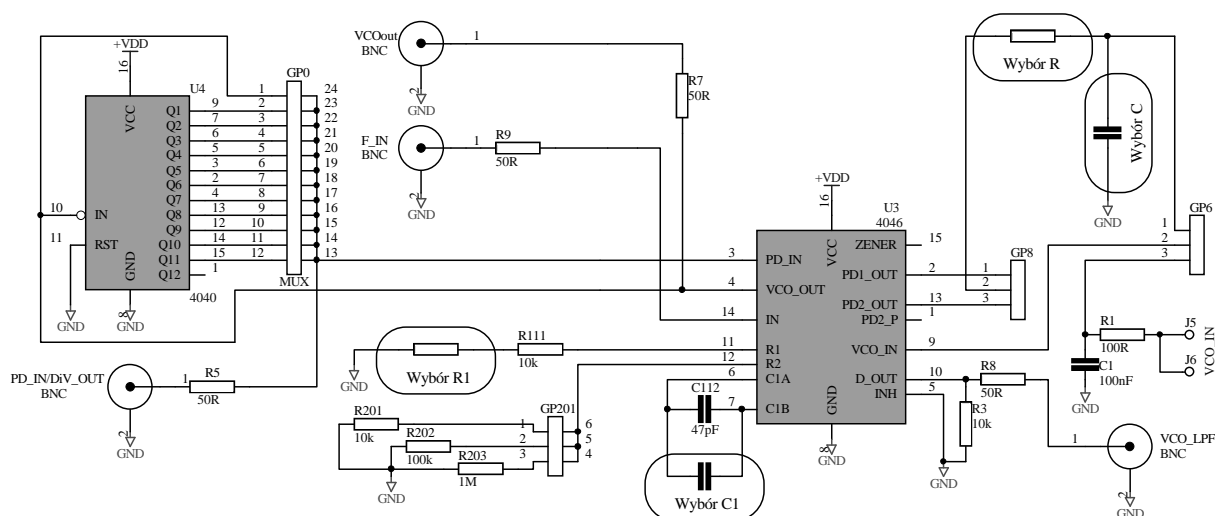
skąd

$$f_{max} = f_{center} + \frac{f_{range}}{2} \quad (21)$$

$$f_{min} = f_{center} - \frac{f_{range}}{2}$$

Stosunek częstotliwości maksymalnej do minimalnej (f_{max}/f_{min}) pozwala ustalić stosunek rezystorów R2 do R1 na podstawie wykresu 15. Następnie należy wybrać jedną z trzech dostępnych wartości R2 i obliczyć wartość R1. Rezystor R2 należy wybrać tak, by R1 mieścił się w dopuszczalnych granicach 10k Ω - 1M Ω (np. dla stosunku R2/R1 większego od 10 należy przyjąć R2=1M Ω). Następnie korzystając z wykresu 16 należy odczytać wartość pojemności C1 na podstawie znanej częstotliwości minimalnej f_{min} , wykorzystując prostą odpowiadającą przyjętej wartości rezystora R2. Wykresy 15 i 16 znajdują się w załączniku A.

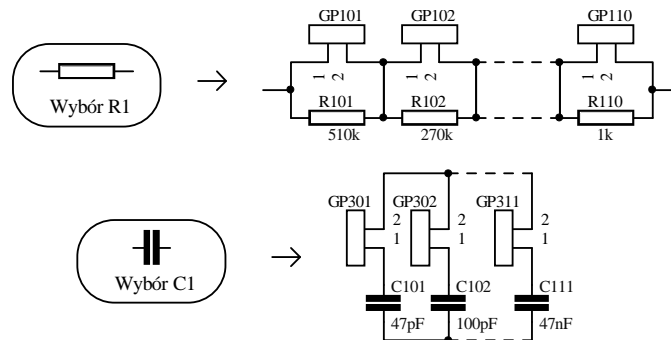
Wybór aktualnie działającego detektora fazy dokonuje się za pomocą zworki GP8, gdy jest ona w pozycji 1-2 to działa detektor fazy na bramce XOR (pętla fazowa pierwszego rodzaju), natomiast gdy zworka jest w pozycji 2-3 to pracuje detektor fazy i częstotliwości z wyjściem trójstanowym (pętla fazowa drugiego rodzaju).



Rysunek 13: Schemat ideowy stanowiska pomiarowego

Jako filtr pętli zastosowano prosty obwód RC. Wybieranie elementów filtru dokonuje się podobnie jak dla oscylatora VCO za pomocą sieci rezystorów i kondensatorów (Wybór R i

Wybór C). Zworka GP6 pozwala wybrać tryb pracy układu. Gdy jest w pozycji 1-2 to wyjście filtra dołączone jest do wejścia VCO (pętla fazowa pracuje normalnie), w położeniu 2-3 filtr jest odłączony a sygnał na wejście sterujące VCO podawany jest z zewnętrznego zasilacza regulowanego za pomocą złącza VCO_IN (umożliwia to wyznaczenie charakterystyki VCO). Dodatkowo na tym wejściu dodano prosty filtr R1C1.



Rysunek 14: Zasada wybierania pojemności i rezystancji

Rysunek 14 przedstawia zasadę dobierania wartości pojemności i rezystancji. Rezystory o wartościach z szeregu najbliższych kolejnym potęgom liczby 2 zostały połączone szeregowo. Każdy z rezystorów posiada własną zworkę, równoległą do jego wyprowadzeń. Łatwo zauważyć, że zwarcie wszystkich zworek daje rezystancję równą 0, a zatem w stanie spoczynku wszystkie zworki będą włożone. Dla przykładu realizacja wartości 65k odbędzie się poprzez wyciągnięcie zworki przy rezystorze 62k, 2k i 1k. Taki system selekcji rezystancji występuje zarówno przy doborze R1 w oscylatorze jak i przy filtrze pętli fazowej. Dobór kondensatorów zrealizowany jest w bardzo podobny sposób. Pojemności połączone są w sposób równoległy, a każdy z kondensatorów posiada szeregową zworkę. Rozwarcie wszystkich zworek daje pojemność 0, a zwarcie którejkolwiek dodaje do sumy pojemności odpowiadającą danej zworce wartości. W taki sposób dobierany jest kondensator C1 dla oscylatora oraz kondensator w filtrze pętli fazowej. Wartości elementów należy dobierać rozsądnie przyjmując wartości bliskie wyliczonym.

3 Program Ćwiczenia

W ramach ćwiczenia należy wykonać:

1. Na podstawie podanych przez prowadzącego częstotliwości minimalnej i maksymalnej (lub częstotliwości środkowej f_{center} i zakresu pracy f_{range}) wyznaczyć elementy RC dla VCO umożliwiające mu pracę we wskazanym zakresie. Skorzystać z wytycznych zawartych w rozdziale 2.
2. Wyznaczyć charakterystykę oscylatora sterowanego napięciem (funkcja $f(V_{ster})$) i zmierzyć jego częstotliwość środkową (dla sterowania równego $VDD/2$) oraz oszacować wzmocnienie.
Zworka "sterowanie VCO" powinna być w pozycji "zewnętrzne". Do wyjścia VCO należy dołączyć miernik częstotliwości, zaś do wejścia sterującego VCO zasilacz regulowany. Zmieniając napięcie sterujące w granicach 0-10V dokonać pomiaru częstotliwości pracy oscylatora.
3. Dla zmierzonej częstotliwości środkowej wyliczyć elementy (R i C) filtru pętli I rodzaju przy dzielniku w pętli równym 1. Do obliczeń należy skorzystać ze wzorów 7(b) oraz 2 przyjmując wartość $\xi = 2$. Z wzorów tych nie da się jednoznacznie wyznaczyć wartości

R i C, należy więc przyjąć wartość jednego z elementów i wyliczyć drugi. Należy zwrócić uwagę na dostępne zakresy ustawianych wartości R i C. Zaleca się przyjęcie mniejszej wartości R i większej C spośród dostępnych.

Zwórka "sterowanie VCO" powinna być w pozycji "sygnał z filtru", zwórka "detektory fazy" w pozycji "XOR", zaś dzielnik w pozycji "1". Wyjście VCO powinno zostać dołączone przez trójnik do miernika częstotliwości i oscyloskopu, do którego należy również dołączyć wyjście filtru. Przebieg referencyjny podawany z generatora powinien być przebiegiem prostokątnym o amplitudzie 5V i offsecie 2.5V i częstotliwości równej częstotliwości środkowej (rzeczywista amplituda przebiegu będzie dwa razy większa ze względu na wysoką impedancję wejściową detektora fazy).

- (a) Przerysować przebieg napięcia na wyjściu filtru i zmierzyć jego amplitudę.
 - (b) Zaobserwować i zanotować zakres pracy pętli fazowej I rodzaju (zmieniając częstotliwość referencyjną znaleźć dolną i górną granicę poprawnego działania układu).
 - (c) Sprawdzić jak zachowuje się pętla dla stałej czasowej filtru równej w przybliżeniu 10τ i 0.1τ (gdzie $\tau = RC$). Przerysować przebieg napięcia na wyjściu filtru i zmierzyć jego amplitudę.
4. Dla zmierzonej częstotliwości środkowej wyliczyć elementy (R i C) filtru pętli II rodzaju przy dzielniku w pętli równym 1. Do obliczeń należy skorzystać ze wzorów 16(b) oraz 13 przyjmując wartość $\xi = 2$.

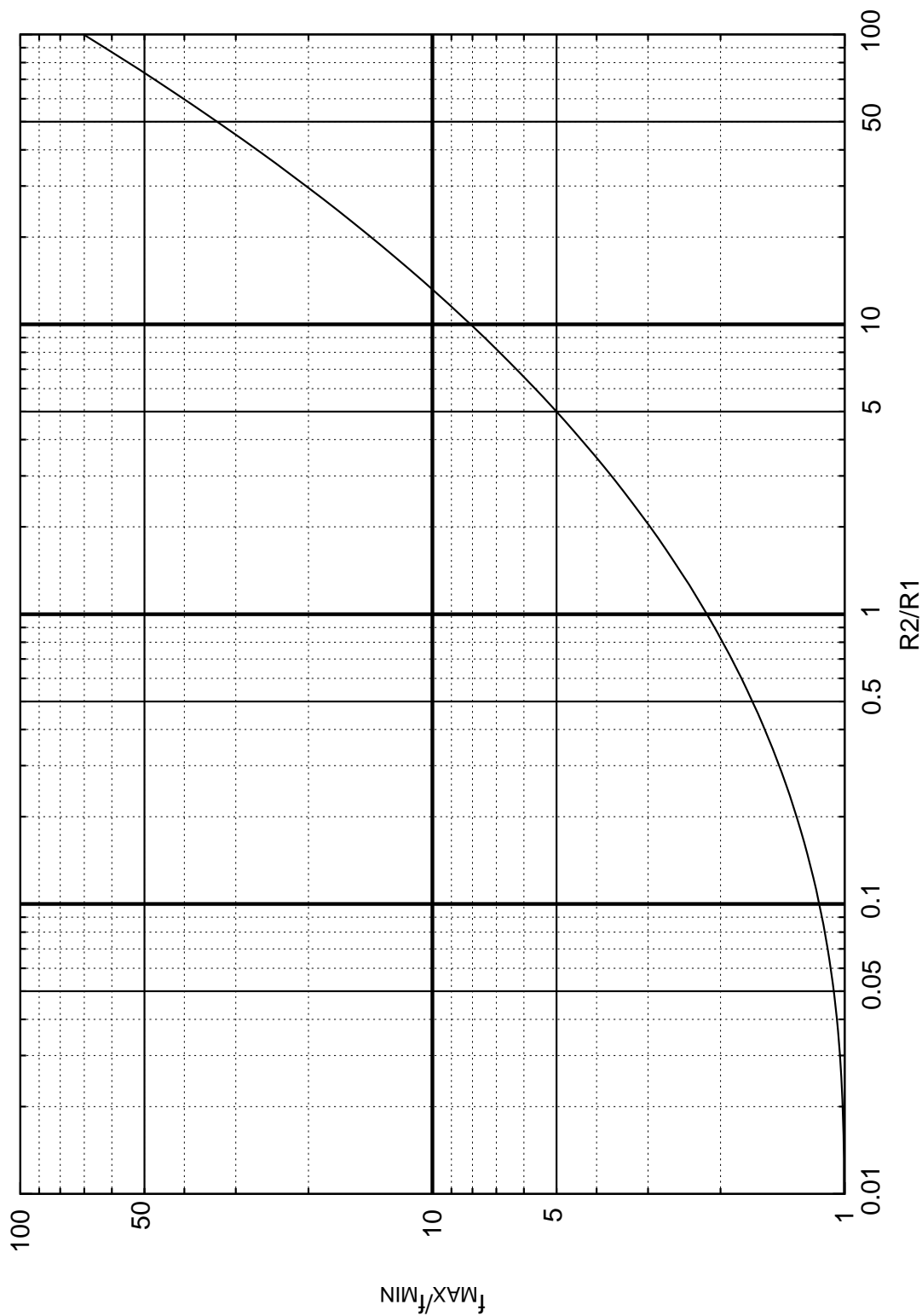
Zwórka "sterowanie VCO" powinna być w pozycji "sygnał z filtru", zwórka "detektory fazy" w pozycji "PFD", zaś dzielnik w pozycji "1". Wyjście VCO, wyjście filtru oraz przebieg referencyjny powinny zostać podłączone analogicznie jak w przypadku pętli fazowej I rodzaju.

Dla podpunktów (a) i (c) wykonać dodatkowo pomiar jittera przebiegu wyjściowego pętli fazowej. W tym celu należy ustawić wyzwalanie podstawy czasu oscyloskopu na zbocze narastające przebiegu wyjściowego pętli fazowej. Następnie przesunąć przebieg na ekranie oscyloskopu tak, by obserwować następne zbocze narastające. Zmierzyć rozrzut początku zbocza narastającego w maksymalnej możliwej skali podstawy czasu.

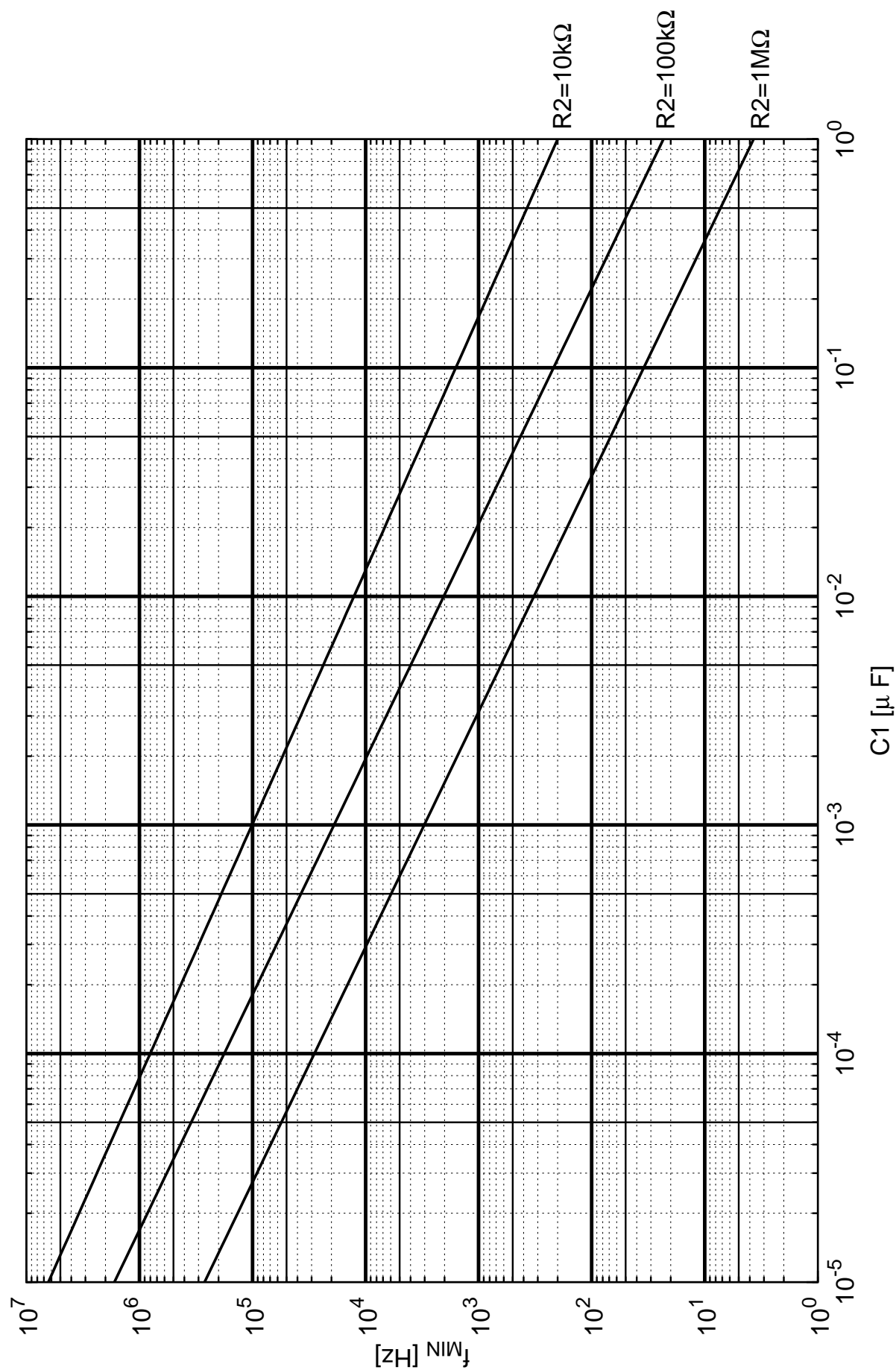
- (a) Przerysować przebieg napięcia na wyjściu filtru i zmierzyć jego amplitudę oraz jitter.
 - (b) Zaobserwować i zanotować zakres pracy pętli fazowej II rodzaju (zmieniając częstotliwość referencyjną znaleźć dolną i górną granicę poprawnego działania układu).
 - (c) Sprawdzić jak zachowuje się pętla dla stałej czasowej filtru równej w przybliżeniu 10τ i 0.1τ (gdzie $\tau = RC$). Przerysować przebieg napięcia na wyjściu filtru i zmierzyć jego amplitudę oraz jitter.
5. Wykonać zadania z punktu poprzedniego podczas pracy pętli w trybie powielania częstotliwości wejściowej. Dzielnik zostanie podany przez prowadzącego. Elementy filtru RC należy przeliczyć dla podanego dzielnika pętli N ze wzorów 18(b) oraz 13.

ZAŁĄCZNIKI

A Wykresy wartości elementów R1, R2 i C1



Rysunek 15: Zależność stosunku f_{max}/f_{min} od $R2/R1$



Rysunek 16: Zależność częstotliwości minimalnej f_{min} od pojemności C_1 .

B Wyprowadzenie wzorów dla pętli fazowej pierwszego rodzaju z pominięciem filtra

Fazowa funkcja przenoszenia dla pętli z rysunku 4 może zostać wyznaczona na podstawie następującego równania:

$$\phi_{CLK} = \frac{K_V}{s} K_F K_P \Delta\phi \quad s = j\omega \quad (22)$$

Różnica faz jest równa: $\Delta\phi = \phi_{REF} - \phi_{CLK}$, a zatem wzór można przepisać jako:

$$\phi_{CLK} = \frac{K_V}{s} K_F K_P (\phi_{REF} - \phi_{CLK}) \quad (23)$$

Po prostych przekształceniach funkcja fazowa $H(s)$ przyjmuje postać:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{K_P K_F K_V}{s + K_P K_F K_V} \quad (24)$$

A zatem zgodnie z operacją całkowania w dziedzinie Laplace'a: $\phi = \frac{1}{s}\omega$ faza sygnału ϕ_{CLK} na wyjściu oscylatora sterowanego w zależności od częstości sygnału referencyjnego ω_{REF} będzie dana następującym wzorem:

$$\phi_{CLK}(s) = \frac{K_P K_F K_V}{s + K_P K_F K_V} \cdot \frac{\omega_{REF}(s)}{s} \quad (25)$$

Aby dalsza analiza pętli fazowej pierwszego rodzaju była prosta, a jednocześnie pokazywała jej najważniejsze właściwości, można wprowadzić uproszczenie poprzez pominięcie funkcji przenoszenia filtra $K_F = 1$. Odpowiedź pętli na skok częstości wejściowej o wartość ω_i wygląda następująco:

$$\phi_{CLK}(s) = \frac{K}{s + K} \cdot \frac{\omega_i}{s \cdot s} \quad \omega_{REF} = \frac{1}{s} \cdot \omega_i \quad K = K_P K_V \quad (26)$$

Na podstawie odwrotnej transformaty Laplace'a zamiana postaci operatorowej $\phi_{CLK}(s)$, na postać czasową $\phi_{CLK}(t)$ będzie miała następujący przebieg:

$$\begin{aligned} \phi_{CLK}(t) &= \lim_{s \rightarrow -K} \frac{(s + K) K \omega_i \cdot e^{st}}{(s + K) s^2} + \lim_{s \rightarrow 0} \frac{d}{ds} \left(\frac{s^2 K \omega_i \cdot e^{st}}{(s + K) s^2} \right) = \\ &= \lim_{s \rightarrow -K} \frac{K \omega_i \cdot e^{st}}{s^2} + \lim_{s \rightarrow 0} \frac{K \omega_i t (s + K) \cdot e^{st} - K \omega_i \cdot e^{st}}{(s + K)^2} = \\ &= \frac{\omega_i}{K} \cdot e^{-Kt} + \frac{K^2 \omega_i t - K \omega_i}{K^2} = \omega_i t + \frac{\omega_i}{K} \cdot e^{-Kt} - \frac{\omega_i}{K} \end{aligned} \quad (27)$$

Ostatecznie zmiana fazy przebiegu wyjściowego $\phi_{CLK}(t)$ w dziedzinie czasu, w odpowiedzi na skok częstości sygnału referencyjnego ω_i przyjmie postać:

$$\phi_{CLK}(t) = \omega_i t + \frac{\omega_i}{K_P K_V} \cdot e^{-K_P K_V t} - \underbrace{\frac{\omega_i}{K_P K_V}}_{\text{offset fazy}} \quad (28)$$

Z równania 28 jednoznacznie widać, że pętla fazowa wprowadza przesunięcie fazowe (offset) zależne od wartości wzmocnienia $K_P K_V$. Częstota wyjściowa $\omega_{CLK}(t)$ w dziedzinie czasu wyraża się poprzez pochodną $\phi_{CLK}(t)$ po czasie, co daje następującą formułę:

$$\omega_{CLK}(t) = \frac{d\phi_{CLK}(t)}{dt} = \omega_i - \underbrace{\omega_i \cdot e^{-K_P K_V t}}_{= 0 \text{ dla } t \rightarrow \infty} \quad (29)$$

Eksponencjalny składnik z czasem zmierza do 0, a zmiana częstoty wyjściowej podąża za skokiem częstoty na wejściu.

C Wyprowadzenie wzorów dla pętli fazowej pierwszego rodzaju z filtrem RC

Aby pokazać w jaki sposób parametry filtra wpływają na stabilność pracy pętli fazowej należy do równania na $H(s)$ wprowadzić funkcję przenoszenia K_F najprostszego filtra dolnoprzepustowego (RC) przedstawioną następującym wzorem:

$$K_F = \frac{1}{1 + sRC} \quad (30)$$

Po wprowadzeniu nowych zmiennych (ω_n - częstota naturalna, ξ - współczynnik tłumienia):

$$\omega_n = \sqrt{\frac{K_P K_V}{RC}} \quad \xi = \frac{1}{2} \cdot \sqrt{\frac{1}{K_P K_V RC}} \quad (31)$$

Równanie 24 przyjmuje postać:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{\omega_{CLK}}{\omega_{REF}} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \quad (32)$$

Dalsza analiza przebiega w analogiczny sposób jak w poprzednim przypadku, a jej celem jest wyznaczenie w dziedzinie czasu odpowiedzi na skok częstoty sygnału referencyjnego ω_i . Ostateczne równanie wyjściowe po uwzględnieniu wszystkich założeń wyraża się zależnością:

$$\omega_{CLK}(s) = \frac{\omega_n^2}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \cdot \frac{\omega_i}{s} \quad \omega_{REF}(s) = \frac{\omega_i}{s} \quad (33)$$

Powstała funkcja posiada trzy bieguny, jednym z nich jest wartość $s_0 = 0$, a pozostałe dwa należy wyznaczyć szukając pierwiastków dwumianu kwadratowego. Delta tego dwumianu przedstawia się następująco:

$$\Delta = 4\xi^2\omega_n^2 - 4\omega_n^2 \quad \sqrt{\Delta} = 2\omega_n\sqrt{\xi^2 - 1} \quad (34)$$

W zależności od wartości współczynnika tłumienia ξ^2 możliwe są trzy rozwiązania:

$$s_{1,2} = \begin{cases} -\xi\omega_n & \text{dla } \xi^2 = 1 \\ -\xi\omega_n \pm \omega_n\sqrt{\xi^2 - 1} & \text{dla } \xi^2 > 1 \\ -\xi\omega_n \pm j \cdot \omega_n\sqrt{1 - \xi^2} & \text{dla } \xi^2 < 1 \end{cases} \quad (35)$$

Dla $\xi^2 > 1$ odpowiedzią układu jest esponencjalna zmiana częstoty na wyjściu do wartości wynikającej ze skoku ω_i . Dla przypadku w którym $\xi^2 = 1$, to podążanie częstoty

wyjściowej za zmianą na wejściu jest także eksponencjalne ale możliwie najszybsze. W dwóch pierwszych przypadkach działanie pętli fazowej jest zawsze stabilne i nie mogą powstawać oscylacje. W ostatnim przypadku, najważniejszym z punktu widzenia analizy stabilności ($\xi^2 < 1$), funkcja wyrażona zależnością 33 posiada parę biegunów zespolonych sprzężonych i przyjmuje postać:

$$\omega_{CLK}(s) = \frac{\omega_n^2}{\left(s + \xi\omega_n + j \cdot \omega_n\sqrt{1 - \xi^2}\right) \left(s + \xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2}\right)} \cdot \frac{\omega_i}{s} \quad (36)$$

Na podstawie odwrotnej transformaty Laplace'a, a także za pośrednictwem twierdzenia o Residuum, zamiana postaci operatorowej $\omega_{CLK}(s)$, na postać czasową $\omega_{CLK}(t)$ będzie miała następujący przebieg:

$$\begin{aligned} \omega_{CLK}(t) &= \omega_i + 2\Re \left[\lim_{s \rightarrow -\xi\omega_n - j\omega_n\sqrt{1-\xi^2}} \left(\frac{\omega_n^2 \omega_i \cdot e^{st}}{s \left(s + \xi\omega_n - j\omega_n\sqrt{1-\xi^2}\right)} \right) \right] = \\ &= \omega_i + \Re \left[\frac{\omega_i \cdot e^{(-\xi\omega_n - j\omega_n\sqrt{1-\xi^2})t}}{\left(\xi + j\sqrt{1-\xi^2}\right) \left(j\sqrt{1-\xi^2}\right)} \right] = \omega_i + \Re \left[\frac{\omega_i \cdot e^{(-\xi\omega_n - j\omega_n\sqrt{1-\xi^2})t}}{e^{j \cdot \arctan \frac{\sqrt{1-\xi^2}}{\xi}} \cdot \sqrt{1-\xi^2} \cdot e^{j \cdot \frac{\pi}{2}}} \right] = \\ &= \omega_i + \omega_i \cdot \frac{e^{-\xi\omega_n t}}{\sqrt{1-\xi^2}} \cdot \Re \left[e^{-j \left(\omega_n\sqrt{1-\xi^2} \cdot t + \arctan \frac{\sqrt{1-\xi^2}}{\xi} + \frac{\pi}{2} \right)} \right] = \\ &= \omega_i - \omega_i \cdot e^{-\xi\omega_n t} \cdot \frac{1}{\sqrt{1-\xi^2}} \cdot \sin \left(\omega_n\sqrt{1-\xi^2} \cdot t + \arctan \frac{\sqrt{1-\xi^2}}{\xi} \right) \end{aligned} \quad (37)$$

Na podstawie tożsamości matematycznych można zapisać ostateczną formułę w prostszej postaci:

$$\omega_{CLK}(t) = \omega_i - \omega_i \cdot e^{-\xi\omega_n t} \cdot \frac{1}{\sqrt{1-\xi^2}} \cdot \sin \left(\omega_n\sqrt{1-\xi^2} \cdot t + \arccos \xi \right) \quad (38)$$

Literatura

- [1] Daniel Abramovitch, *Phase-Locked Loops: A Control Centric Tutorial*, 2002
- [2] Fuding Ge, *PFD-CP Phase Locked Loop Design*
- [3] Devon Fernandez, Sanjeev Manandhar, *Digital Phase Locked Loop*
- [4] http://web.mit.edu/jjcooley/www/pdfs/CD4046BC_datasheet.pdf
- [5] http://www.datasheetcatalog.org/datasheets/90/109006_DS.pdf